



# HWDF16P 参数手册

## 可编程配置 PROM

### 1. 概述

华微公司 HWDF16P 全仿国外 Xilinx 公司 XCF16P 产品。

华微公司推出的军品级 HWDF16P 是一款 16Mbit 在系统可编程可配置 Flash。它是 1.8V 可重写的 PROM，可以满足在全军范围工作的系统以可靠的非挥发性方式来存储大量 FPGA 配置数据流的要求。

当 FPGA 工作在主串行模式 (Master Serial mode) 下，FPGA 提供一个时钟 CCLK(configuration clock) 驱动 HWDF16P，CCLK 上升沿后的小段时间内，PROM 的 D0 管脚上 (该管脚与 FPGA 上的 Din 相连) 的数据是有效的，FPGA 产生适当的时钟脉冲来完成配置；当 FPGA 工作在从串行模式 (Slave Serial mode) 时，PROM 和 FPGA 的时钟都由外部提供。

当 FPGA 工作在 SelectMAP mode (Slave) 时，内部的晶振产生时钟，从而驱动 PROM 和 FPGA 工作，时钟上升沿时，PROM D[7: 0] 的数据是有效的，在接下来的时钟上升沿，数据将被锁存进 FPGA。

通过 CEO 端输出驱动第二个 PROM 的 CE 端，其可支持多个 PROM 一起来增加存储容量，这些 PROM 的时钟和数据均连接在一起，并且这些 PROM 能够和其他类型的 PROM 保持协调。

### 2. 产品特点

- ◆ 正常工作温度范围：-55° C 到 +125° C
- ◆ 专用的 JTAG 电源 (V<sub>CCJ</sub>)

- ◆ I/O 脚兼容电压范围从 1.5V 到 3.3V
- ◆ 1.8V 供给电压
- ◆ 提供 20,000 次可编程/擦除能力
- ◆ 符合 IEEE Std 1149.1/1532 边界扫描 (JTAG) 标准
- ◆ 提供较长存储时间和较大的数据流
- ◆ 封装为 TFBGA48
- ◆ 串行或并行 FPGA 配置接口
- ◆ 标准 FPGA 的初始化配置是由 JTAG 命令提供的
- ◆ 全温度范围:  $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$

### 3. 功能框图

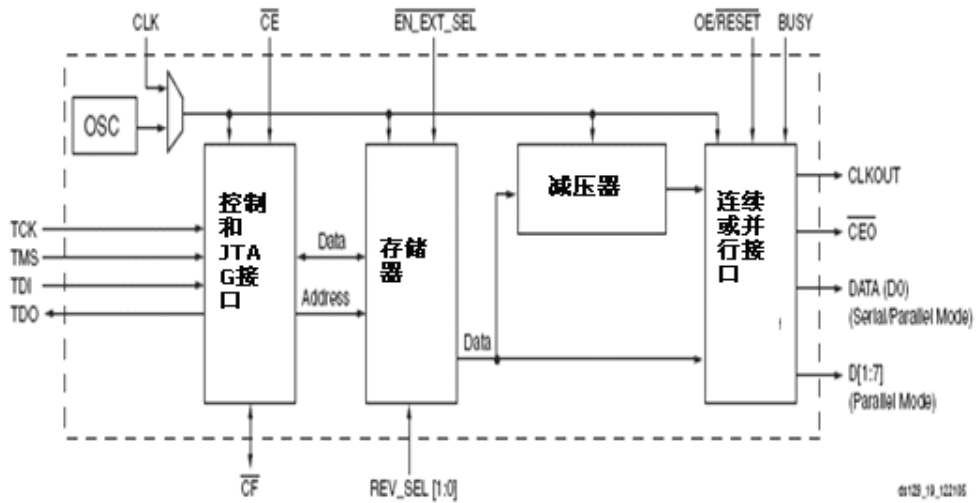
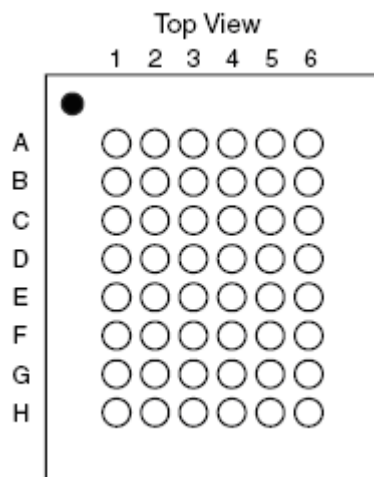


图 1 功能框图

## 4. 引脚信息

### 4.1 引脚排列图



### 4.2 引脚描述

Pin Number	Pin Name	Pin Number	Pin Name
A1	GND	E1	VCCINT
A2	GND	E2	TMS
A3	OE/RESET	E3	DNC
A4	DNC	E4	DNC
A5	D6	E5	D2
A6	D7	E6	TDO
B1	VCCINT	F1	GND
B2	VCCO	F2	DNC
B3	CLK	F3	DNC
B4	CE	F4	DNC
B5	D5	F5	GND
B6	GND	F6	GND
C1	BUSY	G1	TDI
C2	CLKOUT	G2	DNC
C3	DNC	G3	REV_SEL0
C4	DNC	G4	REV_SEL1
C5	D4	G5	VCCO
C6	VCCO	G6	VCCINT
D1	CF	H1	GND
D2	CEO	H2	VCCJ
D3	DNC	H3	TCK
D4	DNC	H4	EN_EXT_SEL
D5	D3	H5	D1
D6	VCCO	H6	D0

## 5. 绝对最大额定值及推荐工作范围

### 5.1 绝对最大额定值

参数	描述		XCF16P	Units
$V_{CCINT}$	相对于GND的内部提供电压		-0.5 to +2.7	V
$V_{CCO}$	相对于GND的I/O提供电压		-0.5 to +4.0	V
$V_{CCJ}$	相对于GND的JTAG I/O提供电压		-0.5 to +4.0	V
$V_{IN}$	关于GND的输入电压	$V_{CCO} < 2.5V$	-0.5 to +3.6	V
		$V_{CCO} \geq 2.5V$	-0.5 to +3.6	V
$V_{TS}$	应用于High-z输出的电压	$V_{CCO} < 2.5V$	-0.5 to +3.6	V
		$V_{CCO} \geq 2.5V$	-0.5 to +3.6	V
$T_{STG}$	存储温度		-65 to +150	°C
$T_J$	焊接点温度		+125	°C

## 5.2 推荐工作范围

参数	描述		XCF16P			单位
			Min	Typ	Max	
$V_{CCINT}$	内部电压提供		1.65	1.8	2.0	V
$V_{CCO}$	芯片输出提供的电压	3.3V Operation	3.0	3.3	3.6	V
		2.5V Operation	2.3	2.5	2.7	V
		1.8V Operation	1.7	1.8	1.9	V
		1.5V Operation	TBD	1.5	TBD	V
$V_{CCJ}$	芯片JTAG输出提供的电压	3.3V Operation	3.0	3.3	3.6	V
		2.5V Operation	2.3	2.5	2.7	V
$V_{IL}$	低电平输入电压	3.3V Operation	0	-	0.8	V
		2.5V Operation	0	-	0.8	V
		1.8V Operation	-	-	20% $V_{CCO}$	V
		1.5V Operation	0	-	TBD	V
$V_{IH}$	高电平输入电压	3.3V Operation	2.0	-	3.6	V
		2.5V Operation	1.7	-	3.6	V
		1.8V Operation	70% $V_{CCO}$	-	3.6	V
		1.5V Operation	TBD	-	3.6	V
$T_{IN}$	输入信号转换时间 (1)		-	-	500	ns
$V_O$	输出电压		0	-	$V_{CCO}$	V
$T_A$	运转时的环境温度		-55	-	125	°C

**注意 1:** 如器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。

## 6. 电特性参数

## ■ 质量保证参数

符号	描述	最小	最大	单位
$T_{DR}$	数据保留	20	-	年
$N_{PE}$	擦写次数	20000	-	次数
$V_{ESD}$	Electrostatic discharge (ESD)	2000	-	Volts

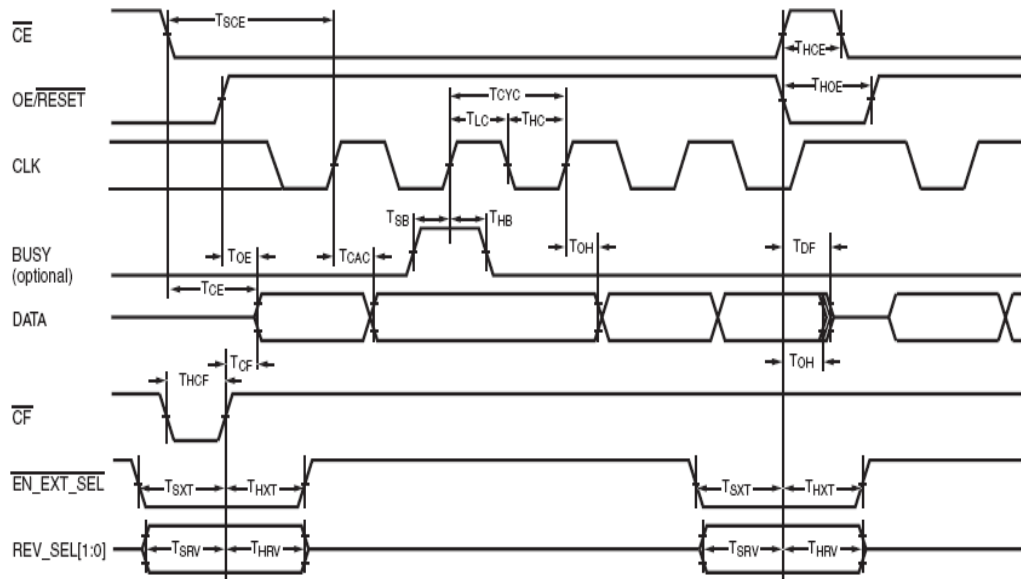
## ■ 直流参数

参数	描述	HWDF16P			单位
		Test Conditions	Min	Max	
$V_{OH}$	适合于3.3V输出的高电平输出电压	$I_{OH} = -4 \text{ mA}$	2.4	-	V
	适合于2.5V输出的高电平输出电压	$I_{OH} = -500 \mu\text{A}$	$V_{CC0} - 0.4$	-	V
	适合于1.8V输出的高电平输出电压	$I_{OH} = -50 \mu\text{A}$	$V_{CC0} - 0.4$	-	V
	适合于1.5V输出的高电平输出电压	$I_{OH} = \text{TBD}$	TBD	-	V
$V_{OL}$	适合于3.3V输出的低电平输出电压	$I_{OL} = 4 \text{ mA}$	-	0.4	V
	适合于2.5V输出的低电平输出电压	$I_{OL} = 500 \mu\text{A}$	-	0.4	V
	适合于1.8V输出的低电平输出电压	$I_{OL} = 50 \mu\text{A}$	-	0.4	V
	适合于1.5V输出的低电平输出电压	$I_{OL} = \text{TBD}$	-	TBD	V
$I_{CCINT}$	内部电压提供电流，有效模式	33 MHz	-	10	mA
$I_{CCO}^{(1)}$	内部芯片提供电流，有效连续模式	33 MHz	-	10	mA
	内部芯片提供电流，有效平行模式	33 MHz	-	40	mA
$I_{CCJ}$	JTAG提供电流，有效模式	Note (2)	-	5	mA
$I_{CCINTS}$	内部电压提供电流，备用模式	Note (3)	-	1	mA
$I_{CCOS}$	输出芯片提供电流，备用模式	Note (3)	-	1	mA
$I_{CCJS}$	JTAG提供电流，备用模式	Note (3)	-	1	mA
$I_{ILJ}$	JTAG脚TMS、TDI和TDO阻止电流	$V_{CCJ} = \text{max}$ $V_{IN} = \text{GND}$	-	100	$\mu\text{A}$
$I_{IL}$	输入漏电流	$V_{CCINT} = \text{max}$ $V_{CC0} = \text{max}$ $V_{IN} = \text{GND or } V_{CC0}$	-10	10	$\mu\text{A}$
$I_{IH}$	输入和输出高Z漏电流	$V_{CCINT} = \text{max}$ $V_{CC0} = \text{max}$ $V_{IN} = \text{GND or } V_{CC0}$	-10	10	$\mu\text{A}$
$I_{ILP}$	无电流通过内部的阻止在 $\overline{\text{EN\_EXT\_SEL}}$ , REV_SEL0, REV_SEL1 上	$V_{CCINT} = \text{max}$ $V_{CC0} = \text{max}$ $V_{IN} = \text{GND or } V_{CC0}$	-	100	$\mu\text{A}$
$I_{IHP}$	反相电流通过内部阻止在BUSY上	$V_{CCINT} = \text{max}$ $V_{CC0} = \text{max}$ $V_{IN} = \text{GND or } V_{CC0}$	-100	-	$\mu\text{A}$
$C_{IN}$	输入电容	$V_{IN} = \text{GND}$ $f = 1.0 \text{ MHz}$	-	8	pF
$C_{OUT}$	输出电容	$V_{IN} = \text{GND}$ $f = 1.0 \text{ MHz}$	-	14	pF

## ■ 交流参数

### ● 运转时的交流特性

XCV16P PRAM 在从配置用 CLK 输出当作时钟脉冲源



参数	描述	XCF16P		单位
		Min	Max	
$T_{HCF}$	当 $V_{CC0} = 3.3V$ or $2.5V$ 的时候CF保持时间在设计保证修订本上的样品	300		ns
	当 $V_{CC0} = 1.8V$ 的时候CF保持时间在设计保证修订本上的样品	300		ns
$T_{CF}$	当 $V_{CC0} = 3.3V$ or $2.5V$ 的时候CF到数据的延迟 <sup>(7)</sup>	-	25	ns
	当 $V_{CC0} = 1.8V$ <sup>(8)</sup> 的时候CF到数据的延迟	-	25	ns
$T_{OE}$	当 $V_{CC0} = 3.3V$ 或 $2.5V$ 的时候OE/RESET到数据的延迟	-	25	ns
	当 $V_{CC0} = 1.8V$ 的时候OE/RESET到数据的延迟	-	25	ns
$T_{CE}$	当 $V_{CC0} = 3.3V$ 或 $2.5V$ 的时候CE到数据的延迟	-	25	ns
	当 $V_{CC0} = 1.8V$ 的时候CE到数据的延迟	-	25	ns
$T_{CAC}$	当 $V_{CC0} = 3.3V$ 或 $2.5V$ 的时候CLK到数据的延迟	-	25	ns
	当 $V_{CC0} = 1.8V$ 的时候CLK到数据的延迟	-	25	ns
$T_{OH}$	当 $V_{CC0} = 3.3V$ 或 $2.5V$ 的时候数据保持来自CE,OE/RESET,CLK或CF	5	-	ns
	当 $V_{CC0} = 1.8V$ 的时候数据保持来自CE,OE/RESET,CLK或CF	5	-	ns



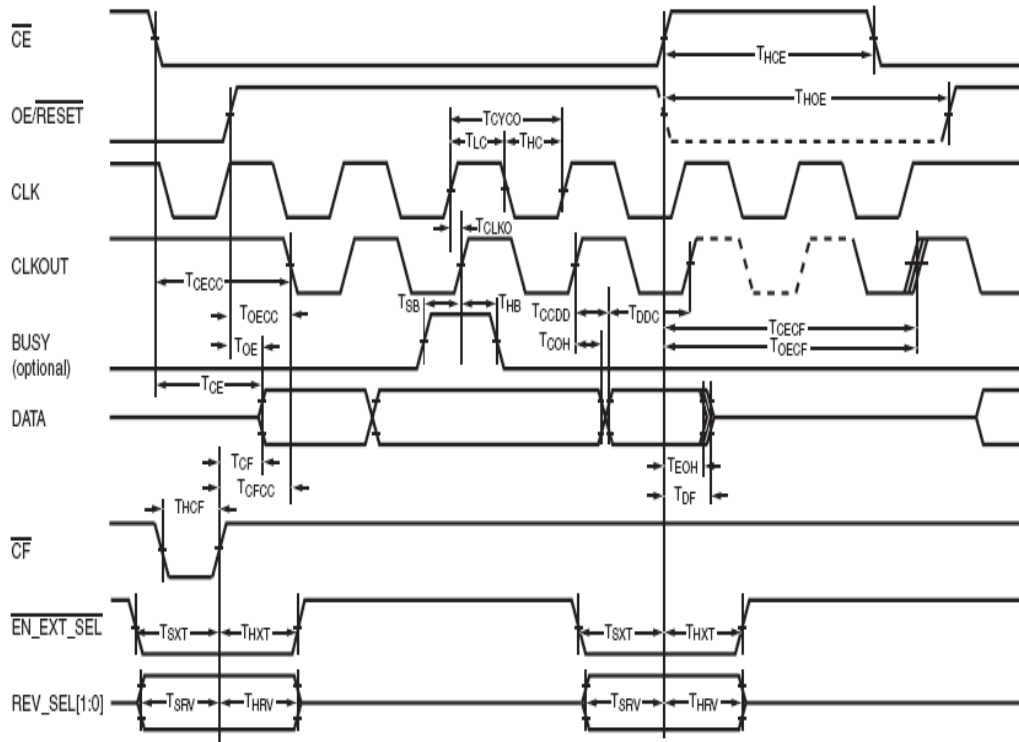
Symbol	Description	XCF16P		Units
		Min	Max	
T <sub>DF</sub>	当VCCO=3.3V或2.5V的时候CE或OE/RESET到数据的浮动延迟	-	45	ns
	当VCCO=1.8V的时候CE或OE/RESET到数据的浮动延迟	-	45	ns
T <sub>CYC</sub>	当VCCO=3.3V或2.5V时候的时钟周期	25	-	ns
	当VCCO=1.8V时候的时钟周期	25	-	ns
	当VCCO=3.3V或2.5V时候的时钟周期(平行模式)	30	-	ns
	当VCCO=1.8V时候的时钟周期(平行模式)	30	-	ns
T <sub>LC</sub>	当VCCO=3.3V或2.5V时候的低CLK时间	12	-	ns
	当VCCO=1.8V时候的低CLK时间	12	-	ns
T <sub>HC</sub>	当VCCO=3.3V或2.5V时候的高CLK时间	12	-	ns
	当VCCO=1.8V时候的高CLK时间	12	-	ns
T <sub>SCE</sub>	当VCCO=3.3V或2.5V的时候CE配置时间到CLK	30	-	ns
	当VCCO=1.8V的时候CE配置时间到CLK	30	-	ns
T <sub>HCE</sub>	当VCCO=3.3V或2.5V的时候CE的保持时间	2000	-	ns
	当VCCO=1.8V的时候CE的保持时间	2000	-	ns
T <sub>HOE</sub>	当VCCO=3.3V或2.5V的时候OE/RESET的保持时间	2000	-	ns
	当VCCO=1.8V的时候OE/RESET的保持时间	2000	-	ns
T <sub>SB</sub>	当VCCO=3.3V或2.5V的时候BUSY配置时间到CLK	12	-	ns
	当VCCO=1.8V的时候BUSY配置时间到CLK	12	-	ns
T <sub>HB</sub>	当VCCO=3.3V或2.5V的时候BUSY保持时间到CLK	8	-	ns
	当VCCO=1.8V的时候BUSY保持时间到CLK	8	-	ns
T <sub>SXT</sub>	当VCCO=3.3V或2.5V的时候EN_EXT_SEL配置时间到CF,CE或OE/RESET	300	-	ns
	当VCCO=1.8V的时候EN_EXT_SEL配置时间到CF,CE或OE/RESET	300	-	ns
T <sub>HXT</sub>	当VCCO=3.3V或2.5V的时候EN_EXT_SEL保持时间来自CF,CE或OE/RESET	300	-	ns
	当VCCO=1.8V的时候EN_EXT_SEL保持时间来自CF,CE或OE/RESET	300	-	ns

参数	描述	XCF16P		单位
		Min	Max	
$T_{SRV}$	当VCCO=3.3V或2.5V的时候REV_SEL配置时间到CF,CE或OE/RESET	300	-	ns
	当VCCO=1.8V的时候REV_SEL配置时间到CF,CE或OE/RESET ---	300	-	ns
$T_{HRV}$	当VCCO=3.3V或2.5V的时候REV_SEL保持时间来自CF,CE或OE/RESET	300	-	ns
	当VCCO=1.8V的时候REV_SEL保持时间来自CF,CE或OE/RESET	300	-	ns

注释:

- (1) AC 测试装载=30pF
- (2) 浮动延迟是标准的 5pF 装载。
- (3) 所有的 AC 参数都是标准的  $V_{IL}=0.0V$   $V_{IH}=3.0V$ 。
- (4) 如果高的  $T_{HCE}<2us$ , 那么  $T_{CE}=2us$ 。
- (5) 如果低的  $T_{HOE}<2us$ , 那么  $T_{OE}=2us$ 。
- (6) 这是一个最小可能  $T_{CYC}$ 。世纪的  $T_{CYC}=T_{CAC}+FPGA$  的数据装备时间。
- (7) 设计保证, 没有测试。

## XCV16P PRAM 在主配置用 CLK 输出当作时钟脉冲源



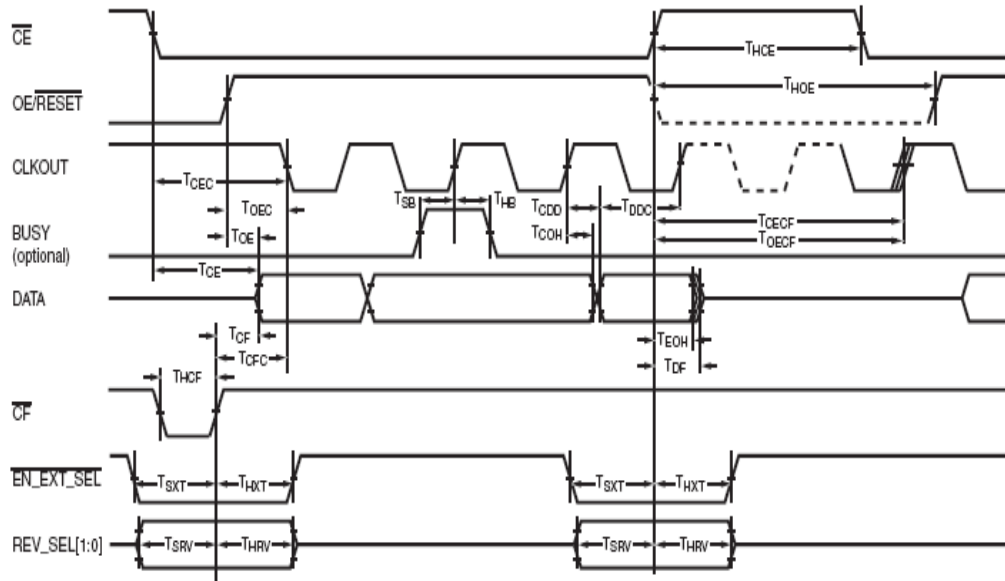
参数	描述	XCF16P		单位
		Min	Max	
$T_{HCF}$	当VCC0=3.3V或2.5V的时候CF保持时间在设计保证修订本上的样品	300		300
	当VCC0=1.8V的时候CF保持时间在设计保证修订本上的样品	300		300
$T_{CF}$	当VCC0=3.3V或2.5V的时候CF到数据的延迟	-	TBD	ns
	当VCC0=1.8V的时候CF到数据的延迟	-	TBD	ns
$T_{OE}$	当VCC0=3.3V或2.5V的时候OE/RESET到数据的延迟	-	25	ns
	当VCC0=1.8V的时候OE/RESET到数据的延迟	-	25	ns
$T_{CE}$	当VCC0=3.3V或2.5V的时候CE到数据的延迟	-	25	ns
	当VCC0=1.8V的时候CE到数据的延迟	-	25	ns
$T_{EOH}$	当VCC0=3.3V或2.5V的时候数据保持来自CE,OE/RESET或CF	5	-	ns
	当VCC0=1.8V的时候数据保持来自CE,OE/RESET或CF	5	-	ns
$T_{DF}$	当VCC0=3.3V或2.5V的时候CE或OE/RESET到数据浮动的延迟	-	45	ns
	当VCC0=1.8V的时候CE或OE/RESET到数据浮动的延迟	-	45	ns
$T_{OECF}$	当VCC0=3.3V或2.5V的时候OE/RESET到CLKOUT的浮动延迟	-	TBD	ns
	当VCC0=1.8V的时候OE/RESET到CLKOUT的浮动延迟	-	TBD	ns

Symbol	Description	XCF16P		Units
		Min	Max	
T <sub>CECF</sub>	当VCCO=3.3V或2.5V的时候CE到CLKOUT的浮动延迟	-	TBD	ns
	当VCCO=1.8V的时候CE到CLKOUT的浮动延迟	-	TBD	ns
T <sub>CYCO</sub>	当VCCO=3.3V或2.5V时候的时钟周期(连续模式)	30	-	ns
	当VCCO=1.8V时候的时钟周期(连续模式)	30	-	ns
	当VCCO=3.3V或2.5V时候的时钟周期(并行模式)	35	-	ns
	当VCCO=1.8V时候的时钟周期(并行模式)	35	-	ns
T <sub>LC</sub>	当VCCO=3.3V或2.5V时候的低CLK时间	12	-	ns
	当VCCO=1.8V时候的低CLK时间	12	-	ns
T <sub>HC</sub>	当VCCO=3.3V或2.5V时候的高CLK时间	12	-	ns
	当VCCO=1.8V时候的高CLK时间	12	-	ns
T <sub>HCE</sub>	当VCCO=3.3V或2.5V时候的CE保持时间	2000	-	ns
	当VCCO=1.8V时候的CE保持时间	2000	-	ns
T <sub>HOE</sub>	当VCCO=3.3V或2.5V时候的OE/RESET保持时间	2000	-	ns
	当VCCO=1.8V时候的OE/RESET保持时间	2000	-	ns
T <sub>SB</sub>	当VCCO=3.3V或2.5V的时候BUSY配置时间到CLKOUT	12	-	ns
	当VCCO=1.8V的时候BUSY配置时间到CLKOUT	12	-	ns
T <sub>HB</sub>	当VCCO=3.3V或2.5V的时候BUSY保持时间到CLKOUT	8	-	ns
	当VCCO=1.8V的时候BUSY保持时间到CLKOUT	8	-	ns
T <sub>CLKO</sub>	当VCCO=3.3V或2.5V的时候CLK输入到CLKOUT输出的延迟	-	35	ns
	当VCCO=1.8V的时候CLK输入到CLKOUT输出的延迟	-	35	ns
	当VCCO=3.3V或2.5V的时候CLK输入到CLKOUT输出的延迟(有减压)	-	35	ns
	当VCCO=1.8V的时候CLK输入到CLKOUT输出的延迟(有减压)	-	35	ns
T <sub>CECC</sub>	当VCCO=3.3V或2.5V的时候CE到CLKOUT的延迟	0	2 CLK cycles	-
	当VCCO=1.8V的时候CE到CLKOUT的延迟	0	2 CLK cycles	-
T <sub>OECC</sub>	当VCCO=3.3V或2.5V的时候OE/RESET到CLKOUT的延迟	0	2 CLK cycles	-
	当VCCO=1.8V的时候PE/RESET到CLKOUT的延迟	0	2 CLK cycles	-
T <sub>CFCC</sub>	当VCCO=3.3V或2.5V的时候CF到CLKOUT的延迟	0	TBD	-
	当VCCO=1.8V的时候CF到CLKOUT的延迟	0	TBD	-

参数	描述	XCF16P		单位
		Min	Max	
$T_{CCDD}$	当VCCO=3.3V或2.5V的时候CLKOUT到数据的延迟	-	30	ns
	当VCCO=1.8V的时候CLK到数据的延迟	-	30	ns
$T_{DDC}$	当VCCO=3.3V或2.5V的时候数据配置时间到CLKOUT	5		ns
	当VCCO=1.8V的时候数据配置时间到CLKOUT	5		ns
$T_{COH}$	当VCCO=3.3V或2.5V的时候来自CLKOUT的数据保持	3	-	ns
	当VCCO=1.8V的时候来自CLKOUT的数据保持	3	-	ns
	当VCCO=3.3V或2.5V的时候来自CLKOUT的数据保持(有减压)	3	-	ns
	当VCCO=1.8V的时候来自CLKOUT的数据保持(有减压)	3	-	ns
$T_{SXT}$	当VCCO=3.3V或2.5V的时候EN_EXT_SEL配置时间到CF,CE或OE/RESET	300	-	ns
	当VCCO=1.8V的时候EN_EXT_SEL配置时间到CF,CE或OE/RESET	300	-	ns
$T_{HXT}$	当VCCO=3.3V或2.5V的时候EN_EXT_SEL保持时间来自CF,CE或OE/RESET	300	-	ns
	当VCCO=1.8V的时候EN_EXT_SEL保持时间来自CF,CE或OE/RESET	300	-	ns
$T_{SRV}$	当VCCO=3.3V或2.5V的时候REV_SEL配置时间到CF,CE或OE/RESET	300	-	ns
	当VCCO=1.8V的时候REV_SEL配置时间到CF,CE或OE/RESET	300	-	ns
$T_{HRV}$	当VCCO=3.3V或2.5V的时候REV_SEL保持时间来自CF,CE或OE/RESET	300	-	ns
	当VCCO=1.8V的时候REV_SEL配置时间到CF,CE或OE/RESET	300	-	ns

注释:

- (1) AC 测试装载=30pF
- (2) 浮动延迟是标准的 5pF 装载。
- (3) 设计保证，没有测试。
- (4) 所有的 AC 参数都是标准的  $V_{IL}=0.0V$   $V_{IH}=3.0V$ 。
- (5) 如果高的  $T_{HCE}<2\mu s$ ，那么  $T_{CE}=2\mu s$ 。
- (6) 如果低的  $T_{HOE}<2\mu s$ ，那么  $T_{OE}=2\mu s$ 。
- (7) 这是一个最小可能  $T_{CYCO}$ 。实际的  $T_{CYCO}=T_{CCDD}+FPGA$  的数据装备时间。

**XCV16P PRAM** 在主配置用内部振荡器输出当作时钟脉冲源

参数	描述	XCF16P		单位
		Min	Max	
$T_{HCF}$	当VCCO=3.3V或2.5V的时候CF保持时间在设计保证修订本上的样品	300		300
	当VCCO=1.8V的时候CF保持时间在设计保证修订本上的样品	300		300
$T_{CF}$	当VCCO=3.3V或2.5V的时候CF到数据的延迟	-	TBD	ns
	当VCCO=1.8V的时候CF到数据的延迟	-	TBD	ns
$T_{OE}$	当VCCO=3.3V或2.5V的时候OE/RESET到数据的延迟	-	25	ns
	当VCCO=1.8V的时候OE/RESET到数据的延迟	-	25	ns
$T_{CE}$	当VCCO=3.3V或2.5V的时候CE到数据的延迟	-	25	ns
	当VCCO=1.8V的时候CE到数据的延迟	-	25	ns
$T_{EOH}$	当VCCO=3.3V或2.5V的时候来自CE,OE/RESET或CF的数据保持	5	-	ns
	当VCCO=1.8V的时候来自CE,OE/RESET或CF的数据保持	5	-	ns
$T_{DF}$	当VCCO=3.3V或2.5V的时候CE或OE/RESET到数据的延迟	-	45	ns
	当VCCO=1.8V的时候CE或OE/RESET到数据的延迟	-	45	ns
$T_{OECF}$	当VCCO=3.3V或2.5V的时候OE/RESET到CLKOUT的延迟	-	TBD	ns
	当VCCO=1.8V的时候OE/RESET到CLKOUT的延迟	-	TBD	ns
$T_{CECF}$	当VCCO=3.3V或2.5V的时候CE到CLKOUT的延迟	-	TBD	ns
	当VCCO=1.8V的时候CE到CLKOUT的延迟	-	TBD	ns



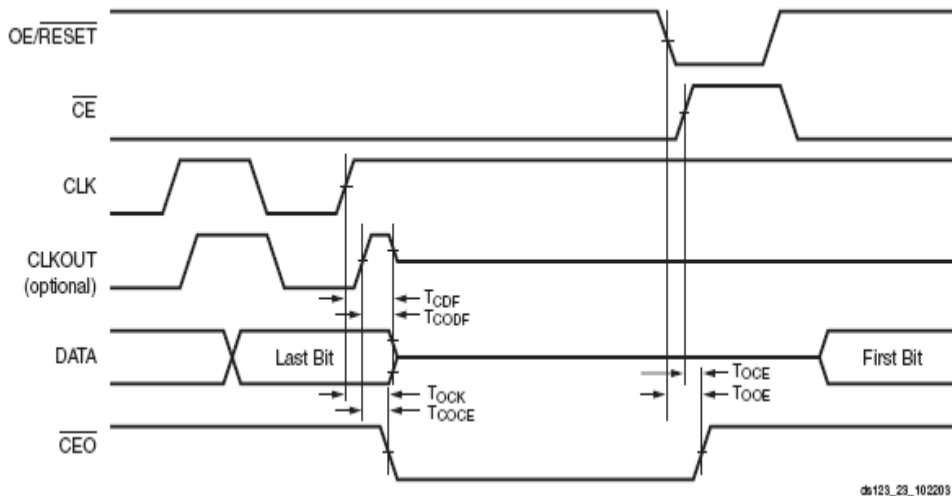
参数	描述	XCF16P		单位
		Min	Max	
T <sub>HCE</sub>	当VCCO=3.3V或2.5V的时候CE的保持时间	2000	-	ns
	当VCCO=1.8V的时候CE的保持时间	2000	-	ns
T <sub>HOE</sub>	当VCCO=3.3V或2.5V的时候OE/RESET的保持时间	2000	-	ns
	当VCCO=1.8V的时候OE/RESET的保持时间	2000	-	ns
T <sub>SB</sub>	当VCCO=3.3V或2.5V的时候BUSY配置时间到CLKOUT	12	-	ns
	当VCCO=1.8V的时候BUSY配置时间到CLKOUT	12	-	ns
T <sub>HB</sub>	当VCCO=3.3V或2.5V的时候BUSY保持时间到CLKOUT	8	-	ns
	当VCCO=1.8V的时候BUSY保持时间到CLKOUT	8	-	ns
T <sub>CEC</sub>	当VCCO=3.3V或2.5V的时候CE到CLKOUT的延迟	0	1	μs
	当VCCO=1.8V的时候CE到CLKOUT的延迟	0	1	μs
T <sub>OEC</sub>	当VCCO=3.3V或2.5V的时候OE/RESET到CLKOUT的延迟	0	1	μs
	当VCCO=1.8V的时候OE/RESET到CLKOUT的延迟	0	1	μs
T <sub>CFC</sub>	当VCCO=3.3V或2.5V的时候CF到CLKOUT的延迟	0	TBD	-
	当VCCO=1.8V的时候CF到CLKOUT的延迟	0	TBD	-
T <sub>CDD</sub>	当VCCO=3.3V或2.5V的时候CLKOUT到数据的延迟	-	30	ns
	当VCCO=1.8V的时候CLKOUT到数据的延迟	-	30	ns
T <sub>DDC</sub>	当VCCO=3.3V或2.5V的时候数据配置时间到CLKOUT	5		ns
	当VCCO=1.8V的时候数据配置时间到CLKOUT	5		ns
T <sub>COH</sub>	当VCCO=3.3V或2.5V的时候来自CLKOUT的数据保持时间	3	-	ns
	当VCCO=1.8V的时候来自CLKOUT的数据保持时间	3	-	ns
	当VCCO=3.3V或2.5V的时候来自CLKOUT的数据保持时间(有减压)	3	-	ns
	当VCCO=1.8V的时候来自CLKOUT的数据保持时间(有减压)	3	-	ns
T <sub>SXT</sub>	当VCCO=3.3V或2.5V的时候EN_EXT_SEL配置时间到CF,CE或OE/RESET	300	-	ns
	当VCCO=1.8V的时候EN_EXT_SEL配置时间到CF,CE或OE/RESET	300	-	ns
T <sub>HXT</sub>	当VCCO=3.3V或2.5V的时候EN_EXT_SEL保持时间来自CF,CE或OE/RESET	300	-	ns
	当VCCO=1.8V的时候EN_EXT_SEL保持时间来自CF,CE或OE/RESET	300	-	ns
T <sub>SRV</sub>	当VCCO=3.3V或2.5V的时候REV_SEL配置时间到CF,CE或OE/RESET	300	-	ns
	当VCCO=1.8V的时候REV_SEL配置时间到CF,CE或OE/RESET	300	-	ns
T <sub>HRV</sub>	当VCCO=3.3V或2.5V的时候REV_SEL保持时间来自CF,CE或OE/RESET	300	-	ns
	当VCCO=1.8V的时候REV_SEL保持时间来自CF,CE或OE/RESET	300	-	ns
F <sub>F</sub>	CLKOUT默认频率	25	50	MHz
	CLKOUT默认频率(有减压)	12.5	25	MHz

参数	描述	XCF16P		单位
		Min	Max	
F <sub>s</sub>	CLKOUT默认频率	12.5	25	MHz
	CLKOUT默认频率(有减压)	6	12.5	MHz

注解:

- (1) AC 测试装载=30pF
- (2) 浮动延迟是标准的 5pF 装载。
- (3) 设计保证，没有测试。
- (4) 所有的 AC 参数都是标准的  $V_{IL}=0.0V$   $V_{IH}=3.0V$ 。
- (5) 如果高的  $T_{HCE}<2\mu s$ ，那么  $T_{CE}=2\mu s$ 。
- (6) 如果低的  $T_{HOE}<2\mu s$ ，那么  $T_{OE}=2\mu s$ 。
- (7) 激活的 CLKOUT 信号开始送出芯片之前的延迟是由时钟配置决定的。
- (8) 减慢 CLK 频率选项可能需要合适的 FPGA 资料片的设置时间。
- (9) 典型 CLKOUT 默认周期=25ns(40MHz)。
- (10) 典型的 CLKOUT 变换周期=50ns(20MHz)。

### ● 级联时运转条件下交流特性

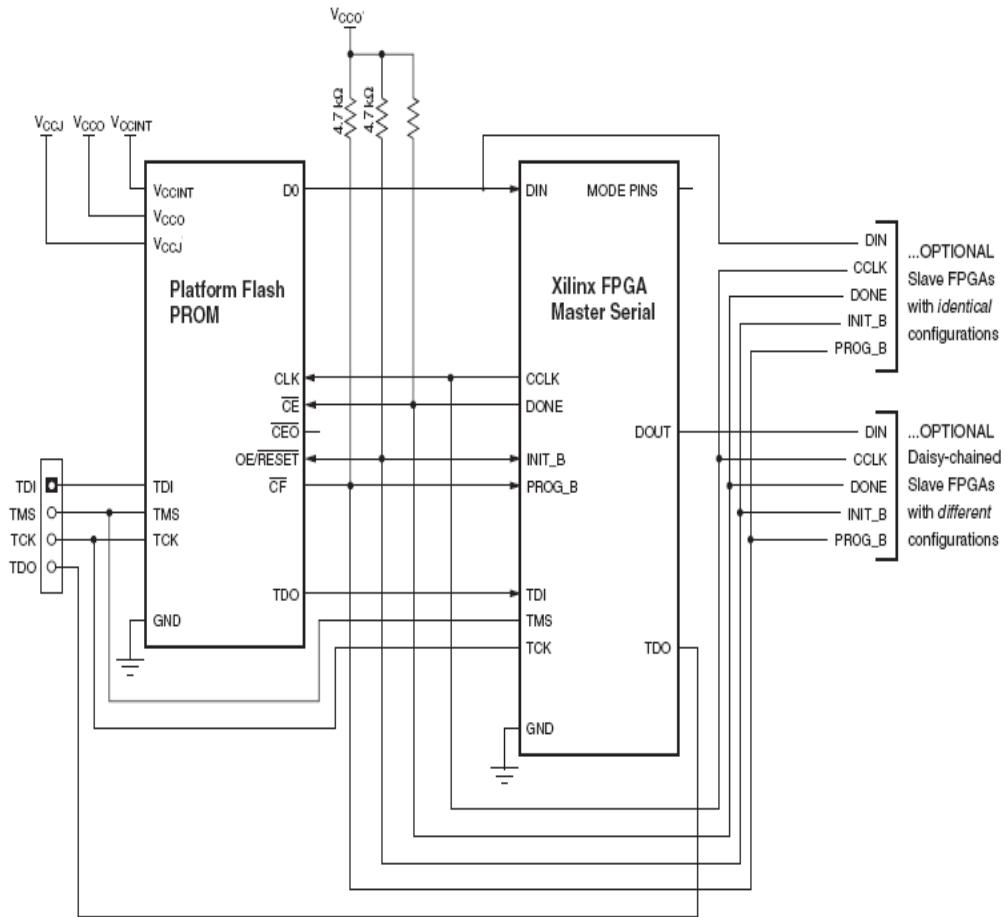


参数	描述	F16P		单位
		Min	Max	
$T_{CDF}$	当VCC0=3.3V或2.5V的时候CLK到输出的延迟	-	20	ns
	当VCC0=1.8V的时候CLK到输出的延迟	-	20	ns
$T_{OCK}$	当VCC0=3.3V或2.5V的时候CLK到CEO的延迟	-	20	ns
	当VCC0=1.8V的时候CLK到CEO的延迟	-	20	ns
$T_{OCE}$	当VCC0=3.3V或2.5V的时候CE到CEO的延迟	-	80	ns
	当VCC0=1.8V的时候CE到CEO的延迟	-	80	ns
$T_{OOE}$	当VCC0=3.3V或2.5V的时候OE/RESET到CEO的延迟	-	80	ns
	当VCC0=1.8V的时候OE/RESET到CEO的延迟	-	80	ns
$T_{COCE}$	当VCC0=3.3V或2.5V的时候CLKOUT到CEO的延迟	-	20	ns
	当VCC0=1.8V的时候CLKOUT到CEO的延迟	-	20	ns
$T_{CODF}$	当VCC0=3.3V或2.5V的时候CLKOUT到输出的延迟	-	25	ns
	当VCC0=1.8V的时候CLKOUT到输出的延迟	-	25	ns

注释:

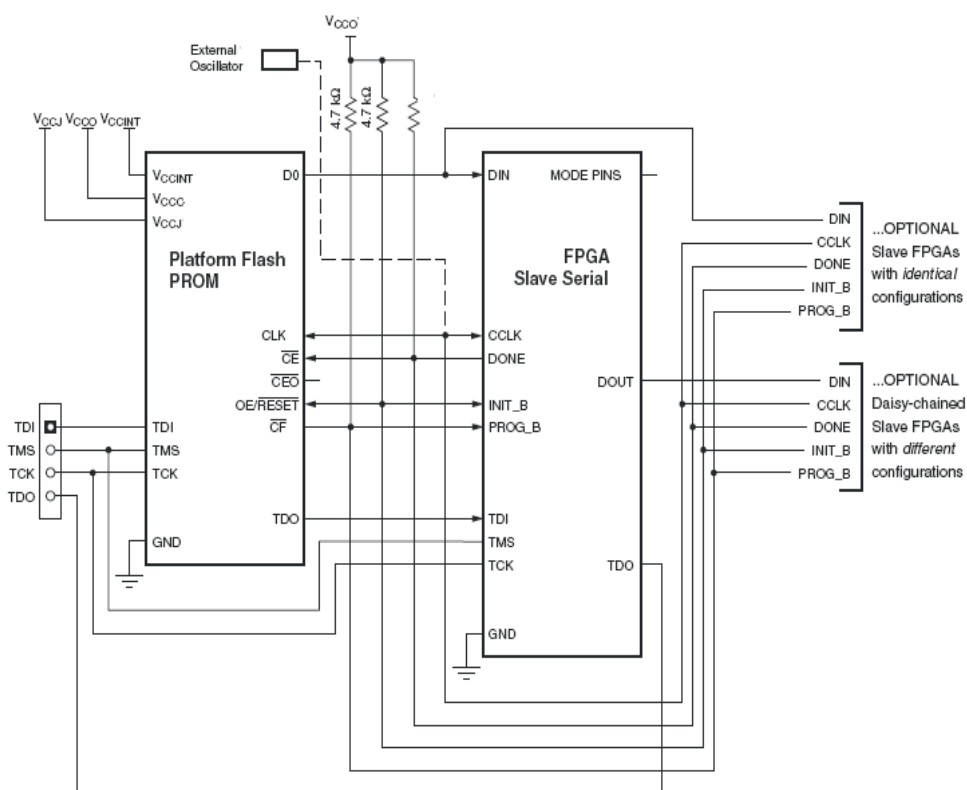
- (1) AC 测试装载=30pF。
- (2) 浮动延迟是标准的 5pF 装载。
- (3) 设计保证，没有测试。
- (4) 所有的 AC 参数都是标准的  $V_{IL}=0.0V$   $V_{IH}=3.0V$ 。
- (5) 最小  $T_{CYC}=T_{OCK}+T_{CE}+FPGA$  数据设置时间。  
最大  $T_{CAC}=T_{OCK}+T_{CE}$
- (6) 最小  $T_{CYC}=T_{OCE}+T_{CE}$   
最大  $T_{CAC}=T_{OCK}+T_{CE}$

## 7. 应用建议



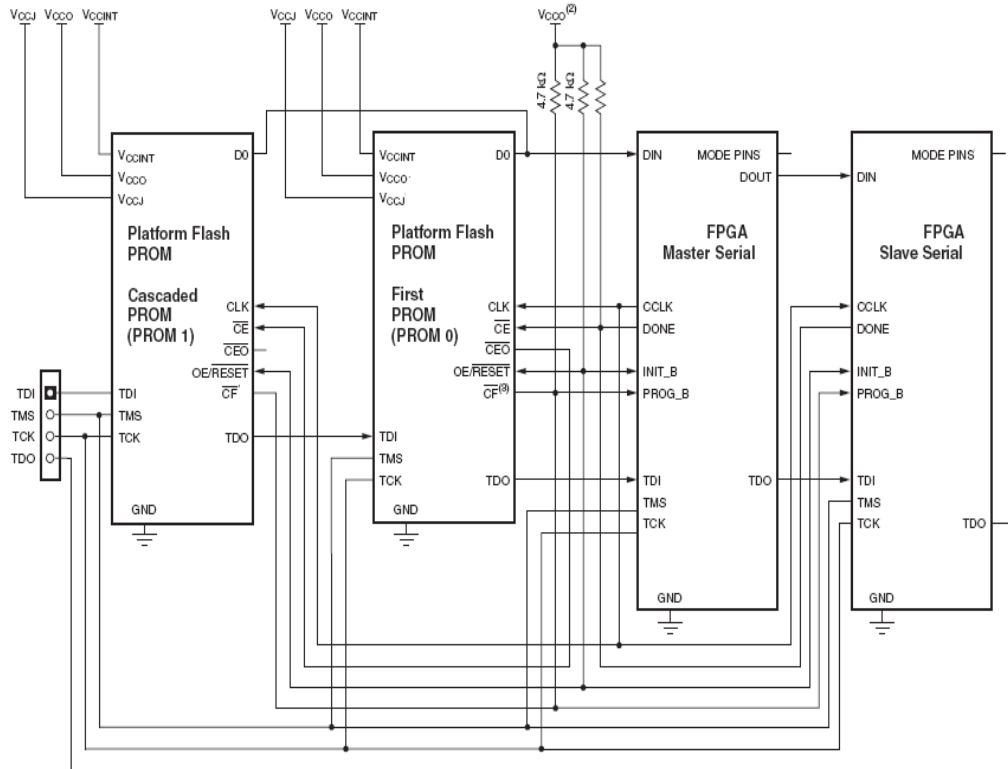
主串配置模式

- PROM 的数据输出驱动 FPGA 芯片的 DIN 输出。
- 主 FPGA 的 CCLK 输出驱动 PROM 的 CLK 输入。
- 在一条链里面一个 PROM 的 CEO 输出驱动另一个 PROM 的 CE 输入。
- 所有 PROMs 的 CE/RESET 脚连接到所有 FPGA 芯片的 INIT\_B 脚。这个线路保证了在任意的配置开始之前 PROM 地址计算器复位。
- PRAM 的 CE 输入能够被 DONE 脚驱动。第一个 PROM 的 CE 输入能够被所有 FPGA 芯片的 DONE 输出所驱动。
- PROM 的 CF 脚代表性的连接到 FPGA 的 PROG\_B 输入。CF 脚是一个双向的脚。



从串配置模式

- PROM 的数据输出驱动 FPGA 芯片的 DIN 输出。
- PROM 的 CLKOUT 或者一个外部的时钟脉冲源驱动 FPGA 的 CCLK 输入。
- 在一条链里面一个 PROM 的 CEO 输出驱动另一个 PROM 的 CE 输入。
- 所有 PROMs 的 CE/RESET 脚连接到所有 FPGA 芯片的 INIT\_B 脚。这个线路保证了在任意的配置开始之前 PROM 地址计算器复位。
- PROM 的 CE 输入能够被 DONE 脚驱动。第一个 PROM 的 CE 输入能够被所有 FPGA 芯片的 DONE 输出所驱动。
- PROM 的 CF 脚代表性的连接到 FPGA 的 PROG\_B 输入。CF 脚是一个双向的脚。



多芯片主/从串配置模式

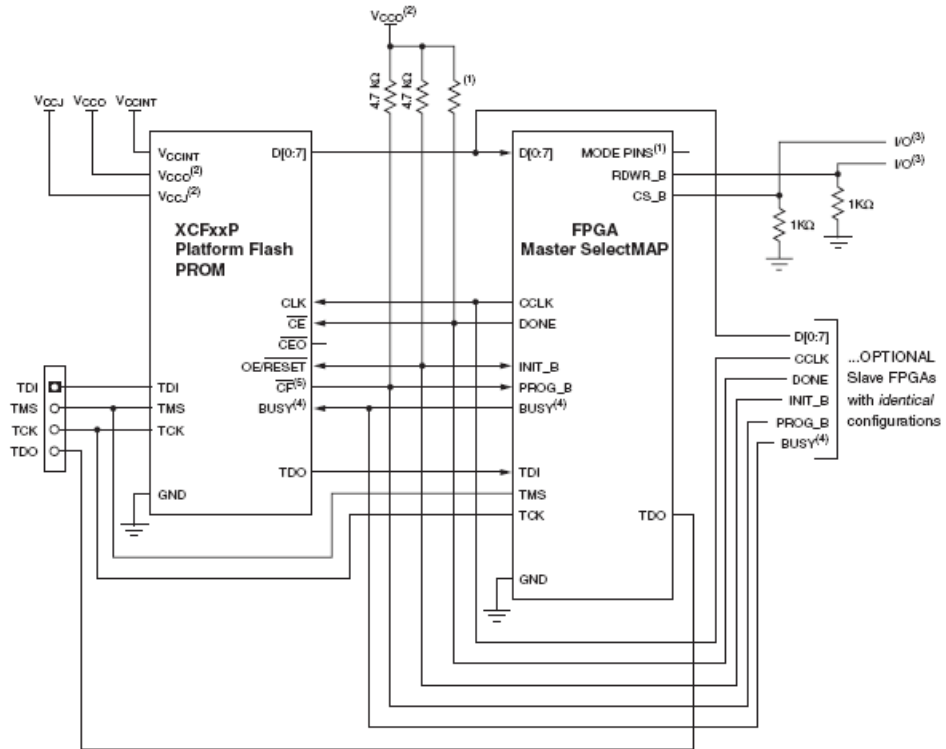


图 5 SelectMAP 模式配置图

- PROM 的 DATA 输出驱动 FPGA 芯片的[D0...D7]输入。
- 主 FPGA 的 CCLK 输出驱动 PROM 的 CLK 输入。
- 在一条链里面一个 PROM 的 CEO 输出驱动另一个 PROM 的 CE 输入。
- 所有 PROMs 的 CE/RESET 脚连接到所有 FPGA 芯片的 INIT\_B 脚。这个线路保证了在任意的配置开始之前 PROM 地址计算器复位。
- PROM 的 CE 输入能够被 DONE 脚驱动。第一个 PROM 的 CE 输入能够被所有 FPGA 芯片的 DONE 输出所驱动。
- 对于高频率并联模式，所有 PROMs 的 BUSY 脚连接到 FPGA 的 BUSY 输出。
- PROM 的 CF 脚代表性的连接到 FPGA 的 PROG\_B 输入。CF 脚是一个双向的脚。

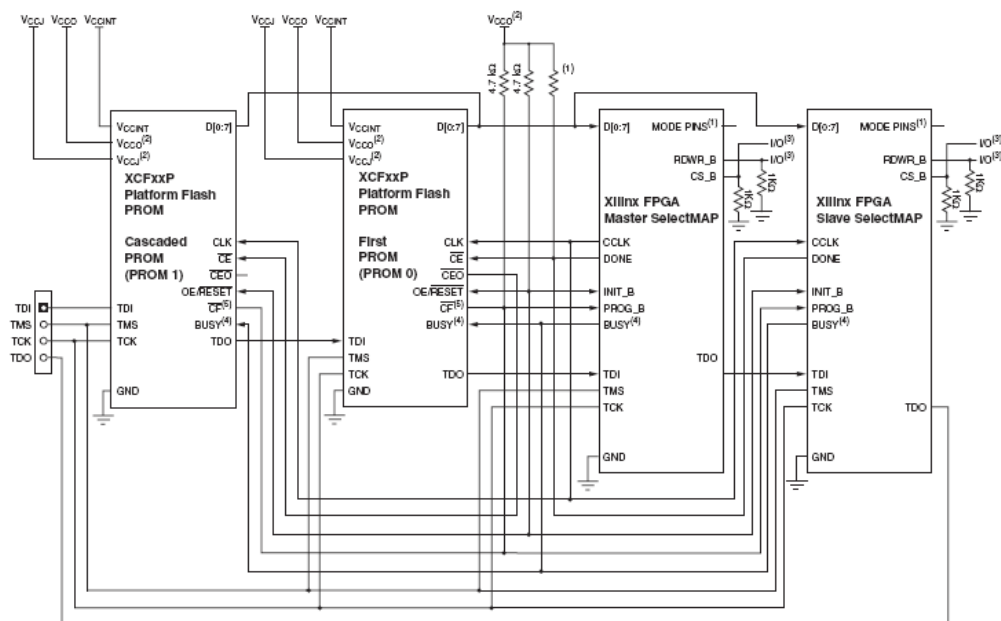


图 6 多芯片主/从 SelectMAP 模式配置图

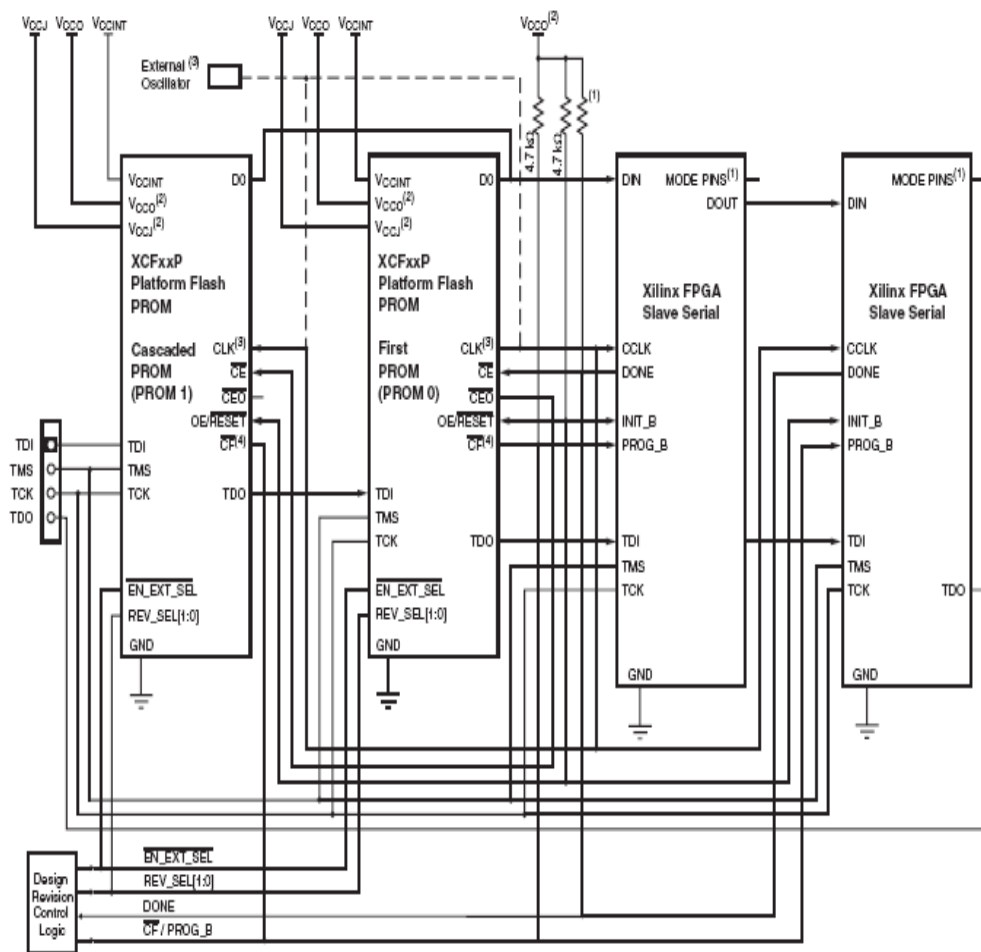


图 7 从串行模式配置图

- PROM 的 DATA 输出驱动 FPGA 芯片的[D0...D7]输入。
- PROM 的 CLKOUT 或者一个外部的时钟脉冲源驱动 FPGA 的 CCLK 输入。
- 在一条链里面一个 PROM 的 CEO 输出驱动另一个 PROM 的 CE 输入。
- 所有 PROMs 的 CE/RESET 脚连接到所有 FPGA 芯片的 INIT\_B 脚。这个线路保证了在任意的配置开始之前 PROM 地址计算器复位。
- PROM 的 CE 输入能够被 DONE 脚驱动。第一个 PROM 的 CE 输入能够被所有 FPGA 芯片的 DONE 输出所驱动。
- 对于高频率并联模式，所有 PROMs 的 BUSY 脚连接到 FPGA 的 BUSY 输出。
- PROM 的 CF 脚代表性的连接到 FPGA 的 PROG\_B 输入。CF 脚是一个双向的脚。

### PROM 到 FPGA 的配置模式

#### ● FPGA 主串模式

在主串模式中，FPGA 自动通过 FPGA 产生的配置时钟从同步的外部存储器下载流量。在上电或重新配置之前，FPGA 的模式选择管脚默认的选择主串配置



模式。主串模式提供一个简单的配置接口。只有一条连续的数据线，一条时钟线和 2 条控制线（INIT 和 DONE）是配置 FPGA 所必需的。PROM 的数据通过一条单一的数据线读出（DIN），访问通过 PROM 的地址计算器随着每个正确的 CCLK 的上升沿增加。连续带宽数据必须在每个 FPGA 的内部产生 CCLK 信号的上升沿之前装配在 FPGA 的 DIN 输入脚。

### ● FPGA 从串模式

在从串模式中，FPGA 通过外部提供时钟从外部存储器下载配置带宽。在上电或重新配置之前，FPGA 的模式选择管脚默认的选择从串配置模式。从串模式提供一个简单的配置接口。只有一条连续的数据线，一条时钟线和 2 条控制线（INIT 和 DONE）是配置 FPGA 所必需的。PROM 的数据通过一条单一的数据线读出（DIN），访问通过 PROM 的地址计算器，随着每个正确的 CCLK 的上升沿增加。连续带宽数据必须在每个 FPGA 的内部产生 CCLK 信号的上升沿之前装配在 FPGA 的 DIN 输入脚。

### ● FPGA 主 SelectMAP 模式

在主 SelectMAP 模式，带宽数据被写进 FPGA 里面，用一个 BUSY 控制数据流动，FPGA 产生的同步配置时钟（CCLK）。在开电或重新配置之前，FPGA 的模式选择管脚默认的选择主 SelectMAP 配置模式。配置接口需要一条并行的数据总线，一条时钟线，和两条控制线（INIT 和 DONE）。另外，FPGA 的芯片选择，写，和 BUSY 脚必须受到正确的约束来完成选择配置。配置数据通过脚[D0...D7]位从 PROM 位读出，访问通过 PROM 的地址计算器随着每个正确的 CCLK 的上升沿增加。带宽数据必须在每个 FPGA 的内部产生 CCLK 信号的上升沿之前装配在 FPGA 的[D0...D7]输入脚。如果 BUSY 是高电平通过 FPGA，那么配置数据必须等待直到 BUSY 变成低电平。

主 SelectMAP 配置接口通过 FPGA 的内部振荡器连接。一个宽的频率范围能够被内部产生的 CCLK 选择，总是开始于一个慢的默认频率。FPGA 的带宽包含能够为了主 SelectMAP 配置序列把 CCLK 转换成更高频率的配置位。想要的 CCLK 频率在带宽产生的时候被选择。

在配置之后，选择端口脚可以被用来当用额外的用户 I/O。

### ● FPGA 从 SelectMAP 模式

在从 SelectMAP 模式中，带宽数据被写进到 FPGA 中，用一个 BUSY 控制数据流动，FPGA 产生的同步配置时钟（CCLK）。在开电或重新配置之前，FPGA 的模式选择管脚默认的选择从 SelectMAP 配置模式。配置接口需要一条并行的数据总线，一条时钟线，和两条控制线（INIT 和 DONE）。另外，FPGA 的芯片选择，写，和 BUSY 脚必须受到正确的约束来完成选择配置。配置数据通过脚[D0...D7]位从 PROM 位读出，访问通过 PROM 的地址计算器随着每个正确的 CCLK 的上升沿增加。带宽数据必须在每个 FPGA 的内部产生 CCLK 信号的上升沿之前装配在 FPGA 的[D0...D7]输入脚小段时间。如果 BUSY 是高电平通过 FPGA，那么配置数据必须等待直到 BUSY 变成低电平。

在配置之后，选择端口脚可以被用来当用额外的用户 I/O。

### ● 开始 FPGA 配置

通过闪存 PROM 开始 FPGA 的配置包括：

- 在上电的时候自动配置。
- 适用一个外部的 PROG\_B 脉冲。

- 使用 JTAG CONFIG 指令。

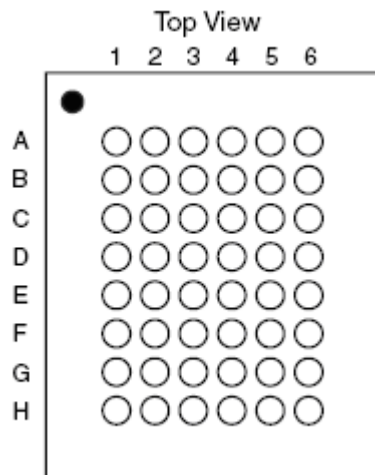
在 FPGA 的上电序列或 PROG\_B 脚的命令完成之后，FPGA 的配置存储器被清零，配置模式被选择，FPGA 准备完毕接受新的配置带宽。FPGA 的 PROG\_B 脚能够被外部源控制。通过 JTAG 脉冲执行 CONFIG 指令，CF 输出低电平一旦在 300-500ns 之间，FPGA 将会重置并且开始配置。iMPACT 软件能够通过设置“加载 FPGA”选项发出 JTAG CONFIG 命令来开始 FPGA 的配置。

## 8. 订货信息

表 5 产品订货信息

型号	封装名称	封装描述	温度范围
HWDF16P	TFBGA48	48 脚 TFBGA 封装	-55°C~125°C

### 9. 外形尺寸



## 10. 版本信息

表 7 版本信息

版本号	版本编写时间	版本描述
Rev1.0	2008-12-09	原始版本
Rev1.1	2009-12-20	公司更名后修改部分信息

## 11. 联系方式

成都华微电子系统有限公司

地址：成都市高朋大道11号高新区科技工业园2层

市场部

电话：028-85177737 转206、228

传真：028-85187895