



HWD18v04 参数手册

FPGA 配置存储器

1. 概述

华微公司 HWD18V04 全仿国外 Xilinx 公司 XQ(R)18V04 产品。

华微公司推出的军品级 4Mbit 在系统可编程可配置 Flash。它是 3.3V 可重写的 PROM，为要求在全军温范围工作的系统以可靠的非挥发性方式来存储大量的 FPGA 配置数据流。

当 FPGA 工作在主串行模式 (Master Serial mode) 下，FPGA 提供一个时钟 CCLK(configuration clock) 驱动 HWD18V04，CCLK 上升沿后的一小段时间后，PROM 的 D0 管脚上 (该管脚与 FPGA 上的 Din 相连) 的数据是有效的，FPGA 产生适当的时钟脉冲来完成配置；当 FPGA 工作在从串行模式 (Slave Serial mode) 时，PROM 和 FPGA 的时钟都由外部提供。

当 FPGA 工作在 SelectMAP mode (Slave) 时，外部的晶振产生时钟，从而驱动 PROM 和 FPGA 工作，时钟上升沿时，PROM D[7: 0] 的数据是有效的，在接下来的时钟上升沿，数据将被锁存进 FPGA。

通过 CEO 端输出驱动第二个 PROM 的 CE 端，我们可支持多个 PROM 一起使用来增加存储容量，这些 PROM 的时钟和数据均连接在一起，并且这些 PROM 能够和其他类型的 PROM 保持协调，比如和 XQR1701L 和 XQR17V16 共同使用。芯片输出有过压和短路保护 (参看功能框图)，并可应用于 -55°C 到 +125°C 的温度范围。

2. 产品特点

- ◆ 正常工作温度范围：-55° C 到 +125° C
- ◆ CMOS 低供电可编程存储器且能够有效抑制静态噪声干扰
- ◆ 3.3V 供电可为 FPGAs 提供服务
- ◆ 提供 20,000 次可编程/擦除能力

- ◆ 符合 IEEE Std 1149.1 边界扫描 (JTAG) 标准
- ◆ 串联使用能够为 FPGA 提供较长存储时间和较大的数据流
- ◆ 两种配置模式:
- ◆ 慢/快串行配置模式时频率最高达到 20 Mhz
- ◆ 并行配置模式在 20 Mhz 时数据达到 160Mbps (不是太清楚)
- ◆ 5V 电压 I/O, 也可接收 5V, 3.3V 和 2.5V 的信号的输入输出
- ◆ 输出具有 3.3V 和 2.5V 的能力
- ◆ 只能用塑料 VQ44 形式封装
- ◆ 能用 the Xilinx Alliance Series™ 和 Xilinx Foundation Series™ 软件包提供设计支持
- ◆ 标准 FPGA 的初始化配置是由 JTAG 命令提供的
- ◆ 全温度范围: -55°C ~ 125°C

3. 功能框图

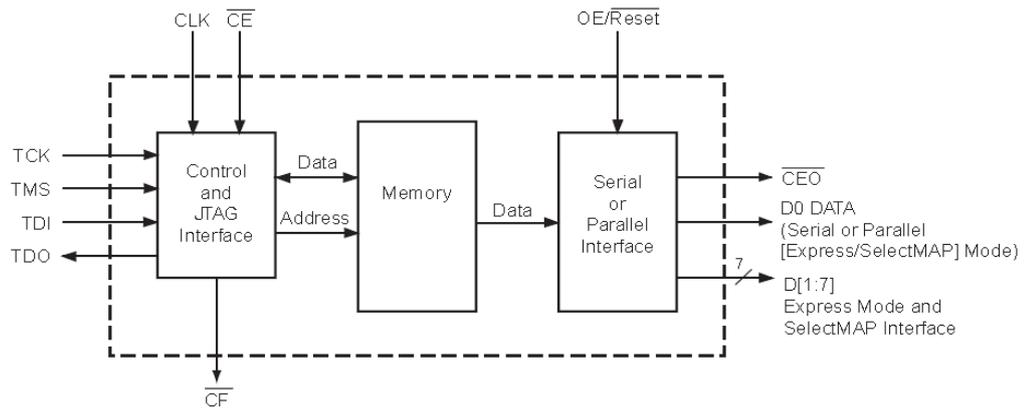


图 1 功能框图

4. 引脚信息

4.1 引脚排列图

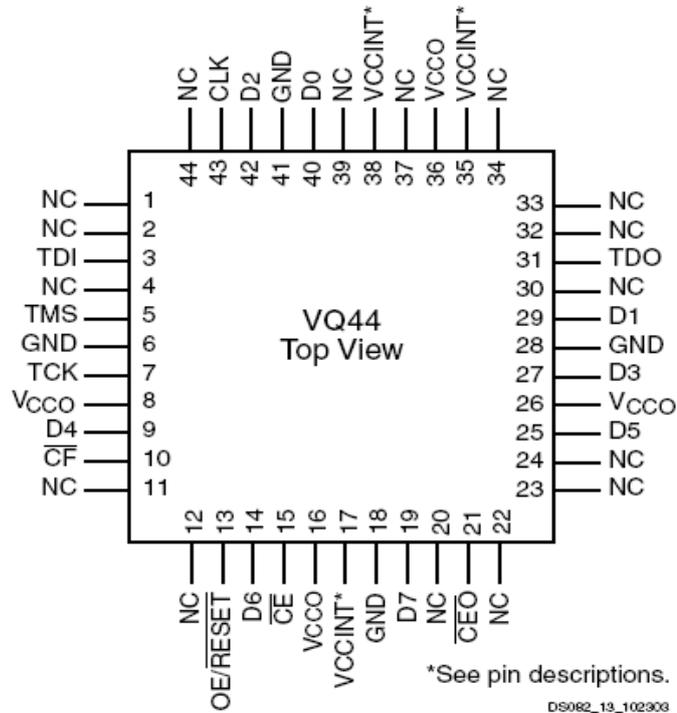


图 2 HWD18V04 引脚排列图

4.2 引脚描述

表 1 引脚描述

引出端序号	符号	功能	引出端序号	符号	功能
1/2/4/11/ 12/20/22/ 23/24/30/ 32/33/34/ 37/39/44	NC	悬空管脚	17	V _{CCINT}	内部逻辑电源
3	TDI	JTAG 测试数据输入	19	D7	并行数据输出 D7 位
5	TMS	JTAG 测试模式	21	CEO ₋	芯片使能输出信号

6/18/28/41	GND	地	25	D5	并行数据输出 D5 位
7	TCK	JTAG 测试时钟	27	D3	并行数据输出 D2 位
8	V _{CCO}	IO 电源	29	D1	并行数据输出 D1 位
9	D4	并行数据输出 D4 位	31	TDO	JTAG 测试数据输出
10	CF_	配置信号	35	V _{CCINT}	内部逻辑电源
13	OE/RE SET_	输出使能信号 / 复位信号	38	V _{CCINT}	内部逻辑电源
14	D6	并行数据输出 D6 位	40	D0	串行数据输出 (并行数据输出 D0 位)
15	CE_	芯片使能信号	42	D2	并行数据输出 D2 位
16/26/36	V _{CCO}	IO 电源	43	CLK	时钟信号

5. 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

电源电压 (V _{CCINT} /V _{CCO})	-0.5 V~4.0 V
对地直流输入电压 (V _{IN})	-0.5 V~5.5 V
对地三态输出电压 (V _{TS})	-0.5 V~5.5 V
储存时的环境温度 (T _{stg})	-65°C~+150°C
最大焊接温度 (T _{SOL})	+260°C

5.2 推荐工作范围

电源电压 (V _{CCINT} /V _{CCO})	3.0V~3.6V
低电平输入电压 (V _{IL})	0V~0.3V
高电平输入电压 (V _{IH})	2.3V~5.5V
工作环境温度 (T _A)	-55°C~125°C

注意 1: 如器件在上述所列“绝对最大额定值”下工作, 可能对该器件造成永久性损坏。

6. 电特性参数

表 2 质量保证参数

符号	描述	最小	最大	单位
T_{DR}	数据保留	10	-	年
N_{PE}	擦写次数	2000	-	次数
VESD	Electrostatic discharge (ESD)	2000	-	Volts

表 3 直流参数

($V_{CCINT}/V_{CC0} = 3.3V$ $-55^{\circ}C \leq T_A \leq 125^{\circ}C$, 特殊说明除外 $T_A = -55^{\circ}C$ to $+125^{\circ}C$)

特性	符号	条件 除另有规定外	极限值		单位
			最小	最大	
输出高电平电压	V_{OH}	$I_{OH} = -4.0mA$	2.5	—	V
输出低电平电压	V_{OL}	$I_{OL} = 8mA$	—	0.45	V
最大输出驱动电流	I_{OL}		6	—	mA
输入高电平电压	V_{IH}		2.3	—	V
输入低电平电压	V_{IL}		—	0.3	V
输入漏电流	I_I	$V_{IN} = GND$ or V_{CC0}	-20	+20	μA
输出高阻漏电流	I_{OZ}	$V_{IN} = GND$ or V_{CC0}	-20	+20	μA
电源电流	I_{CC}	不带负载, $f = 1MHz$	—	25	mA

表 4 交流参数

($V_{CCINT}/V_{CC0} = 3.3V$ $-55^{\circ}C \leq T_A \leq 125^{\circ}C$, 特殊说明除外 $T_A = -55^{\circ}C$ to $+125^{\circ}C$)

特性	符号	条件 除另有规定外	极限值		单位
			最小	最大	
TCK 最小周期	T_{CKMIN}		200	—	ns
TMS 建立时间 (setup time)	T_{MSS}		10	—	ns

TMS 保持时间 (hold time)	T_{MSH}		25	—	ns
TDI 建立时间 (setup time)	T_{DIS}		10	—	ns
TDI 保持时间 (hold time)	T_{DIH}		25	—	ns
OE/RESET_到数 据输出延迟	T_{OE}	$f=1\text{MHz}$	—	20	ns
CE_到数据输出 延迟	T_{CE}	$f=1\text{MHz}$	—	20	ns
CLK 到数据输出 延迟	T_{CO}	$f=1\text{MHz}$	—	20	ns
写入延迟	T_{WD}	$f=1\text{MHz}$	—	50	ns
读出延迟	T_{RD}	$f=1\text{MHz}$	—	50	ns

表 4 级联状态下的交流特性

($V_{CCINT}/V_{CCO}=3.3\text{V}$ $-55^{\circ}\text{C}\leq T_A\leq 125^{\circ}\text{C}$, 特殊说明除外 $T_A = -55^{\circ}\text{C}$ to $+125^{\circ}\text{C}$)

特 性	符号	条 件 除另有规定外, $V_{CC}=5\text{V}$ $-55^{\circ}\text{C}\leq T_c\leq 125^{\circ}\text{C}$	极限值		单位
			最小	最大	
时钟有效到输出悬 浮延时	T_{cdE}	注释 4 注释 3	—	50	ns
时钟有效到 CEO 输出 延时	T_{Ock}	注释 4	—	30	ns
CE 有效 CEO 输出延时	T_{oce}		—	35	ns
RESET/OE 到 CEO 输出 延时	T_{ode}		—	30	ns

注释 1: 交流测试负载为 50pF ;

注释 2: 所有的交流参数都测试于 $V_{IL}=0\text{V}$ 和 $V_{IH}=3\text{V}$;

注释 3: 悬空延迟测量为 5pF 交流负载, 是在从稳态有效电平转换到 $\pm 200\text{mV}$ 时
测量

注释 4: 由设计保证, 未经过测试

7. 时序图

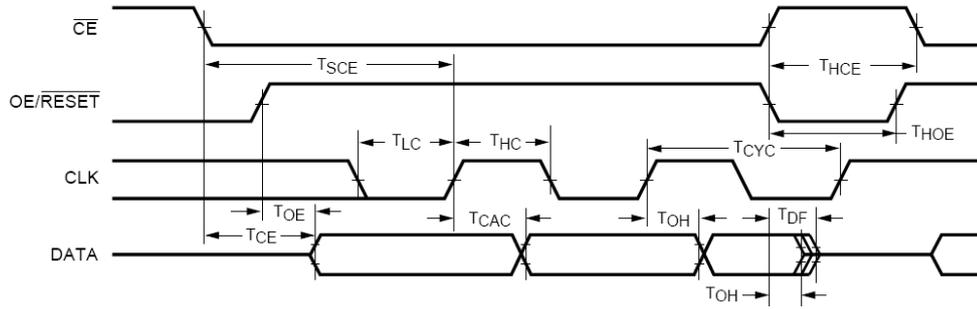


图 3 HWD18V04 时序图

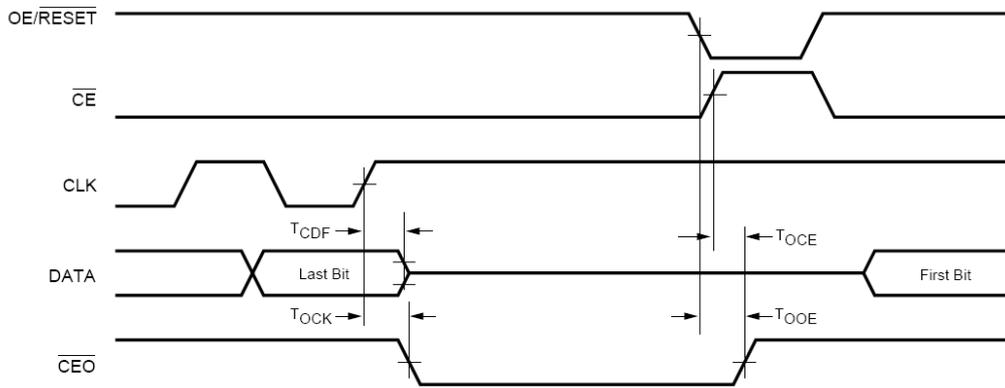


图 4 级联 HWD18V04 时序图

8. 应用建议

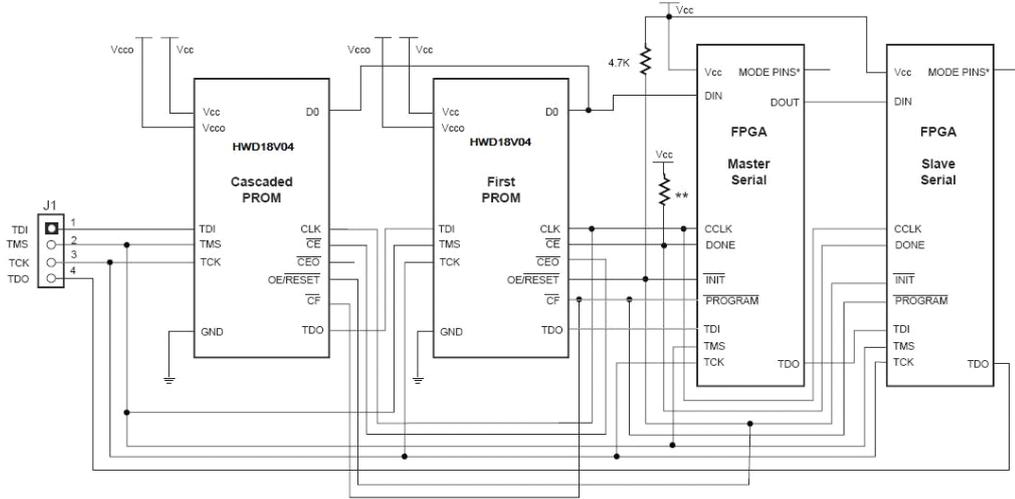
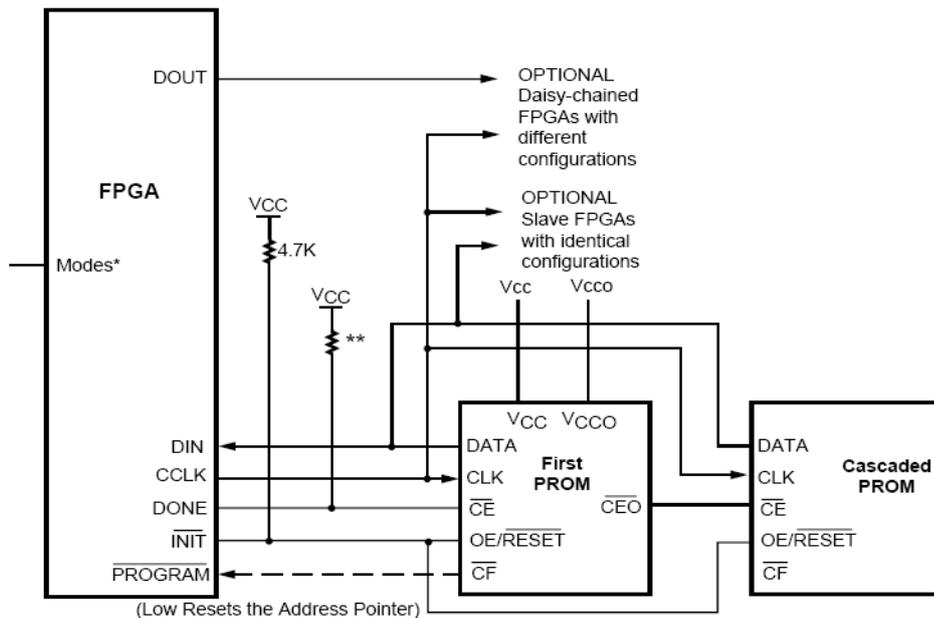


图 5 主串行模式的 JTAG 链配置图

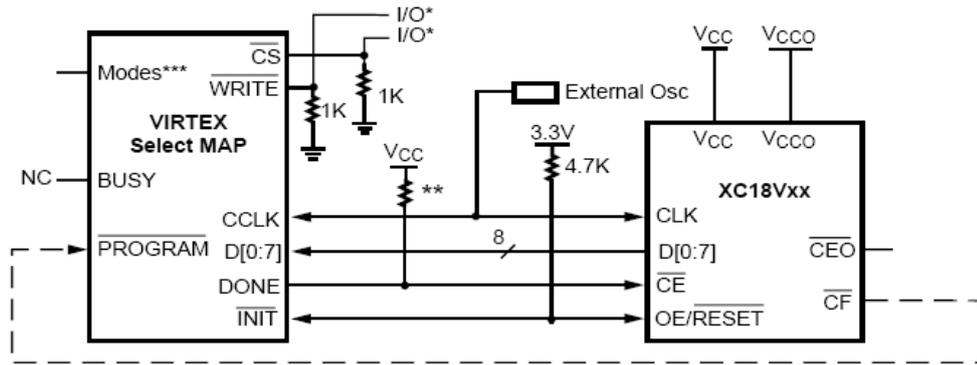


*For Mode pin connections, refer to the appropriate FPGA data sheet.

**Virtex, Virtex-E is 300 ohms, all others are 4.7K.

Master Serial Mode

图 6 主串行模式配置图



*CS and WRITE must be pulled down to be used as I/O. One option is shown.

**Virtex, Virtex-E is 300 ohms, all others are 4.7K.

***For Mode pin connections, refer to the appropriate FPGA data sheet.

Virtex Select MAP Mode

图 7 FPGA 选择模式配置图

8.1 对 HWD18V04 的控制应用

- ◆ HWD18V04 的 DATA 输出驱动主 FPGA 芯片的 Din 端；
- ◆ 主 FPGACCLK 的输出驱动 HWD18V04 的 CLK 端(只在主串行模式下)；
- ◆ 在菊花链模式下，HWD18V04 的 CEO 输出驱动下一个 HWD18V04 的 CE 端；
- ◆ HWD18V04 的 RESET 输入端最好被主 FPGA 芯片的 INIT 端驱动。这个连接保证了 HWD18V04 的内部地址计数器在任何情形下的配置之前复位，甚至在一个因 Vcc 毛刺而引发的情况下。其它的办法——比如用 LDC 或者系统复位来驱动——假设 HWD18V04 的上电总是和 FPGA 保持同步，但这可能不是一个安全的状态。
- ◆ 如果主 FPGA 芯片的 DONE 端不是被恒定接地的情况，那么菊花链中的第一个 HWD18V04（或者仅有的一个 HWD18V04）的 CE 输入端可由主 FPGA 芯片的 DONE 输出端驱动。另外，LDC 可以被用来驱动 CE，但其必须在用户使用时被无条件地置为高电平。HWD18V04 的 CE 端也可被恒置为低电平，但这样会使数据输出一直有效并会产生一个不必要的最大为 20mA 的电流。
- ◆ SelectMap 模式类似于从串行模式。数据的频率是一个 Bit 每 CCLK 不是一个 Bit 每 CCLK 周期。参照 FPGA 的数据表的特殊配置要求。

8.2 FPGA 主串模式概要

FPGA 的可配置逻辑模块 (CLB) 的 I/O 和逻辑功能块，以及它们的相互连结由配置程序确定。程序的载入即可自动地在上电过程中完成，也可依靠指令——FPGA 的三个模式引脚的状态来决定。在主串模式下，FPGA 自动地从外部存储器中装载配置数据。HWD18V04 设计成直接与 FPGA 的主串模式兼容的。

在启动或重配置时，只要当 FPGA 的三个模式选择引脚都为低时 ($M0=0, M1=0, M2=0$)，FPGA 进入主串模式。数据从 HWD18V04 的一根数据线上被串行地读出。HWD18V04 和 FPGA 是靠配置过程中产生的时钟信号 CCLK 的上升沿来同步的。

主串模式提供了一个简单的配置接口。只有一条串行数据线和两条控制线来对 FPGA 进行配置。在每个有效 CCLK 上升沿处内部地址和位计数器计数，数据在计数器的控制下从 HWD18V04 中串行地读出。

如果 FPGA 上的用户可编程双向 Din 引脚仅被用来做配置用，在通常操作中它必须被保持在一个固定的电平上，FPGA 通过芯片内部的缺省的上拉电阻来自动的解决这个问题。

8.3 启动配置模式

HWD18V04 通过 CF 端向 FPGA 发送配置指令脉冲“CF LOW 300–500ns”。复位 FPGA 并开始配置 FPAG。HWD18V04 的 CF 引脚必须连接 FPGA 的 PROGRAM 引脚才能使用止功能。(JTAG 编程软件选择 “Load FPGA”设置，发出配置命令开始配置 FPGA.)

8.4 选择配置模式

HWD18V04 可选择串行和并行模式，改变配置模式通过改变芯片中的控制寄存器信息实现，控制寄存器可通过 JTAG 软件改变，默认为串行模式。

9. 订货信息

表 5 产品订货信息

型号	封装名称	封装描述	温度范围
HWD18v04MCH	CQFP44	44 脚 CQFP 封装	-55°C~125°C

10 外形尺寸

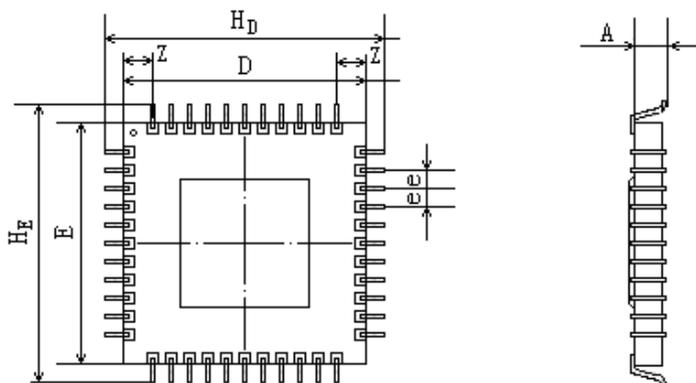


图 5 外形尺寸图

表 6 外形参数

尺寸符号	数值		
	最小	公称	最大
D	—	—	16.95
E	—	—	16.95
H_D	19.20	—	20.25
H_E	19.20	—	20.25
Z	—	—	2.52
e	—	1.27	—
A	1.4	—	2.2

单位为毫米

11. 版本信息

表 7 版本信息

版本号	版本编写时间	版本描述
Rev1.0	2008-12-09	原始版本

12. 联系方式

成都华微电子系统有限公司

地址：成都市高朋大道11号高新区科技工业园2层

市场部

电话： 028-85177737 转206、228

传真： 028-85187895