



HWD virtex 参数手册

可编程门阵列

1. 概述

华微公司 **virtex** 系列 **FPGA** 全仿国外 **Xilinx** 公司 **virtex** 产品。

HWDV 系列 FPGA 提供高性能和高容量可编程逻辑解决方案。采用能够提高布局布线效率的新结构及先进的 $0.22\ \mu\text{m}$ 、5 层金属 CMOS 工艺，能够卓有成效的增加硅片的使用效率。相对于可编程掩模门阵列具有更加强大和灵活的可选性。

HWDV 系列汲取以往各代 FPGA 的经验成果，在可编程逻辑设计中取得了革命性的进步，将多样性的可编程系统特色，丰富而快速的层次，灵活的互连资源，和先进的工艺技术集于一体，使得 HWDV 系列为高速、大容量可编程逻辑提供解决方案，这一方案增强了设计的灵活性，缩短了产品研发周期。

器件	系统门	CLB 排列	逻辑单元	最大可用的 I/O	RAM 块字节	最大 SelectRAM+™ 字节
HWDV100	108,904	20×30	2,700	180	40,960	38,400
HWDV300	322,970	32×48	6,912	316	65,536	98,304
HWDV600	661,111	48×72	15,552	512	98,304	221,184
HWDV1000	1,124,022	64×96	27,648	512	131,072	393,216

2. 产品特点

- ◆ 快速、高密度的现场可编程门阵列
 - 规模从 50k 到 1M 逻辑门
 - 系统频率可达到 200MHz
 - 兼容 66MHz PCI 标准
 - 支持热插拔 Compact PCI

- ◆ 多标准的 SelectIO™接口
 - 16 个高性能接口标准
 - 可直接与 ZBTRAM 设备相连
- ◆ 内建时钟管理电路
 - 四个专用延迟锁相环(DLL) 实现高级的时钟控制
 - 四个主要的低倾斜全局时钟分配网络，加上 24 个次要局部时钟网络
- ◆ 层次化存储体系
 - 查找表 (LUT) 可配置成 16、32 位 RAM、16 位双端口 RAM 或者 16 位移位寄存器
 - 可配置同步双端口 4k 位 RAM
 - 与外部高性能 RAM 相连的快速接口
- ◆ 能够平衡速度和密度的灵活结构
 - 为高速运算提供专用进位逻辑
 - 提供专用的乘法器
 - 级联链支持多输入函数
 - 丰富的寄存器 / 锁存器 (带有时钟使能、同步 / 异步置位和复位信号)
 - 片内三态总线
 - IEEE 1149.1 边界扫描逻辑
 - 温敏二极管
- ◆ 提供 FPGA Foundation™和 Alliance 开发系统
 - 完全支持统一标准库，相关的块宏和设计管理
 - 广泛适应 PC 和工作站平台
- ◆ 基于 SRAM 的在系统配置
 - 无限制再编程
 - 4 种编程模式
- ◆ 0.22 μ m 工艺、5 层金属 100%经工厂测试
- ◆ 全温度范围：-55℃~125℃

3. 功能描述

本系列 FPGA 结构灵活、有序，主要由可编程逻辑模块（CLB）阵列、外围输入/输出模块（IOB）以及多层次快速互连布线资源(IR)构成。丰富的布线资源使得 HWDV 系列适应于更大、更复杂的设计。

HWDV 系列 FPGA 是基于 SRAM, 通过装载编程数据到内部的存储单元来自定义用户功能。在一些模式中, FPGA 从其外挂的 PROM 中读入编程数据(主串模式)。或者, 编程数据写入 FPGA 是通过如下几种模式: Select-MAP™、从串模式和 JTAG 模式。

3.1 卓越的性能

HWDV 系列相比以往各代 FPGA 都具有更高的性能, 设计所能达到的同步时钟频率（包括 I/O）可以达到 200MHz。HWDV 系列的输入输出完全兼容 PCI 标准, 可以实现 33MHz 或 66MHz 接口。此外, HWDV 系列支持精简 PCI 热插拔。

HWDV 系列 FPGA 器件性能依靠设计支持, 许多设计的工作频率超过 100MHz, 甚至可以达到 200MHz。表 2 所示, 典型电路最坏情况下的时序参数。

表 2 典型电路功能的性能

功能	字节	器件
寄存器到寄存器		
加法器	16	5.0ns
	64	7.0ns
管道流水线乘法器	8×8	5.1ns
	16×16	6.0ns
地址译码器	16	4.4ns
	64	6.4ns
16:1 多路复用器		5.4ns
奇偶校验器	9	4.1ns
	18	5.0ns
	36	6.9ns
芯片到芯片		
HSTL Class IV		200MHz
LVTTL, 16mA, 快速翻转		180MHz

3.2 HWDV 系列型号/封装 最大 I/O 数

表 3 HWDV 系列不同器件与封装的最大用户 I/O（包括专用时钟管脚）

封装	HWDV100	HWDV300	HWDV600	HWDV1000
TQ144	98			
CB228	162			
CQ240	166	166		
HQ240			166	
BG256	180			
BG352		260		
BG432		316	316	
BG560			404	404
FG256	176			
FG456		312		
FG676			444	
FG680			512	512

3.3 HWDV 阵列

HWDV 系列用户可编程门阵列如图 1，主要包括对以下两个部分的编程：可编程逻辑模块（CLB）和输入输出模块（IOB）。

- ◆ CLB 提供为构建逻辑的功能单元
- ◆ IOB 提供封装引脚到 CLB 之间的接口

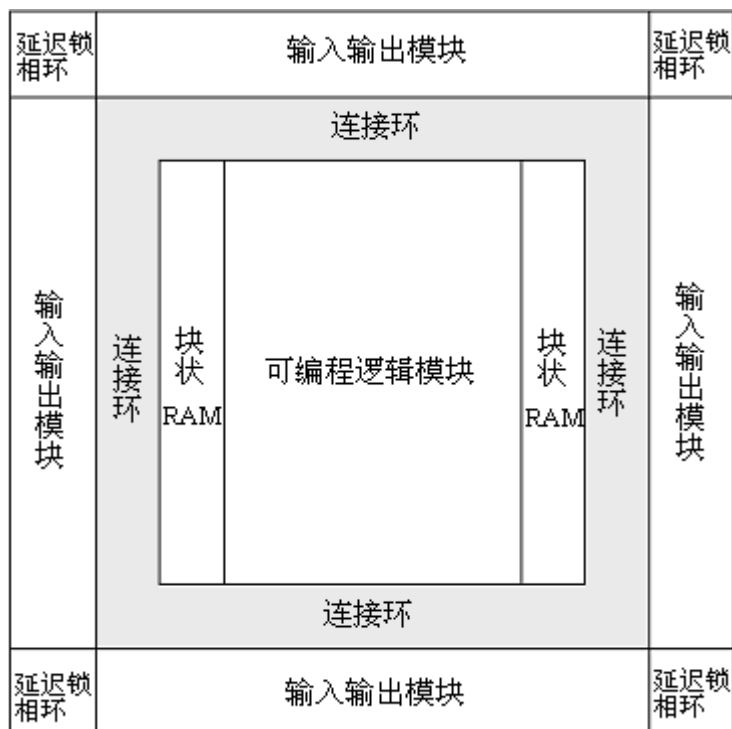


图 2 HWDV 结构框图

CLB 利用一个通用的布线矩阵（GRM）实现互连。GRM 由位于水平和垂直布线通道交叉点上的一组布线开关构成。每个 CLB 嵌入一个 VersaBlock™ 中，它提供 CLB 与 GRM 的局部互连。VersaRing™ I/O 接口为器件周围的外设部分提供了布线资源。这个布线增进了 I/O 的可分布能力，以及使管脚锁定变得更加容易。

HWDV 系列同样包括下面的电路与 GRM 相连：

- ◆ 存储量为 4096bit 的专用块状存储单元
- ◆ 时钟 DLL 的时钟分配延迟补偿和时钟区域控制
- ◆ 可驱动专用水平分段路径资源的与每个 CLB 结合的 3 态总线缓冲器(BUFT)

在静态存储单元中的数据控制编程逻辑单元和连接资源。这些数据在上电时载入存储单元，并可以在需要改变器件功能时再重新装入新的数据。

3.4 输入/输出模块

HWDV系列IOB，如图2，SelectIO™输入输出特性可以支持多种多样的I/O信号标准，查看表1。

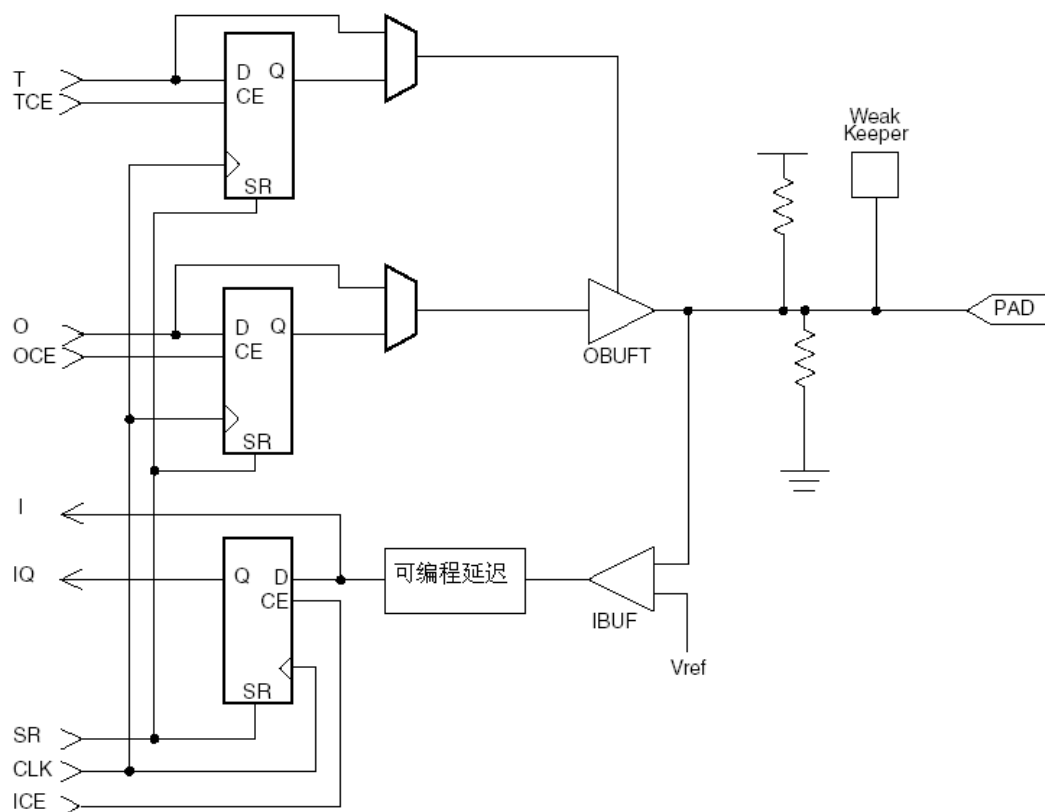


图3 HWDV系列输入输出模块

表 4 Select I/O 所支持的标准

I/O 标准	输入参考电压 (V_{REF})	输出电源电压 (V_{CCO})	板终端电压 (V_{TT})	5V 容 许
LVTTL 2 – 24 mA	N/A	3.3	N/A	是
LVC MOS2	N/A	2.5	N/A	是
PCI, 5 V	N/A	3.3	N/A	是
PCI, 3.3 V	N/A	3.3	N/A	否
GTL	0.8	N/A	1.2	否
GTL+	1.0	N/A	1.5	否
HSTL Class I	0.75	1.5	0.75	否
HSTL Class III	0.9	1.5	1.5	否
HSTL Class IV	0.9	1.5	1.5	否
SSTL3 Class I & II	1.5	3.3	1.5	否
SSTL2 Class I & II	1.25	2.5	1.25	否
CTT	1.5	1.5	1.5	否
AGP	1.32	3.3	N/A	否

三个IOB寄存器单元可用做边沿触发的D型触发器，或是电平触发的锁存器。每个IOB都有一个时钟信号（CLK），CLK由IOB内的三个触发器共享，每个触发器都有一个独立时钟使能信号（CE）。

除了CLK和CE两个控制信号之外，三个触发器还共享一个置位/复位信号（SR）。每个触发器可独立配置SR信号，可以配置成一个同步置位，或是一个同步复位，或是一个异步置位和一个异步清零信号。输出缓冲器和IOB所有控制信号的极性都独立控制。

所有PAD都设计为防止静电泄放和瞬间大电压带来的损坏。提供了两种模式的过电压保护措施，5V标准的和非5V标准的。对于5V标准的，输出上升到大约6.5V时，一个齐纳的结构就接地了；当要求PCI 3.3V标准时，一个常规的钳位二极管就与输出供电电压 V_{CCO} 相连。

在每个PAD上都设置一个可配置的上拉、下拉电阻和一个可选的weak-keeper电路。在初始化之前，每个未初始化PIN都被强拉到高阻的状态。下拉电阻和weak-keeper电路是不可激活的，输入可以上拉。

在编程模式下，PIN脚的上拉电阻在初始化之前是激活了的。如果上拉电阻没有激活，全部的PIN脚就将悬空。因此，在初始化之前，我们就要将外部上拉、下拉电阻设置为管脚所要求定义的逻辑电平。

所有的HWDV系列IOB支持IEEE 1149.1的边界扫描测试。

输入路径

IOB的输入路径上的缓冲器可将输入信号直接送到内部逻辑或通过一个可配置的IOB输出触发器送到内部。

在触发器D输入端，一个可配置的延迟单元消除了PAD到PAD的保持时间。这个延迟要与FPGA内部的时钟分布延迟相匹配，当使用这个延迟，要保证PAD到PAD的保持时间为零。

每个输入缓冲器可以配置成为与任何低电压信号标准相匹配。在一些标准里输入缓冲器需要用户提供门限电压 V_{REF} 。所需要 V_{REF} 的大小要受到所使用哪个标准的约束。参看I/O组。

编程以后每个用户I/O都有可用的可配置上拉、下拉电阻，它们的阻值范围是 $50k\Omega - 100k\Omega$ 。

输出路径

输出路径包括一个将输出信号驱动到PAD的3态输出缓冲器。缓冲器所接收的输出信号可以直接来自于内部逻辑或通过一个配置的IOB输出触发器。

另外，输出的3态控制也可以直接来自内部逻辑信号或通过一个触发器以提供同步的使能信号和非使能信号。

每个输出缓冲器可以单独编程以适合多种低电压信号标准，每个输出缓冲器具有拉电流24mA和灌电流48mA的能力。驱动能力和翻转的斜率控制减小总线的瞬态。

多数信号传输标准里，输出高电平依赖外部所提供的 V_{CC0} ，所加 V_{CC0} 的大小取决于使用哪个标准。查看I/O组。

每一个输出都连接一个可选的weak-keeper电路，当这个weak-keeper电路被选择时，这个电路就监控PAD上的电压以及弱驱动管脚与输入信号相匹配的高、低电平。如果管脚连接到了一个多路来源的信号，即便在这些驱动都无效的时候这个weak-keeper电路可以保持信号的最后状态。这样在维持一个有效的逻辑电平同时可以排除总线噪声。

因为weak-keeper电路通过IOB输入缓冲器监控的输入电平，这就需要提供一适当的 V_{REF} 电压，以保证信号标准的要求。所提供的电压必须遵循I/O组规则。

I/O 组

上面所提到的一些I/O标准需要外部提供VCCO和VREF两个电压，或者只需要其一。这些外部电压与器件PIN脚相连，配合一组IOB，称作组。因此，哪些I/O标准可以与特定的组相连存在着严格的规定。把FPGA每边分成两组，这样整个FPGA芯片共有8个I/O组。每个组提供了多个VCCO脚，这些引脚必须全部接在相同的电平。并且电压大小由使用的输出标准而定。I/O组框图，如图4：

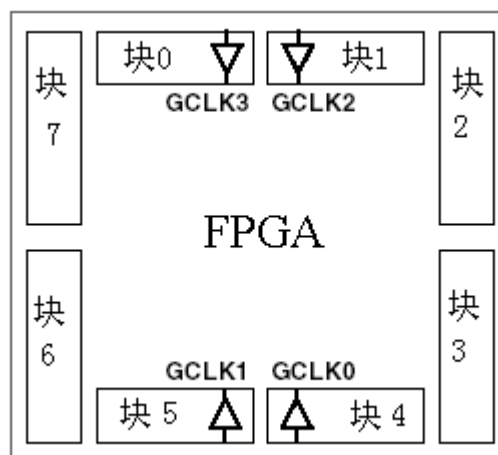


图4 I/O组框图

在同一个组内，只有所使用的那些输出标准具有相同的VCCO，它们才可以混合使用。下表给出了可兼容的电压标准。在下面的所有电压均支持GTL和GTL+，是因为它们的漏极开路输出不依赖于电压VCCO。

表 5 可兼容的电压标准

VCCO	可兼容标准
3.3V	PCI, LVTTTL, SSTL3 I, SSTL3 II, CTT, AGP, GTL, GTL+
2.5V	SSTL2 I, SSTL2 II, LVCMOS2, GTL, GTL+
1.5V	HSTL I, HSTL III, HSTL IV, GTL, GTL+

一些输入标准需要用户提供门限电压VREF。在这种情况下，专用的用户I/O引脚自动的配置成电压VREF输入。在一个组内大约有六分之一的I/O引脚满足这种规律。在同一组中，VREF引脚是互连的，因此，在每组中只有一个VREF电压可以使用。但是，在组中的所有VREF引脚必须与外部电压源相连，芯片才能正常工作。

在同一个组内，那些需要VREF的输入可以和那些不需要VREF的输入混合在一

起。但是同一个组只能用一个 V_{REF} 电压。带有 V_{REF} 的输入缓冲器是非5V容许。

LVTTL, LVCMOS2, PCI 33 MHz 5V, 是5V容许。

参看管脚定义表格和图表可得到每个组的 V_{CC0} 和 V_{REF} 管脚的分配情况, 图表也示出了组内每个I/O的附属关系。

对于一个特定的封装, V_{REF} 和 V_{CC0} 的管脚数目由芯片规模决定。在规模较大的芯片中, 更多的I/O引脚转化为 V_{REF} 引脚, 而这些引脚是小规模芯片 V_{REF} 的父集, 这就提供一个可能, 使PCB板的设计, 满足在需要将小规模芯片换成大规模芯片。所有这些 V_{REF} 引脚必须与外部的 V_{REF} 电压相连, 而不能用作I/O口。

在小规模芯片, 一些在大规模芯片用到 V_{CC0} 管脚在封装内部并没有相连。这些没有相连的管脚在外部也没有相连, 同样, 根据需要可以将小规模器件换为大规模器件, 这样就可以将那些管脚与 V_{CC0} 电压相连。

在TQ144 和 PQ/HQ240封装, 所有的 V_{CC0} 管脚在内部是连在一起的, 因此, 它们就必须连在同样的 V_{CC0} 电压。在CS144封装中, 在同侧的两个组的 V_{CC0} 管脚在内部是相连的, 故这种封装, 允许选择四个 V_{CC0} 电压。在以上两种情况, 八个组的 V_{REF} 管脚仍然是连在一起的, 它们的使用如上所述。

3.5 可编程逻辑模块

可编程逻辑模块CLB的基本结构为逻辑元胞(LC)。每个LC包括一个4输入的函数发生器, 进位逻辑和一个存储部分。在每个LC中, 函数发生器的输出既是CLB的输出又是D触发器的输入。每个CLB包含4个LC。每个CLB由相似的两个单元构成。

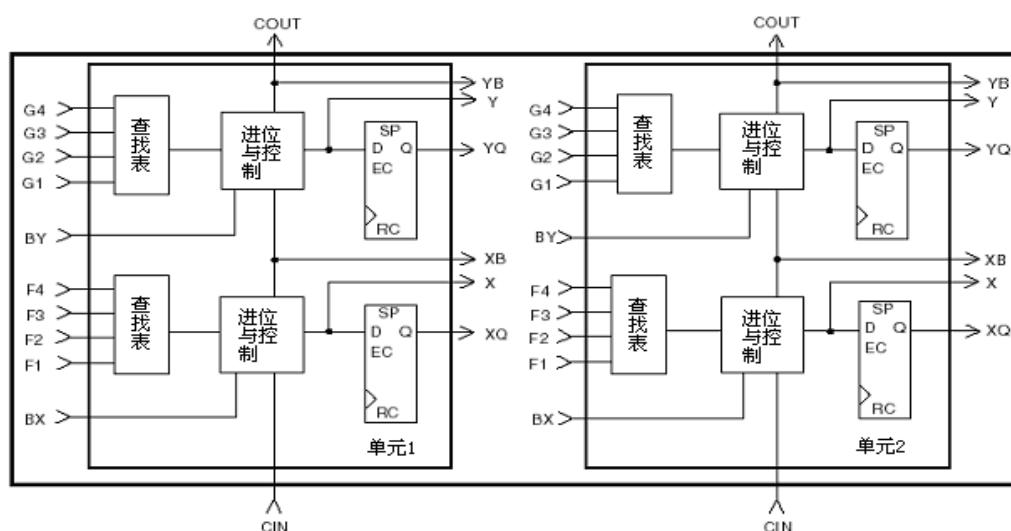


图5 可编程逻辑模块框图

图6示出了每个单元具体的结构:

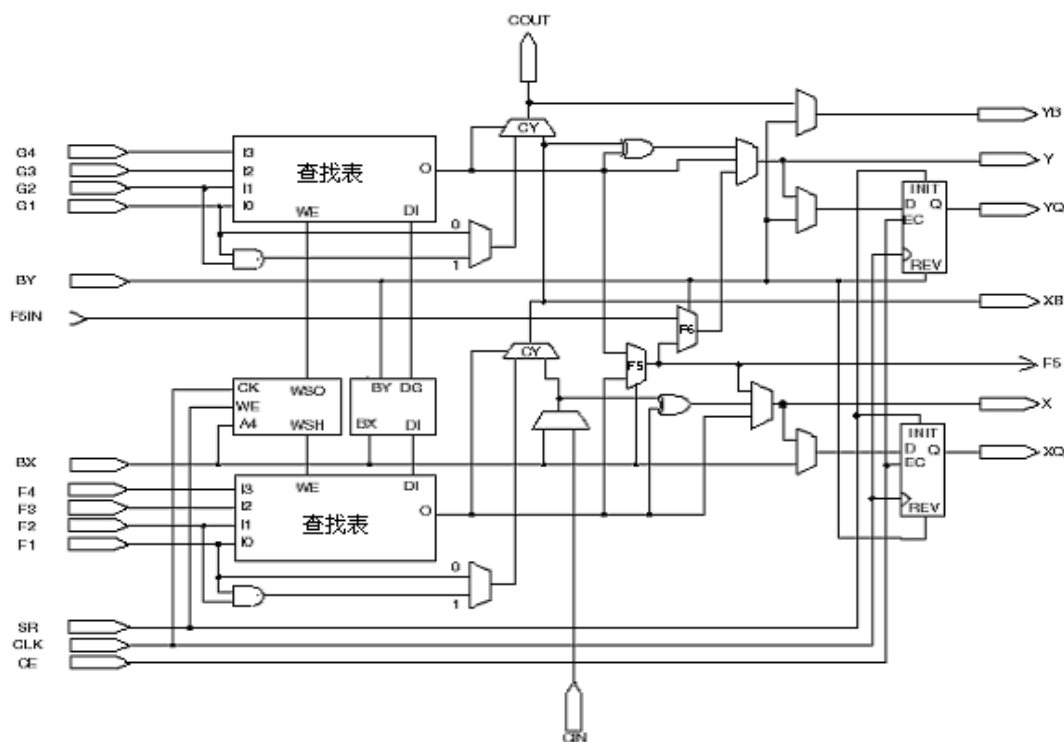


图6 可编程逻辑器件每个单元具体结构框图

除了四个基本LC外，HWDV系列CLB还包含一些逻辑电路，结合函数发生器可提供五或六输入的函数功能。因此，当估算给定器件提供的系统门数量时，每个CLB算作4.5个逻辑单元。

查找表

HWDV系列函数发生器用4输入查找表（LUT）来实现。除了可作为函数发生器以外，每个LUT还可用作一个 16×1 位同步RAM。这样，同一个单元的2个LUTs片可以组成一个 16×2 bit或 32×1 bit同步RAM，或者一个 16×1 bit双端口同步RAM。

HWDV的LUT还提供了一个16bit的移位寄存器，它可以理想的扑捉高速或者突发模式的数据。这种模式可以在数字信号处理应用中用来存储数据。

存储单元

每个单元的存储部分可以配置成边沿触发的D型触发器或是电平触发的锁存器。D型触发器的输入既可以由同一个单元中的函数发生器驱动，也可以由该片的输入直接驱动。

除了时钟信号和时钟使能信号，每一单元都有同步的置位和复位信号（SR和

BY)。SR信号实现存储部分恢复到初始状态，而BY信号使其反向。另外，这两个信号还可以配置成异步的置位与复位信号。所有这些控制信号均可独立反向，并由同一单元中的两个触发器共享。

附加逻辑

在每个单元里面有一个多路选择器F5把函数发生器的输出组合在一起。这样的输出组合可以实现任何一个5输入的函数，或是一个4选1的多路选择器，或实现某些高达9输入的逻辑功能。相类似的，再设计一个多路选择器F6，通过选取多路选择器F5的一个输入，将每个CLB中4个函数发生器的输出组合起来，这样的输出组合可以实现任何一个6输入的函数，或是一个8选1的多路选择器，或实现某些高达19个输入的逻辑功能。每个CLB由4条直接连接路径，每个LC有一条。这些路径在不消耗逻辑资源的情况下提供了附加的数据输入线或者局部布线资源。

运算逻辑

专用的进位逻辑为高速运算提供了快速运算进位能力。HWDV系列CLB提供两个单独的进位链，每个单元各一个，进位链的高度为每个CLB 2bit。这个运算逻辑包括一个异或门，利用它可以在每个LC中实现一个1位全加器。此外，运算逻辑还包括一个专用的与门(AND)，它可以有效的提高乘法器的效率。专用的进位路径也可以用在级联的函数发生器，以实现更多的逻辑功能。

三态缓冲器

每个HWDV系列 CLB包括2个3态驱动(BUFT)，它可以驱动芯片内的总线。查看专用布线。

每个HWDV系列BUFT有一个独立的3态控制管脚和一个独立的输入管脚。

块状 SelectRAM

HWDV系列FPGA还组合了一些大的块状SelectRAM存储器。这些存储器补足了查找表中的分布式SelectRAM，分布式SelectRAM是应用在CLB中简单的RAM结构。

SelectRAM是按列分布的，所有的器件都有两个这样的列，它们沿着芯片的垂直边排列。列的长度与器件等长，每个存储块有4个CLB长度，因此，若一个有64个CLB长度的器件，这个长度应容纳一列16个存储器块，而两列共有32个块。

表3，示出HWDV系列每个型号块状SelectRAM的数量。

表 6 HWDV 系列 Block SelectRAM 数量

设备	块数	整个块字节
HWDV100	10	40,960
HWDV300	16	65,536
HWDV600	24	98,304
HWDV1000	32	131,072

每个SelectRAM单元块，见图7，每个块状RAM是一个完全同步的大小为4096 bit 双端口RAM，其中每个端口具有独立的控制信号。并且这两个端口的数据宽度可以独立配置，提供了芯片内部总线宽度转换。

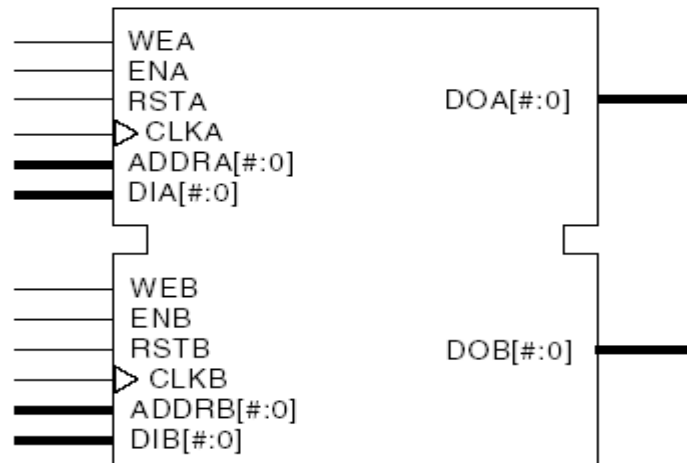


图7 双端口块状SelectRAM

表 7 SelectRAM 块数据个数和数据宽度的比率。

数据宽度	数据个数	ADDR Bus	ADDR Bus
1	4096	ADDR<11:0>	DATA<0>
2	2048	ADDR<10:0>	DATA<1:0>
3	1024	ADDR<9:0>	DATA<3:0>
8	512	ADDR<8:0>	DATA<7:0>
16	256	ADDR<7:0>	DATA<15:0>

HWDV系列块状SelectRAM还包括专用的布线，这些布线提供在CLB之间和其他块状SelectRAM之间有效的互连资源。

3.6 可编程布线矩阵

这是一条最长的延迟线，它给出了设计最坏情况的速度门限。因此，HWDV系列布线结构和相应的布局布线软件是按单项优化过程设计的。这种优化设计，减小了长距离信号的延迟，增强了系统的性能。

这种优化设计由于结构软件的帮助同样减小了设计的编译时间，相应的因为减少了重复设计次数而缩短了设计周期。

局部布线

VersaBlock提供局部布线资源，图8所示，提供3种连接：

- ◆ LUT、触发器和 GRM 之间的连接线；
- ◆ 内部的 CLB 反馈路径，提供了在同一个 CLB 内与 LUT 的高速连接；
- ◆ 直接路径，为水平相邻的 CLB 之间提供了高速连接。

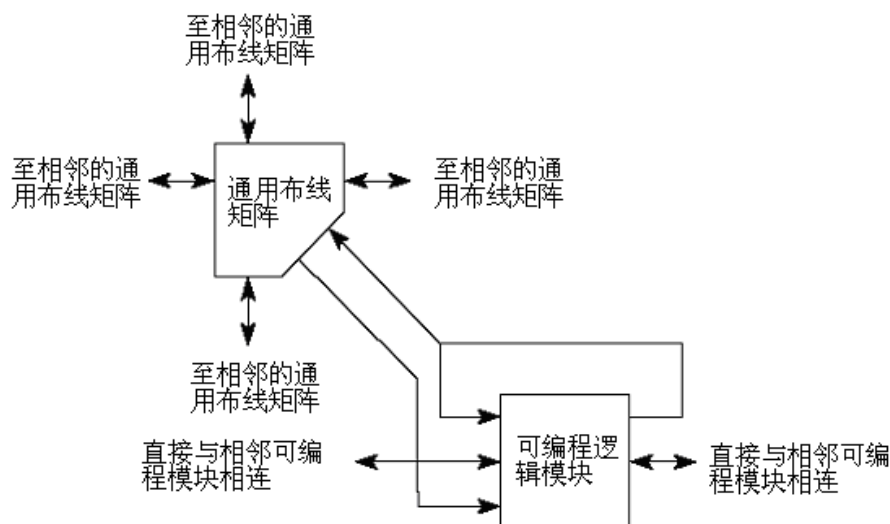


图8 局部布线框图

通用目的布线

通用目的布线，作为大部分HWDV信号的传输线，也就是说，大多数互连资源与这一层相关。通用布线资源位于与CLB的行、列相连的水平和垂直的布线通道上。如下是通用布线资源：

- ◆ 与每一个 CLB 相邻是一个通用布线矩阵（GRM），通用布线矩阵是水平与垂直布线资源相连的开关矩阵。也是通过它（GRM）使 CLB 获得通用目的的布线资源
- ◆ 24 条单长线把 GRM 信号布于相邻的 GRM 的四周

- ◆ 12 条缓冲十六进制线把 GRM 信号布于相距 6 块 GRM 的任意 GRM 的四周。交错排布，而且这些十六进制线只能被其端部所驱动。16 进制线的信号可以在线端部和中部获得（来自资源的 3 个块）。其中，三分之一的十六进制线设计成双向的，其余的是单向的
- ◆ 12 条长线是带缓冲的双向线，它所传递的信号在整个芯片范围内变得快速有效。垂直长线的长度可以延至整个器件的尺寸，同样水平长线的长度也可以延至器件的同向尺寸

I/O 布线

HWDV系列FPGA在它的外围提供了额外的布线资源，这个资源形成了CLB阵列与IOB之间的接口。这些额外的布线，被称作VersaRing，使得管脚交换和管脚锁定变得容易。这样重新设计芯片功能仍然适应现有的PCB版图的设计。由于PCB和其他系统部件与逻辑功能设计共同的进步，使得产品投放市场的时间也减小了。

专用布线

为了考虑到一些信号要求专用的布线资源以增强其性能。HWDV的结构就为以下两种信号提供专用的布线资源：

- ◆ 水平布线资源为片上三态总线提供布线。在 CLB 的每一行，有 4 条可分离的总线，因此，在一行中有多条总线，如图 8
- ◆ 每个 CLB 中有两个专用的布线网络，它们将进位信号与垂直相邻的 CLB 相连

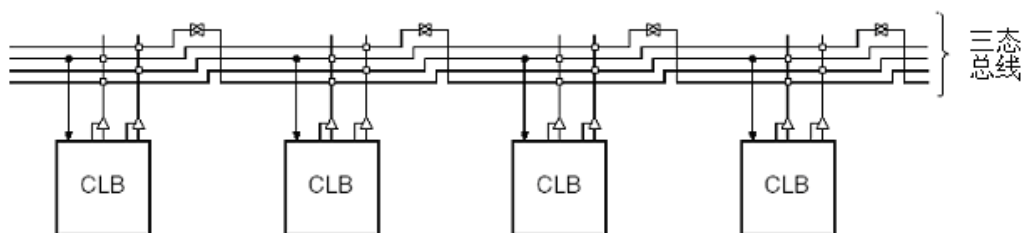


图9 专用布线做三态总线框图

全局布线

全局布线资源设计的目的主要用于整个芯片内时钟信号和其他大扇出的信号布线。它包括两级布线资源，包括主全局资源和次时钟布线资源：

- 主全局布线资源是4个带有专用输入引脚的专用的全局网络。它们用来分配高扇出低延迟的时钟信号。每个全局时钟网络可以驱动所有的CLB、IOB

和块状RAM的时钟信号引脚。主全局网络仅能由全局缓冲器驱动，共有四个全局缓冲器，每个全局网络分配一个。

- 次全局时钟布线资源包括24条骨干线，其中12条位于芯片的顶部，12条位于芯片底部。通过这些布线，每列最多12条独立的信号经由12条列长线所分配，这些次全局布线资源比主全局布线资源更灵活，它们不仅能对时钟信号布线，还可对其他信号布线。

时钟分布

HWDV系列提供高速度、低斜率的时钟信号，这些时钟信号通过上述的全局布线资源分配。图10为一个典型的时钟分配网络：

提供了4个全局缓冲器，其中2个在芯片的上部的中间，另外2个在底部的中间。这些缓冲器驱动四个主级全局网络，这些全局网络轮流驱动任一时钟管脚。

HWDV提供了四个专用的时钟PAD，每个与其相邻的全局缓冲器相连，全局缓冲器的输入的选择，既可以来自这些时钟PAD，也可以来自通用目的的布线。

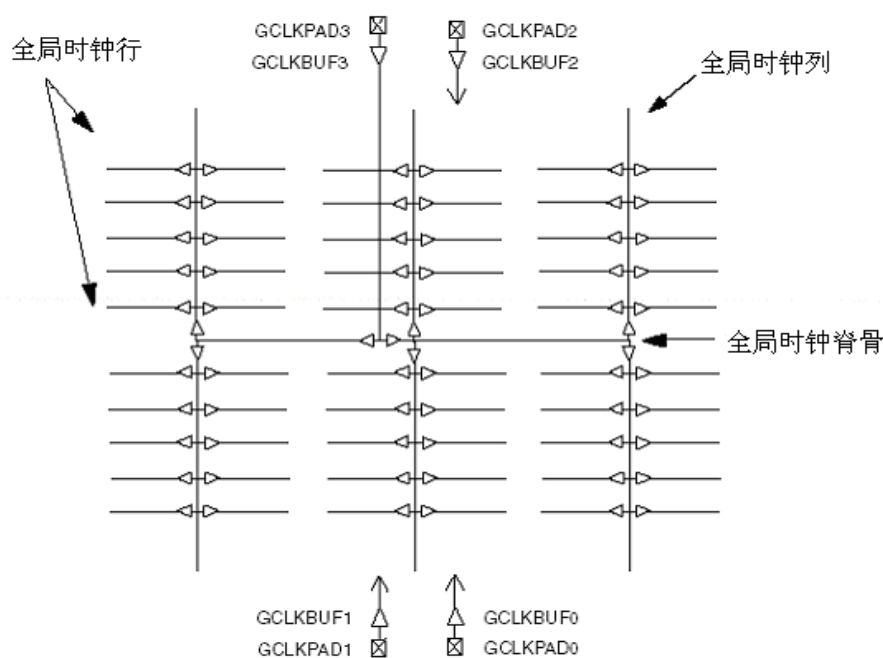


图10 全局时钟分布网络

延迟锁相环

与每个全局时钟输入缓冲器相连的是一个完全数字的延迟锁相环 (DLL)，DLL可以消除芯片时钟输入PAD到内部时钟输入的时滞。每个DLL可以驱动2个全局时钟网络，它监视输入时钟，并分配时钟，自动调整时钟延迟单元。时钟沿在到达输入

之后1到4个时钟周期到达触发器。该闭环系统确保时钟边沿到达内部触发器与其到达输入引脚同步，有效的消除了时钟分配时的延迟。除了消除时钟分布延迟，DLL还提供先进的多时钟控制，DLL提供时钟源的4种90度相移，可使时钟信号倍频，或将时钟信号按1.5、2、2.5、3、4、5、8、16分频输出。DLL还可以用来做时钟镜像，通过从DLL输出到芯片外，然后再返回芯片的方式，来减小多个HWDV芯片的板级时钟时滞。为了保证在芯片配置之后，FPGA启动之前得到正确的系统时钟，DLL可以在锁定正确时钟之前，延迟芯片配置的进程。

3.7 边界扫描

HWDV支持IEEE标准1149.1规定中所有必须遵循的边界扫描指令。提供测试访问端口（TAP）和寄存器来执行EXTEST、INTEST、SAMPLE/PRELOAD、BYPASS、IDCODE、USERCODE和HIGHZ指令。TAP还支持两条内部的扫描链和器件的编程、读回，它使用专门的封装管脚，这些管脚在LVTTTL标准下进行工作。对于在LVTTTL标准下进行工作的TDO，组2的 V_{CC0} 应为3.3V。否则TDO只能在 V_{CC0} 到地之间变化，即TDO的高电平受到 V_{CC0} 的限制，而不满足LVTTTL的要求。

边界扫描的执行独立于各个IOB编程，也不被封装的类型所影响。所有的IOB，包括没有绑定出来的IOB，在一个单独的扫描链中都被看成是独立的3态双向管脚。在编程之后仍保持着双向测试能力，使对外部连接的检测变得容易，前提是用户的设计或应用被关闭。

表5列出了HWDV系列FPGA支持的边界扫描指令。在执行EXTEST时，通过将内部信号与未连接或未使用的IOB块连接，来获得内部信号。这些内部信号也可以与那些只被定义为单向输入管脚的IOB相连。

表 8 边界扫描命令

边界扫描命令	二进制代码(4位)	描述
EXTEST	00000	进行边界扫描 EXTEST 操作
SAMPLE/PRELOAD	00001	进行边界扫描 SAMPLE/PRELOAD 操作
USER 1	00010	访问自定义用户存储器 1
USER 2	00011	访问自定义用户存储器 2
CFG_OUT	00100	访问编程总线进行读操作
CFG_IN	00101	访问编程总线进行写操作

INTEST	00111	进行边界扫描 INTEST 操作
USERCODE	01000	移出 USER 代码
IDCODE	01001	移出 ID 代码
HIGHZ	01010	使用旁路电路时的三态输出管脚
JSTART	01100	当开始时钟为 TCK 时，为开始设定时钟顺序
BYPASS	11111	旁路有效
RESERVED	其他代码	保留指令

在器件被编程之前，除了USER1和USER2所有指令都是有效的；编程之后，所有命令都是有效的；在编程时，建议不使用那些使用边界扫描寄存器的指令（SAMPLE/PRELOAD, BYPASS, IDCODE, USERCODE和HIGHZ）。

除了上面描述的测试命令以外，边界扫描电路还可用于FPGA的编程，并且可回读编程数据。

图11是HWDV系列的边界扫描逻辑框图，包括每个IOB3bit数据寄存器，IEEE 1149.1测试访问端口控制器，和带译码的指令寄存器。

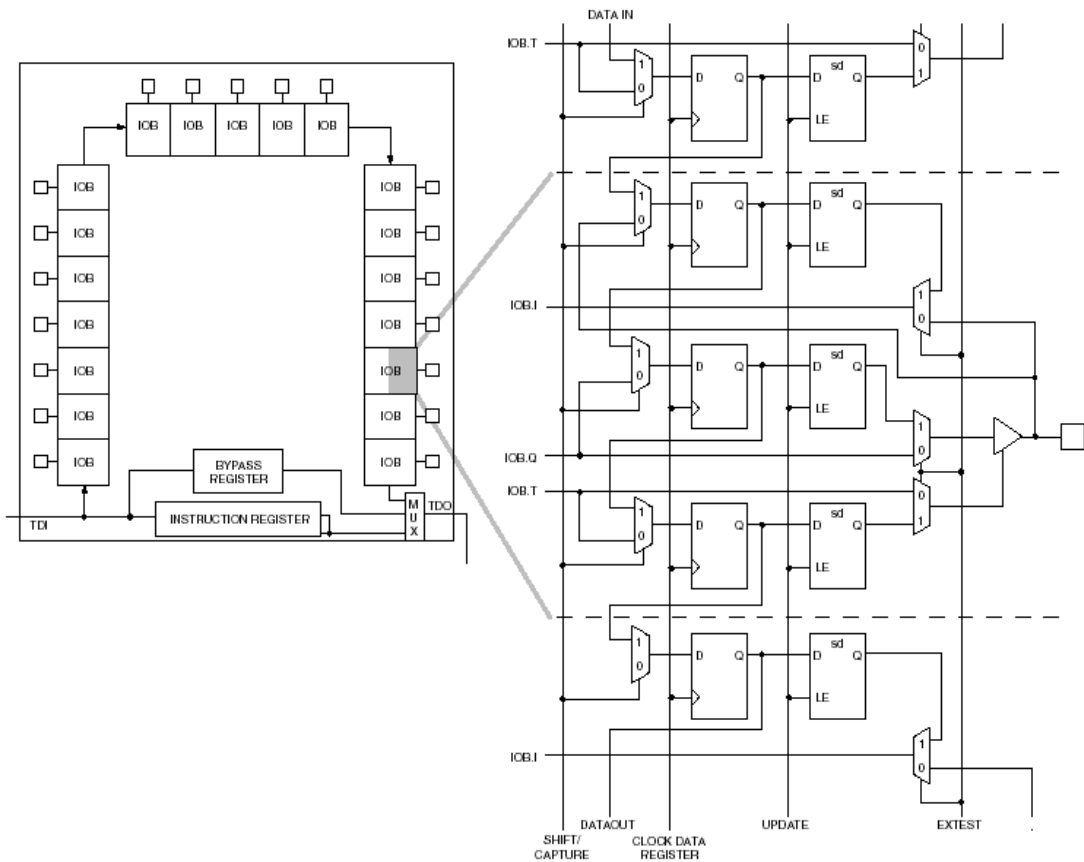


图11 HWDV的边界扫描逻辑框图

指令集

HWDV系列的边界扫描指令集同样包括对芯片编程和回读编程数据的指令 (CFG_IN, CFG_OUT, JSTART)，表5示出了完整的指令集。

数据寄存器

主要的寄存器是边界扫描寄存器。对于在FPGA中的每个IOB管脚，无论是绑定或者未绑定的，都包括了三个寄存器（3bit），用于In、Out和三态控制。如果只是输入或输出的PIN就只会使用到部分寄存器。每个EXTEST CAPTURED-OR状态可以获得In、Out和三态管脚。

其他标准的数据寄存器，是单独触发的旁路寄存器。它可以将数据经由FPGA同步的传给下一个边界扫描器件。

FPGA一共可以支持两条额外的内部扫描链，这种链可以通过使用BSCAN库宏被指定。库宏提供了两个用户管脚(SEL1和SEL2)，它们分别是USER1和USER2两个指令的译码。对于这些命令，两个相应的管脚（TDO1, TDO2）允许用户扫描从TDO移出来的数据。同样的，为每个用户寄存器提供了单独的时钟管脚（DRCK1, DRCK2）。有共用的输入管脚（TDI）和共享的输出管脚，来表示TAP控制器的状态（RESET, SHIFT, UPDATE）

数据顺序

每个IOB的顺序是：In, Out, 和3态。只作输入的管脚只用到了边界扫描I/O数据寄存器的In位，而只作输出的管脚用到了所有的3个位。

从芯片的剖面图中可以看到（在EPIC中），从片子的右上部开始，边界扫描数据寄存器数据的顺序在图12中表示。

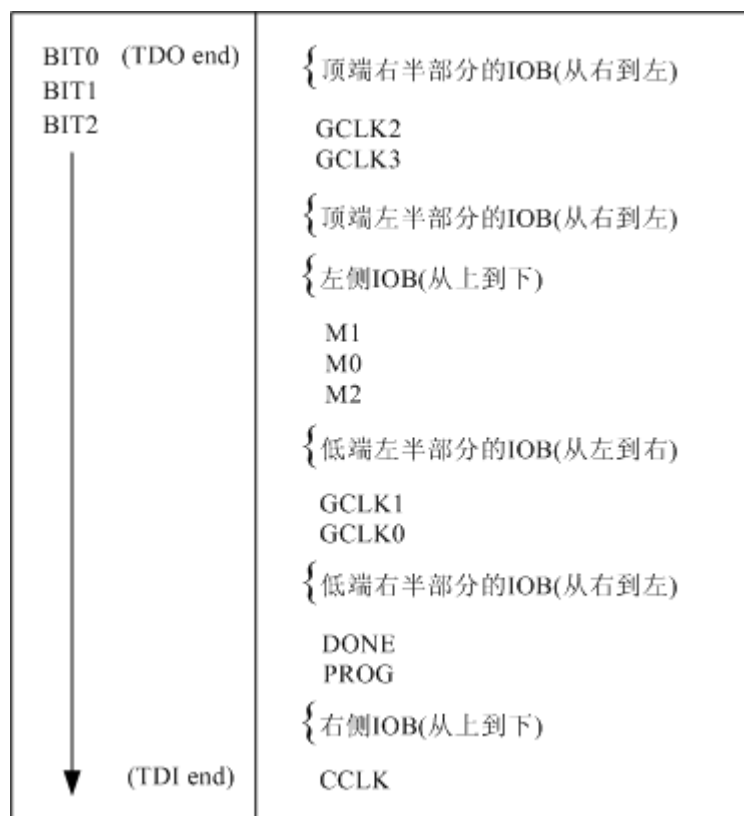


图12 边界扫描的数据顺序

标签寄存器

芯片提供了IDCODE寄存器。通过使用IDCODE，连接于JTAG端口的器件可以被确认。

IDCODE寄存器有如下的二进制格式：

- ◆ vvvv:ffff:ffa:aaa:aaa:ccc:ccc:ccc1
- ◆ v = 芯片的版本号码
- ◆ f = 系列号(HWDV 系列为 03h)
- ◆ a = CLB 的行数 (从 HWDV50 为 010h 到 HWDV1000 为 040h)
- ◆ c = 公司代码 (华微公司为 49h)

表 9 指定用于 FPGA 的 INCODE

FPGA	INCODE
HWDV100	v0614093h
HWDV300	v0620093h
HWDV600	v0630093h
HWDV1000	v0640093h

另外还提供了 USERCODE 寄存器。通过使用 USERCODE，用户可编程的标签代码可以装入其中，并可以移出以便检查。标签代码是在数据流产生时嵌在数据流当中的，并在编程之后才是有效的。

在设计中包括边界扫描

因为边界扫描管脚是专用的，如果用户不用到内部数据寄存器（USER1或 USER2），那么就没有必要在设计中加入边界扫描模块。

如果使用了内部的数据寄存器，应恰当的嵌入边界扫描模块，并且连接必要的管脚。

3.8 开发系统

标准的接口文件规范，电子设计交换格式（EDIF），简化了文件在开发系统中的转换和载出。

HWDV系列 FPGA系列有统一的标准功能库。这个库包含超过400个元件和宏，从2输入的和门到16位的累加器，包括算术函数器，比较器，计数器，数据寄存器，译码器，编码器，I/O功能器，锁存器，布尔函数器，多路复用器，移位寄存器和桶型移位器。

库中的“软宏”部分包含普通逻辑功能的详细描述，但是不包含任何区域划分和布局的信息。这些宏的性能依赖于在适配过程中得到的区域划分和布局。在另一方面，RPM还包括了预置的分配和布局信息，来使适配这些功能达到最佳。用户也可以根据标准库中的宏和元件，来创建自己的库或RPM。

设计环境能够支持多层次的设计输入，其中高层次电路包含了主要的功能块，同时低层次电路定义了这些块中的逻辑，这些多层次的设计单元与适配工具是自动结合的。不同的设计输入工具可以在多层次的设计中相互结合，从而使最方便的设计输入方法应用于设计的每个部分。

3.9 设计适配

布局布线工具(PAR)自动提供适配描述如下。划分区域可以将设计做成EDIF网表，把逻辑变成FPGA结构资源的图表（例如，CLB，IOB）。在布局时，根据这些块的连接和要求的性能来决定他们的最好位置。最后布线时，连接这些块。

PAR算法完全支持大多数设计的自动适配。然而，对于有一定要求的应用，使用者可以对过程进行不同程度的控制。划分，布局和布线信息在设计入口过程中可以选择性的说明。基础的布局布线方案有益于高端结构设计的实现。

设计实现软件合并了Timing Wizard®软件，也有了时间驱动布局和布线的的能力。设计者在设计入口时，明确整个路径的时间要求。在PAR中的时间路径分析程序会识别这些用户说明的要求并调节它们。

设计验证

除了常规的软件仿真，FPGA的使用者可以使用内电路在线的调试技术。因为HWDV器件是无限可重新编程的，设计可以在不需要大范围设置软件仿真向量的情况下被验证。

开发系统支持软件仿真和内电路在线的调试技术。对于仿真，系统可以从设计基础数据中提取生成版图之后的时间信息，然后将信息注释到网表中，以供仿真使用。

另外，使用者也可以使用TRACE®的静态时间分析器来验证部分设计中的timing-critical（时间临界）。

对于内部电路在线调试，开发系统包括了下载和读回电缆。电缆将在目标系统中的FPGA与PC或工作站连接。在将设计下载到FPGA中之后，设计者可以单步执行逻辑，读回触发器的内容，观察内部信号的状态。简单的修改可以在几分钟之内下载到系统之中。

3.10 编程

HWDV器件通过将编程数据下载到内部编程存储器中进行编程。在这些用来编程的管脚中一些是专用的编程管脚，而另外的管脚在编程完成之后可以重新用作一般目的的输入输出。

如下是专用的管脚

- ◆ 模式管脚 (M2, M1, M0)
- ◆ 编程时钟管脚(CCLK)
- ◆ 编程管脚 $\overline{PROGRAM}$
- ◆ DONE 管脚
- ◆ 边界扫描管脚 (TDI, TDO, TMS, TCK)

编程模式的选择，决定了CCLK可以是FPGA产生的一个输出，或者由外部生成，

供给FPGA一个输入。 $\overline{PROGRAM}$ 管脚在重新编程前必须被拉高。

需要注意的是有一些编程管脚可用作输出。正确操作需将这些管脚接到3.3 V的 V_{CC0} ，以符合 LVTTTL标准。这些管脚都位于组2或组3中。用来SelectMap (CS, Write) 编程的管脚位于组1中。

在HWDV系列编程后，没有用到的IOB用做带有弱下拉的3态输出缓冲器。

3.11 编程模式

HWDV支持如下4种编程模式：

- ◆ 主串模式
- ◆ 从串模式
- ◆ SelectMAP 模式
- ◆ 边界扫描模式

用编程模式管脚 (M2, M1, M0) 来选择编程的模式。在每种情况之下，都要使IOB的管脚在编程之前上拉或悬空。模式选择编码列于表9中。

表 10 编程模式编码表

编程模式	M2	M1	M0	CCLK 方向	数据宽度	串出 Dout	配置上拉
主串模式	0	0	0	Out	1	Yes	No
边界扫描模式	1	0	1	N/A In	1	No	No
SelectMAP模式	1	1	0	In	8	No	No
从串模式	1	1	1	In	1	Yes	No
主串模式	1	0	0	Out	1	Yes	Yes
边界扫描模式	0	0	1	N/A	1	No	Yes
SelectMAP 模式	0	1	0	In	8	No	Yes
从串模式	0	1	1	In	1	Yes	Yes

通过边界扫描端口的编程总是可用的，独立于模式的选择。选择边界扫描方式就会直接关掉了其他的编程模式。编程模式管脚都有内部的上拉电阻，在没有连接的情况下默认为逻辑高电平。但是仍然建议在外部对编程管脚上拉操作。

从串模式

在从串模式，FPGA从串行PROM或者其他的串行编程数据源中接收串行的编程数据。串行数据流必须在每个CCLK上升沿来临之前在DIN输入管脚处建立一段短暂的时间，这里CCLK是由外部产生的。

有关串行PROM的更多信息可以查看PROM的数据手册。

多个FPGA可以以菊花链的连接形式从一个数据源进行编程。在特定的FPGA已经被编程之后，编程数据会从它的DOUT管脚传给下一个器件。DOUT管脚的编程数据需在CCLK上升沿来之前改变好。

从DOUT输出的数据变化在CCLK的上升沿改变，和以前的系列是不同的，但是这没有给混合编程链带来问题。这种改变是为了提高HWDV系列专用链的串行编程速率的。

图13显示了完整的主/从系统。在从串模式下HWDV系列器件的连接，应该依照图中左数第三个器件那样连接。

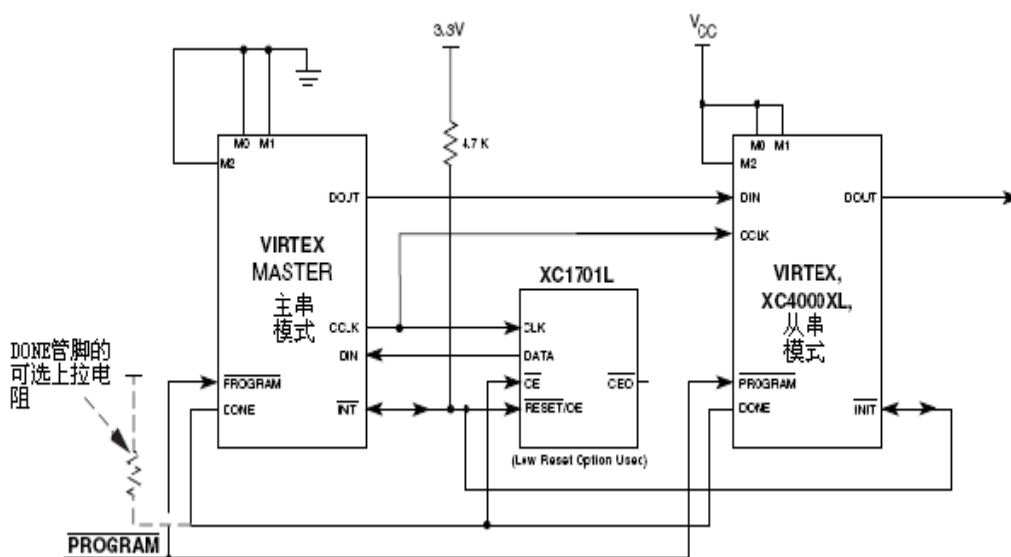


图13 主/从串模式的电路图

从串行模式下，模式管脚（M2，M1，M0）应设置为（1，1，1）或（0，1，1）。如果管脚没有被连接，模式管脚因弱上拉电路将使从串行模式为默认的编程模式。但是仍然建议在外部上拉模式管脚。图14显示了从串模式的编程开关特性。

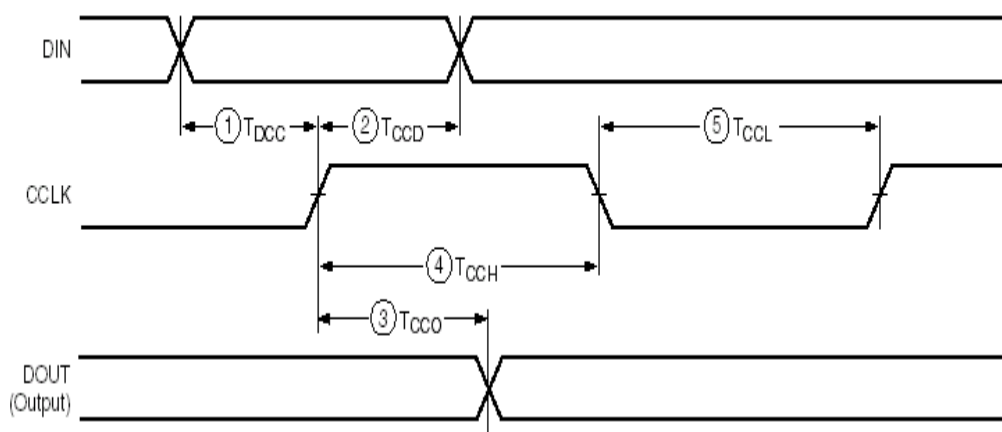


图14 主/从串行模式的编程开关特性

表10为图14中显示的特性做了详细的描述。编程信号必须被延迟直到在菊花链上的所有FPGA的 \overline{INIT} 管脚变为高电平。

表 11 主/从串模式的编程开关

	描述	参考图形	符号	数值	单位
CCLK	DIN 置位/保持, 从串模式	1/2	TDCC/TCCD	5.0 / 0	ns, min
	DIN 置位/保持, 主串模式	1/2	TDSC/TCKDS	5.0 / 0	ns, min
	DOUT	3	TCCO	12.0	ns, max
	高电平时间	4	TCCH	5.0	ns, min
	低电平时间	5	TCCL	5.0	ns, min
	最大频率		FCC	66	MHz, max
	频率容限, 主串模式			+45% -30%	

主串模式

在主串模式，FPGA输出管脚CCLK驱动一个HWD的串行PROM，PROM以串行方式将数据给FPGA的输入管脚DIN。FPGA在CCLK的每个上升沿接受数据。数据载入FPGA之后，在每个CCLK的上升沿到来时，FPGA的DOUT管脚应准备好为菊花链上的下一个器件的编程数据。

除了用振荡器来产生CCLK外，其他接口和从串模式是一样的。CCLK适用于范围很广的频率，它一般是以低的默认频率为开始。接着编程数据将CCLK转变成较高的频率，以用于余下的编程。变成低的频率是不允许的。

CCLK的频率通过使用数据流产生软件中的ConfigRate选项来设置的。可以选择的最大的CCLK的频率是60MHz。在选择CCLK的频率的时候，应确保串行的PROM和菊花链上的其他FPGA能够支持时钟频率。

在上电时，CCLK的频率是2.5MHz。这个频率一直使用到ConfigRate数据被载入，这时，频率变换到选择的ConfigRate。除非在设计中指明了不同的频率，否则默认的ConfigRate是4MHz

图12显示了完整的主/从系统。在这个系统中，最左边的器件是以主串方式连接的。其余的器件工作在从串模式。SPROM的 \overline{RESET} 管脚由 \overline{INIT} 所驱动， \overline{CE} 的输入由DONE管脚来驱动。在DIN管脚上电压取决于开始顺序选项的选择。

图15显示了主串配置模式的时序。主串模式是通过选择模式管脚(M2, M1, M0)为<000> 或<100>来选择。

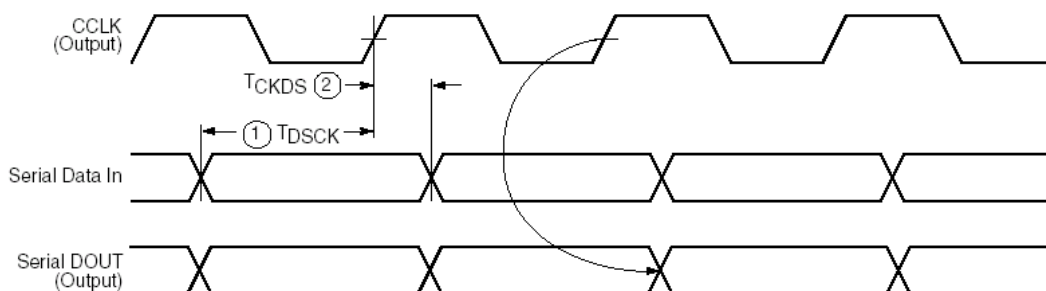


图15 主串模式的编程开关特性

在上电时时， V_{CC} 必须在小于50ms内，从1.0V升到 V_{CC} ，否则，通过使 $\overline{PROGRAM}$ 为低来延迟编程，直到 V_{CC} 有效。

HWDV 系列 FPGA 配置流程图如图 16。

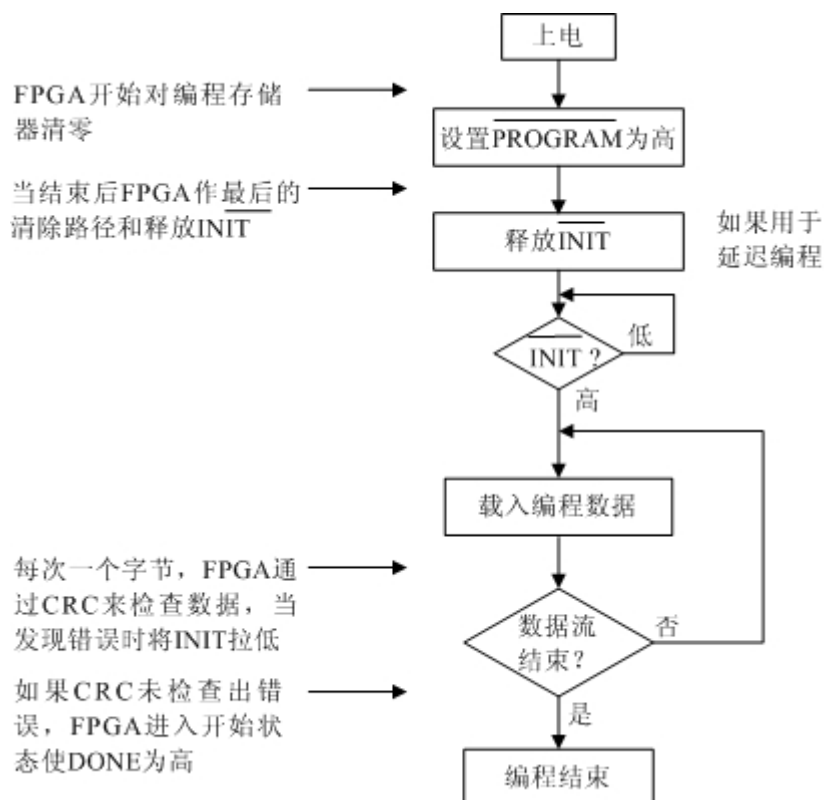


图 16 FPGA 配置流程图

SelectMAP 模式

SelectMAP 模式是最快的编程模式。通过 BUSY 信号控制，将数据以字节的宽度写入 FPGA。

外部数据源提供字节的数据流、CCLK、片选信号 (\overline{CS}) 和写信号 (\overline{WRITE})。如果 FPGA 的 BUSY 管脚输出为高电平，数据就应该在 BUSY 变为低电平之前一直保持。

在 SelectMAP 模式还可以对数据进行读取。如果 \overline{WRITE} 信号无效，那么 FPGA 进行回读操作将编程数据读出。

在 SelectMAP 模式下，多个 HWDV 系列器件可以并行的链接起来。DATA 管脚 (D7: D0)、CCLK、 \overline{WRITE} 、 \overline{BUSY} 、 $\overline{PROGRAM}$ 、DONE 和 \overline{INIT} 可以在所有 FPGA 之间并接起来。值得注意的是每个字节的最高位应该对应 D0 而每个字节的最低位对应 D7。但是每个 FPGA 有各自的 \overline{CS} 信号，以确保每一个 FPGA 可以单独的被选择。

\overline{WRITE} 信号应该在第一个数据流来之前为低电平，并在最后一个器件编程之后回到

高电平。使用 \overline{CS} 信号来选择特定的 FPGA 来载入数据流以及发送编程数据流。在数据结束之后，取消选定已经载入数据的器件，选定下一个 FPGA 通过将其 \overline{CS} 管脚置为高电平。一个自由摆动的振荡器或者其他外部产生信号可以用来 CCLK。在频率低于 50MHz 下 BUSY 信号可以被忽略。HWDV 系列编程和回读。当所有器件全部编程结束，DONE 管脚变为高电平。编程结束之后，SelectMAP 编程端口管脚可以被用作额外的用户 I/O。或者，这些端口可以用来高速 8bit 回读编程数据。

在反复设计调试情况下，Selectmap 端口在配置之后是可以保留的，如果选择保留，PROHIBIT 信号就用来防止 SelectMAP 编程端口被用来用户 I/O。

通过 SelectMAP 模式可以对多个 HWDV 系列 FPGA 同时进行编程。在这个方式下对多器件进行编程，应将所有器件的 CCLK、DATA、 \overline{WRITE} 和 BUSY 管脚并联在一起，每个器件通过各自 \overline{CS} 管脚控制轮流的载入数据，参看表 11 SelectMAP 模式时序参数。

表 12 SelectMAP 模式时序参数表

	描述	参考图形	符号	数值	单位
CCLK	D0-7置位/维持	1/2	T_{SMDC}/T_{SMCCD}	5.0 / 1.7	ns, min
	\overline{CS} 置位/维持	3/4	T_{SMSCC}/T_{SMCCCS}	7.0 / 1.7	ns, min
	\overline{WRITE} 置位/维持	5/6	T_{SMCCW}/T_{SMWCC}	7.0 / 1.7	ns, min
	BUSY传输延迟	7	T_{SMCKBY}	12.0	ns, max
	最大频率		F_{CC}	66	MHz, ma
	无抖动的最大频率		F_{CCNH}	50	MHz, max

写入

写入操作是将配置数据以包的形式送入FPGA中。多周期写入操作的顺序将在下面示出。注意：编程数据包可以被分成许多这样的顺序。数据包也不要求在一个 \overline{CS} 有效态时才能完成，如图17所示。

- ◆ 第 1 步将 \overline{WRITE} 和 \overline{CS} 置低。注意：当 \overline{CS} 在连续的 CCLK 有效时， \overline{WRITE} 必须被保持在有效或无效状态。否则将像会产生中断，后面说明。
- ◆ 第 2 步将数据传输到 D[7: 0]管脚。注意：为了避免竞争，在 \overline{WRITE} 为低而 \overline{CS} 为高，数据源不应该有效。同样，当 \overline{WRITE} 为高时， \overline{CS} 应该固定在有效状态。

- ◆ 第3步在CCLK的上升沿时：如果BUSY是低电平，数据就在这一时钟时被接受。如果BUSY是高电平，数据将不被接受。在BUSY变低电平后的第一个时钟信号时，数据又被接受，在这之前数据必须被保持。
- ◆ 第4步重复2和3步，直到所有的数据都被送完。
- ◆ 第5步 \overline{CS} 和 \overline{WRITE} 无效

图18表示了写入的流程图。注意：如果CCLK低于 f_{CCNH} ，FPGA将不会使BUSY有效。在这种情况下，上面的信号的交互是不必要的，而且在每个CCLK周期，数据可以容易的写入FPGA中。

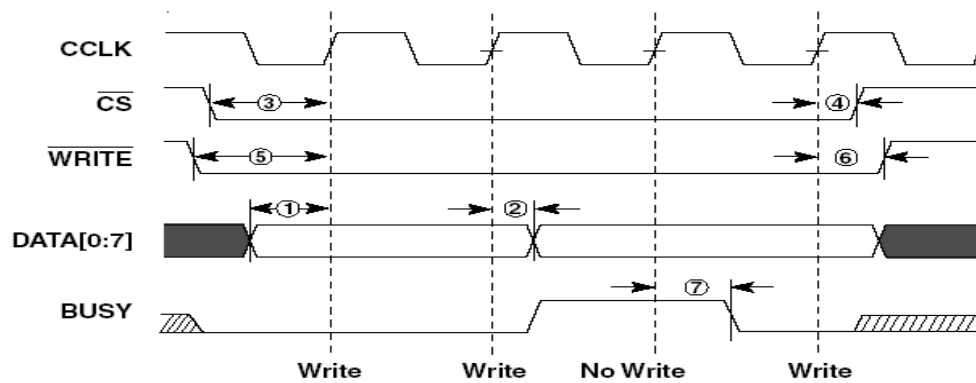


图17 写操作

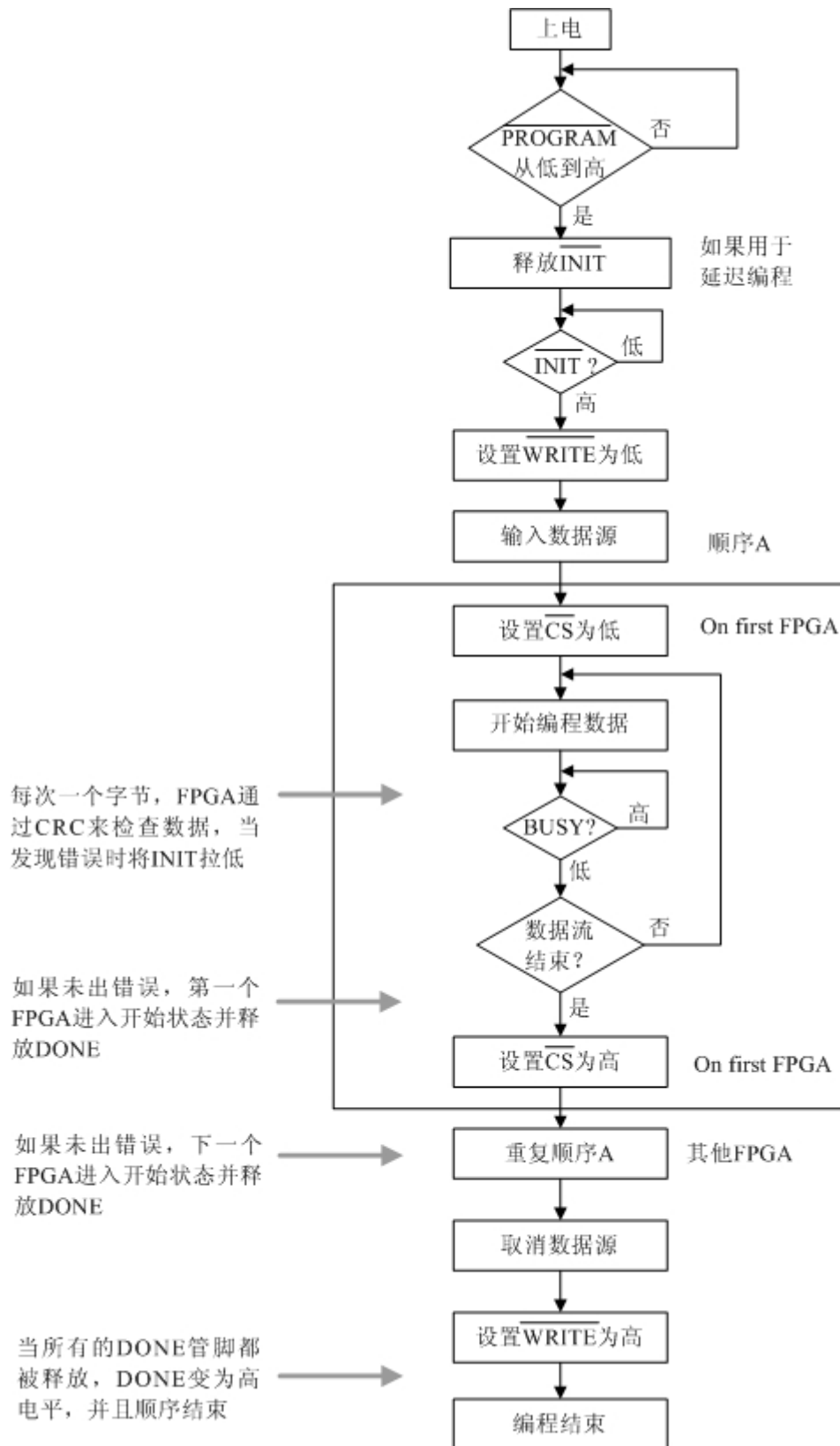


图18 SelectMAP的写操作流程

中断

在一个给定的 \overline{CS} 信号时，用户不能将写命令变为读命令，反之亦然。这样会引起当前的命令被中断。器件将会保持BUSY有效，直到中断操作完成。在中断之后，数据将不被识别，FPGA需要一个新的同步命令来接受新的数据包。

要在写入操作中产生中断，需要取消 \overline{WRITE} 信号。在CCLK的上升沿到来时，中断就产生了，如图19所表示。

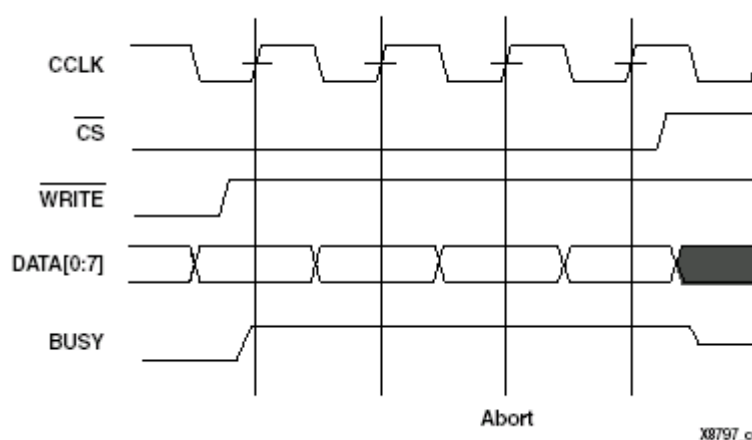


图19 SelectMAP的写中断波形

边界扫描模式

在boundary-scan模式中，编程是通过IEEE 1149.1的测试访问端口来完成。注意：在重新配置之前 $\overline{PROGRAM}$ 信号必须是高电平。若 $\overline{PROGRAM}$ 信号为低，那么TAP的控制器将被重新设置，也不可以对JTAG进行操作。通过TAP来进行编程将使用CFG_IN指令。这个命令允许TDI的输入数据转变为数据包，为内部的数据编程总线所使用。

用boundary-scan port来对FPGA编程的步骤如下所述（使用TCK为开始时钟）

- ◆ 第1步将CFG_IN命令载入到边界扫描命令寄存器。
- ◆ 第2步进入Shift-DR (SDR)状态。
- ◆ 第3步将编程字符串送如TDI管脚。
- ◆ 第4步返回Run-Test-Idle
- ◆ 第5步将JSTART命令载入IR中

- ◆ 第 6 步进入 SDR 状态
- ◆ 第 7 步 TCK 时钟信号通过启动顺序
- ◆ 第 8 步返回 RTI

通过TAP的编程和回读总是有效的。boundary-scan模式通过模式管脚（M2, M1, M0）为〈101〉和〈001〉来选择。

3.12 编程顺序

HWDV器件的编程有三部。首先，编程存储器被清零。然后，编程数据载入存储器中。最后，在启动过程中使逻辑工作。

编程在上电时就自动开始，另外也可以像下面描述的那样被使用者延迟。编程过程也可以通过赋值 $\overline{PROGRAM}$ 开始。

存储器清零状态的结束用 \overline{INIT} 信号变为高电平来告知，整个过程的完成用DONE变高来标识。

编程信号的开启时间显示在图20中。相关的时间特性列在表12中

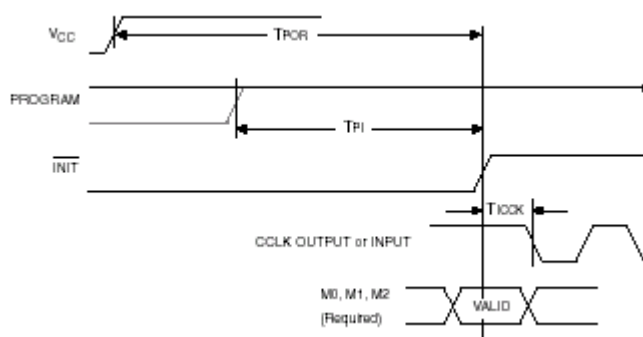


图20 编程信号的开启时间

表 13 通电时间特性

描述	符号	数值	单位
电源复位	TPOR	2.0	m s, max
编程等待时间	TPL	100.0	μ s, max
CCLK（输出）延迟	TICCK	0.5	μ s, min
		4.0	μ s, min
编程脉冲宽度	TPROGRAM	300	n s, min

程延迟

\overline{INIT} 可以通过使用漏极开路驱动来维持低电平。 \overline{INIT} 是一个双向的漏极开路管脚，在编程存储器被清零时，FPGA使它维持在低电平，所以漏极开路驱动才被要求。延长管脚低电平的时间可以使配置过程延后。这样，编程就通过阻止数据载入的进入状态而被延迟。

Start-up 时序

默认的Start-up时序是：DONE信号变为高电平后的一个CCLK周期，全局3态信号(GTS)被释放。这就允许器件输出端使能有效。

再一个CCLK周期之后，全局的置位/复位(GSR)和全局写入使能(GWE)信号被释放。这就允许内部的存储元件根据逻辑和用户时钟来改变状态。

这些操作的相关时间也可以被改变。另外，全局3态信号(GTS)，全局置位/复位(GSR)和全局的写入使能(GWE)可用大多数器件的DONE管脚信号变为高电平来生成，使所有的器件都同步开始。这样的顺序也会在任何的阶段上被暂停直到闭锁信号到达任一个或所有的DLL上。

数据流格式

HWDV器件可以通过连续的载入数据帧结构来编程。表13列出了每个器件能够编程的所有字节数。

表 14 HWDV 系列的字符串长度

器件	编程字符数
HWDV50	559,200
HWDV100	781,216
HWDV150	1,040,096
HWDV200	1,335,840
HWDV300	1,751,808
HWDV400	2,546,048
HWDV600	3,607,968
HWDV800	4,715,616
HWDV1000	6,127,744

回读

为了验证，在HWDV系列编程存储器中的编程数据可以被读回。连同编程数据，所有的触发器/锁存器，LUTRAMs，和块状RAMs的内容都可以被读回。这种能力

用于实时调试。

4. HWDV 系列的电气参数

术语的定义

电气参数和开关参数是建立在速度等级基础上，并分别定义为改进，预备，和产品。每一项定义如下：

改进：速度文件只建立在仿真之上，并在设计说明固定之后，是统一可用的。

虽然设计的速度等级考虑到相关稳定和饱和性，低于报告的情况可能出现。

样品：这些的速度文件建立在完善的硅ES（工程样品）参数上。设备和设计的速度等级对应使用更好性能的硅产品。和改进性的数据，低于报告的延迟被大大减少。

产品：当足够的特定硅系列成员设备完成参数确定，这些速度文件被发表，以提供在速度文件和有大量产品份额的设备之间的完整关联。这里就没有低于报告的延迟了。用户在产品属性有任何改变时能得到正式的通知。比如，最慢的速度等级在更快的速度等级前对应过渡到产品。

4.1 HWDV 系列的直流参数

绝对最大额定值范围

表 15 HWDV 系列绝对最大额定值

符号	描述		数值	单位
V _{CCINT}	相对于地的供给电压		-0.5 到 3.0	V
V _{CCO}	相对于地的供给电压		-0.5 到 4.0	V
V _{REF}	基准电压		-0.5 到 3.6	V
V _{IN}	相对于地的输入电压	使用V _{REF}	-0.5 到 3.6	V
		内部开启	-0.5 到 5.5	V
V _{TS}	三态输出的供给电压		-0.5 到 5.5	V
V _{CC}	最长的供给电压上升时间 1V-2.375V		50	ms
T _{STG}	存储温度（周围）		-65 到 +150	C
T _J	接口温度		+125	C

注意：

1. 超过表中所列的最大范围会对器件产生持续的破坏。
2. 电源可以任意顺序开通。
3. 为延长的周期（例如，一天以上），V_{in}不能超过V_{CCO}3.6V。
4. 焊接指导和温度条件见器件封装信息。

推荐的运行条件

表 16 推进运行条件表

符号	描述	最小值	最大值	单位
V_{CCINT}	相对地的输入供给电压 $T_J = -55^{\circ}\text{C}$ 到 $+125^{\circ}\text{C}$	2.5-5%	2.5+5%	V
V_{CCO}	相对地的供给电压 $T_J = -55^{\circ}\text{C}$ 到 $+125^{\circ}\text{C}$	1.4	3.6	V
T_{IN}	输入信号转换时间		250	ns

注意:

1. 最小的 V_{CCINT} 应小于2.375V（标准的 V_{CCINT} 减少5%）以保证正确的操作.在最小值之下，所有的延迟参数在 V_{CCINT} 每减少50-mv时，都要增加3%。
2. 在接口温度超过表中所列的操作条件时，延迟参数也增加。请查阅TRCE报告。
3. 输入输出的极限值是 V_{CC} 的50%。
4. V_{CCO} 最小值和最大值由I/O标准决定。

直流参数的推荐运行条件

表 17 超过推荐运行条件的直流参数表

符号	描述	器件	最小值	最大值	单位
V_{DRINT}	数据保持电压 V_{CCINT} （低于此值，编程信号会丢失）	所有	2.0		V
V_{DRIO}	数据保持电压 V_{CCO} （低于此值，编程信号会丢失）	所有	1.2		V
I_{CCINTQ}	静态 V_{CCINT} 供给电流	HWD V100		50	mA
		HWD V300		75	mA
		HWD V600		100	mA
		HWD V1000		100	mA
I_{CCOQ}	静态 V_{CCO} 供给电流	HWD V100		2	mA
		HWD V300		2	mA
		HWD V600		2	mA

			HWD V1000		2	mA
			所有		20	μ A
I_{REF}	V_{REF} 管脚的电流		所有	-10	+10	μ A
I_L	输入输出漏电流		BGA, CQ, HQ,封装	所有		8
C_{IN}	输入电容(样品测试)	所有	注意(2)	0.25	mA	pF
I_{RPU}	Pad上拉(当被选择时)@ $V_{in} = 0$ V, $V_{CCO} = 3.3$ V (样品测试)			注意(2)	0.15	mA
I_{RPD}	Pad下拉(当被选择时)@ $V_{in} = 3.6$ V (样品测试)					

注意:

1. 在没有输出负载电流, 输入上拉电阻没被激活时, 所有的I/O管脚都是三态和悬空。
2. 内部的上拉和下拉电阻保证了未连接的输入管脚的有效逻辑电平。当输入电阻连到别的电路中时, 内部的上拉和下拉电阻就不能保证它们有效的逻辑电平。
3. I_{CCINTQ} 的增加极限被两种工业等级限制。

上电的电源供给要求

HWDV系列FPGA在上电时, 要求电流达到一定的值, 以保证器件的正常操作。实际的电流的消耗主要依赖电源的上电电压变化速率。这段时间要求电源电压从 0 V 达到器件正常工作所要求的电压。建议最高的电流变化速率为: 在2ms内从0 V 到正常电压, 允许最慢的电流变化速率为: 在50 ms内从0V到正常电压。

表 18 最高的电流变化速率表

产品	描述	电流要求
HWDV系列	要求的最小直流供给	500mA

注意:

1. 这里所描述的上电电压变化速率是从0-2.7VDC。尖峰电流的出现或者逼近内部的上电重起极限为1.0V, 持续少于3ms。
2. 器件应确保在上面所描述的有最小有效值电流的电源下初始化。
3. 如果变化速率变大, 将产生更大的电流。

直流输入和输出电压

V_{IL} 和 V_{IH} 是推荐的输入电压值。 I_{OL} 和 I_{OH} 的值是在运行时推荐的 V_{OL} 和 V_{OH} 确定的。只有被选择的标准才被测试。这样保证了标准和说明相符合。选择的标准在最小的 V_{CCO} 下进行测试, 每个标准都有各自的 V_{OL} 和 V_{OH} 电压等级表示。其他的标

准是样品测试。

表 19 直流输入和输出电压表

输入/输出 标准	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V, min	V, max	V, min	V, max	V, Max	V, Min	mA	mA
LVTTL(1)	-0.5	0.8	2.0	5.5	0.4	2.4	24	-24
LVC MOS2	-0.5	0.7	1.7	5.5	0.4	1.9	12	-12
PCI, 3.3 V	-0.5	44%	60%	$V_{CCO}+0.5$	10%	90%	注意	注意
PCI, 5.0 V	-0.5	V_{CCINT}	V_{CCINT}	5.5	V_{CCO}	V_{CCO}	2	2
GTL	-0.5	0.8	2.0	3.6	0.55	2.4	注意	Note 2
GTL+	-0.5	$V_{REF}-0.05$	$V_{REF}+0.05$	3.6	0.4	n/a	2	n/a
HSTL I(3)	-0.5	$V_{REF}-0.1$	$V_{REF}+0.1$	3.6	0.6	n/a	40	n/a
HSTL III	-0.5	$V_{REF}-0.1$	$V_{REF}+0.11$	3.6	0.4	$V_{CCO}-0.4$	36	-8
HSTL IV	-0.5	$V_{REF}-0.1$	$V_{REF}+0.1$	3.6	0.4	$V_{CCO}-0.4$	8	-8
SSTL3 I	-0.5	$V_{REF}-0.1$	$V_{REF}+0.1$	3.6	0.4	$V_{CCO}-0.4$	24	-8
SSTL3 II	-0.5	$V_{REF}-0.2$	$V_{REF}+0.2$	3.6	$V_{REF}-0.6$	$V_{REF}+0.6$	48	-8
SSTL2 I	-0.5	$V_{REF}-0.2$	$V_{REF}+0.2$	3.6	$V_{REF}-0.8$	$V_{REF}+0.8$	8	-16
SSTL2 II	-0.5	$V_{REF}-0.2$	$V_{REF}+0.2$	3.6	$V_{REF}-0.6$	$V_{REF}+0.6$	16	-7.6
CTT	-0.5	$V_{REF}-0.2$	$V_{REF}+0.2$	3.6	1	1	7.6	-15.2
AGP	-0.5	$V_{REF}-0.2$	$V_{REF}+0.2$	3.6	$V_{REF}-0.8$	$V_{REF}+0.8$	15.2	-8
		$V_{REF}-0.2$	$V_{REF}+0.2$		0	0	8	Note 2
					$V_{REF}-0.4$	$V_{REF}+0.4$	注意2	
					10%	90%		
					V_{CCO}	V_{CCO}		

注意:

1. 低电流驱动的VOL和VOH是样品测试。
2. 测试按照相关说明进行。
3. HSTL18（1.8V的VCCO）的直流输入输出等级由HSTL白皮书确定。

4.2 HWDV 系列的开关特性

HWDV系列的所有器件都是100%功能测试的。内部时间参数来自对内部结构的测试。下面所列的就是有代表性的值。可以使用静态时间分析器报告和反标到仿真网表，来得到更特殊，更精确和保证最差情况的数据。所有的时间参数都是假定器件在最坏的操作条件（供给电压和结口温度）下得到的。如果没有另外说明，这些参数适用于所有的HWDV系列器件。

IOB 的输入开关特性

Pad上的输入延迟是在LVTTTL标准下进行说明的。对于其他的标准，可根据下表表示的数值调整延迟。

表 20 Pad 输入延迟表

描述	器件	符号	速度等级				单位
			Min	-6	-5	-4	
传播延迟							
Pad到输出I, 没有延迟	所有	T_{IOPI}	0.39	0.8	0.9	1.0	ns,max
Pad到输出I, 有延迟	HWDV100	T_{IOPID}	0.8	1.5	1.7	1.9	ns,max
	HWDV300		0.8	1.5	1.7	1.9	ns,max
	HWDV600		0.9	1.8	2.0	2.3	ns,max
	HWDV1000		1.1	2.1	2.4	2.7	ns,max
Pad经过锁存器到输出IQ, 无延迟	所有	T_{IOPLI}	0.8	1.6	1.8	2.0	ns,max
Pad经过锁存器到输出IQ, 有延迟	HWDV100	T_{IOPLID}	1.9	3.7	4.2	4.8	ns,max
	HWDV300		2.0	4.0	4.4	5.1	ns,max
	HWDV600		2.1	4.2	4.7	5.4	ns,max
	HWDV1000		2.3	4.5	5.1	5.8	ns,max
连续延迟							
CCLK 时钟	所有						
最小脉冲宽度, 高电平		T_{CH}	0.8	1.5	1.7	2.0	ns, min
最小脉冲宽度, 低电平		T_{CL}	0.8	1.5	1.7	2.0	ns, min
CCLK时钟到输出IQ		T_{IOCKIQ}	0.2	0.7	0.7	0.8	ns,max
描述	器件	符号	速度等级				单位
			Min	-6	-5	-4	
建立/维持时间通过在IOB输入寄存器上相关的CCLK时钟			建立时间/维持时间				
Pad,没有延迟	所有	T_{IOPICK}/T_{IOICKP}	0.8/0	1.6/0	1.8/0	2.0/0	ns,min
Pad,有延迟	HWDV100	$T_{IOPICKD}/T_{IOICKPD}$	1.9/0	3.7/0	4.1/0	4.7/0	ns,min
	HWDV300		2.0/0	3.9/0	4.4/0	5.0/0	ns,min
	HWDV600		2.1/0	4.2/0	4.7/0	5.4/0	ns,min

	HWDV100 0		2.3/0	4.5/0	5.0/0	5.8/0	ns,min
ICE 输入	所有	$T_{IOICECK/TIOC}$ K_{ICE}	0.37/ 0	0.8/0	0.9/0	1.0/0	ns,max
置位/复位延迟							
ST输入 (IFF, 同步)	所有	$T_{IOSRCKI}$	0.49	1.0	1.1	1.3	ns,max
ST输入到IQ (异步)	所有	T_{IOSRIQ}	0.70	1.4	1.6	1.8	ns,max
GSR到输出 IQ	所有	T_{GSRQ}	4.9	9.7	10.9	12.5	ns,max

注意:

1. 一个 "0"时间在列表中显示出来了, 表示没有时间或负的时间。负的时间不能表示最好的状态, 但是如果有 "0", 这里就没有正的时间。
2. 输入时间是在LVTTTL标准为1.4V下测量的。

IOB 输入开关参数标准的调整

表 21 IOB 输入开关参数表

描述	符号	标准	速度等级				单位
			Min	-6	-5	-4	
数据输入的延迟调整							
特殊标准的数据输入延迟修改	T_{ILVTTL}	LVTTL	0	0	0	0	ns
	$T_{ILVCMOS2}$	LVCMOS2	-0.02	-0.04	-0.04	-0.05	ns
	$T_{IPCI33_}$	PCI,33MHz,3.3 V	-0.05	-0.11	-0.12	-0.14	ns
	$T_{IPCI33_}$	PCI, 33MHz,5.0V	0.13	0.25	0.28	0.33	ns
	$T_{IPCI66_}$	PCI, 66MHz,3.3V	-0.05	-0.11	-0.12	-0.14	ns
	T_{IGTL}	GTL	0.10	0.20	0.23	0.26	ns
	T_{IGTLP}	GTL+	0.06	0.11	0.12	0.14	ns
	T_{IHSTL}	HSTL	0.02	0.03	0.03	0.04	ns
	T_{ISSTL2}	SSTL2	-0.04	-0.08	-0.09	-0.10	ns
	T_{ISSTL3}	SSTL3	-0.02	-0.04	-0.05	-0.06	ns
	T_{ICTT}	CTT	0.01	0.02	0.02	0.02	ns
	T_{IAGP}	AGP	-0.03	-0.06	0.07	-0.08	ns

注意:

1. 输入时间是在LVTTTL标准为1.4V下测得的。对于其他的I/O标准, 见表3。

IOB 输出开关参数

为了12mA驱动和快速变化率的LVTTTL标准，在pad上的输出延迟时间是指定的。对于其他标准，根据IOB输出开关参数标准调整表中的值来调整延迟。

表 22 IOB 输出开关参数表

描述	符号	速度等级				单位
		Min	-6	-5	-4	
传播延迟						
输入O到Pad	T_{IOOP}	1.2	2.9	3.2	3.5	ns, max
输入O经透明闭锁到Pad	T_{IOOLP}	1.4	3.4	3.7	4.0	ns, max
3态延迟						
输入T到Pad高阻	T_{IOTHZ}	1.0	2.0	2.2	2.4	ns, max
输入T到Pad上有效数据	T_{IOTON}	1.4	3.1	3.3	3.7	ns, max
经透明闭锁输入T到Pad高阻	$T_{IOTLPHZ}$	1.2	2.4	2.6	3.0	ns, max
经透明闭锁输入T到Pad上有效数据	$T_{IOTLPON}$	1.6	3.5	3.8	4.2	ns, max
GTS到Pad高阻	T_{GTS}	2.5	4.9	5.5	6.3	ns, max
连续延迟						
时钟CCLK						
最小脉冲宽度，高电平	T_{CH}	0.8	1.5	1.7	2.0	ns, min
最小脉冲宽度，低电平	T_{CL}	0.8	1.5	1.7	2.0	ns, min
CCLK到Pad的延迟，带OBUFT使能（非3态）	T_{IOCKP}	1.0	2.9	3.2	3.5	ns, max
CCLK到Pad高阻（同步）	T_{IOCKHZ}	1.1	2.3	2.5	2.9	ns, max
CCLK到Pad有效数据延迟，对OBUFT加使能延迟	T_{IOCKON}	1.5	3.4	3.7	4.1	ns, max
建立和维持时间 CLK之前/之后		建立/维持时间				
O输入	T_{IOCKO}/T_{IOCKO}	0.51	1.1	1.2	1.3	ns, min
OCE输入	$T_{IOCECK}/T_{IOCKOCE}$	0.37	0.8	0.9	1.0	ns, min
SR输入（OFF）	$T_{IOSRCKO}/T_{IOCKOSR}$	0.52	1.1	1.2	1.4	ns, min
3态建立时间，T输入	T_{IOTCK}/T_{IOCKT}	0.34	0.7	0.8	0.9	ns, min
3态建立时间，TCE输入	$T_{IOTCECK}/T_{IOCKTCE}$	0.41	0.9	0.9	1.1	ns, min
3态建立时间，SR输入(TFF)	$T_{IOSRCKT}/T_{IOCKTSR}$	0.49	1.0	1.1	1.3	ns, min
置位/复位延迟						
输入SR到Pad（异步）	T_{IOSRP}	1.6	3.8	4.1	4.6	ns, max

输入SR到Pad高阻 (异步)	T_{IOSRHZ}	1.6	3.1	3.4	3.9	ns, max
输入SR到Pad上有效数据 (异步)	T_{IOSRON}	2.0	4.2	4.6	5.1	ns, max
GSR到Pad	T_{IOGSRQ}	4.9	9.7	10.9	12.5	ns, max

注意:

- 3态关闭延迟不需要调整。
- 一个 "0"时间在列表中显示出来了, 表示没有时间或负的时间。负的时间不能表示最好的状态, 但是如果有 "0", 这里就没有正的时间。

IOB 输出开关参数标准调整

为了12mA驱动和快速变化率的LVTTTL标准, 在Pad上的输出延迟时间是指定的。

对于其他标准, 根据IOB输出开关参数标准调整表中的值来调整延迟。

表 23 IOB 输出开关参数标准调整表

描述	符号	标准	速度级别				单位
			Min	-6	-5	-4	
输出延迟调整							
Pad上输出延迟的特殊标准调整(以标准的电容负载为基础)	T_{OLVTTL_S2}	LVTTTL, Slow, 2 mA	4.2	14.7	15.8	17.0	ns
	T_{OLVTTL_S4}	4 mA	2.5	7.5	8.0	8.6	ns
	T_{OLVTTL_S6}	6 mA	1.8	4.8	5.1	5.6	ns
	T_{OLVTTL_S8}	8 mA	1.2	3.0	3.3	3.5	ns
	T_{OLVTTL_S12}	12 mA	1.0	1.9	2.1	2.2	ns
	T_{OLVTTL_S16}	16 mA	0.9	1.7	1.9	2.0	ns
	T_{OLVTTL_S24}	24 mA	0.8	1.3	1.4	1.6	ns
	T_{OLVTTL_F2}	LVTTTL, Fast, 2mA	1.9	13.1	14.0	15.1	ns
	T_{OLVTTL_F4}	4 mA	0.7	5.3	5.7	6.1	ns
	T_{OLVTTL_F6}	6 mA	0.2	3.1	3.3	3.6	ns
	T_{OLVTTL_F8}	8 mA	0.1	1.0	1.1	1.2	ns
	T_{OLVTTL_F12}	12 mA	0	0	0	0	ns
	T_{OLVTTL_F16}	16 mA	0.10	0.05	0.05	0.05	ns
	T_{OLVTTL_F24}	24 mA	0.10	0.20	0.21	0.23	ns
	$T_{OLVCMOS2}$	LVC MOS2	0.10	0.10	0.11	0.12	ns
	T_{OPCI33_3}	PCI, 33 MHz, 3.3 V	0.50	2.3	2.5	2.7	ns
T_{OPCI33_5}	PCI, 33 MHz, 5.0 V	0.40	2.8	3.0	3.3	ns	
T_{OPCI66_3}	PCI, 66 MHz, 3.3 V	0.10	0.40	0.42	0.46	ns	

T_{OGTL}	GTL	0.6	0.50	0.54	0.6	ns
T_{OGTLP}	GTL+	0.7	0.8	0.9	1.0	ns
T_{OHSTL_I}	HSTL I	0.10	0.50	0.53	-0.5	ns
T_{OHSTL_III}	HSTL III	0.10	-0.9	-0.9	-1.0	ns
T_{OHSTL_IV}	HSTL IV	0.20	-1.0	-1.0	-1.1	ns
T_{OSSLT2_I}	SSTL2 I	0.10	0.50	0.53	-0.5	ns
T_{OSSLT2_II}	SSTL2 II	0.20	-0.9	-0.9	-1.0	ns
T_{OSSLT3_I}	SSTL3 I	0.20	0.50	0.53	-0.5	ns
T_{OSSLT3_II}	SSTL3 II	0.30	-1.0	-1.0	-1.1	ns
T_{OCTT}	CTT	0	-0.6	-0.6	-0.6	ns
T_{OAGP}	AGP	0	-0.9	-0.9	-1.0	ns

注意:

1. 输出时序是在1.4V电压, 35PF外部负载电容的LVTTTL标准下测量的, 其他I/O标准和不同的负载, 见表2和表3。

Tioop 的电容特性计算

Tioop是IOB的输入O到Pad的传播延迟。Tioop的值建立在每个在表2中列出的I/O标准中的电容量标准(Csl)。

表 24 计算 Tioop 的常数

标准	Csl (PF)	Fl (ns/PF)
LVTTTL 快速上升率, 2mA 驱动	35	0.41
LVTTTL 快速上升率, 4mA 驱动	35	0.20
LVTTTL 快速上升率, 6mA 驱动	35	0.13
LVTTTL 快速上升率, 8mA 驱动	35	0.079
LVTTTL 快速上升率, 12mA 驱动	35	0.044
LVTTTL 快速上升率, 16mA 驱动	35	0.043
LVTTTL 快速上升率, 24mA 驱动	35	0.033
LVTTTL 快速上升率, 2mA 驱动	35	0.41
LVTTTL 快速上升率, 4mA 驱动	35	0.20
LVTTTL 快速上升率, 6mA 驱动	35	0.100
LVTTTL 快速上升率, 8mA 驱动	35	0.086
LVTTTL 快速上升率, 12mA 驱动	35	0.058
LVTTTL 快速上升率, 16mA 驱动	35	0.050
LVTTTL 快速上升率, 24mA 驱动	35	0.048
LVC MOS2	35	0.041
PCI 33MHz 5V	50	0.050

PCI 33MHZ 3.3 V	10	0.050
PCI 66 MHz 3.3 V	10	0.033
GTL	0	0.014
GTL+	0	0.017
HSTL Class I	20	0.022
HSTL Class III	20	0.016
HSTL Class IV	20	0.014
SSTL2 Class I	30	0.028
SSTL2 Class II	30	0.016
SSTL3 Class I	30	0.029
SSTL3 Class II	30	0.016
CTT	20	0.035
AGP	10	0.037

注意:

1. I/O参数根据上面所示的电容量得出。
2. 除非被IBIS模式排除，否则I/O标准测量包含在IBIS模式信息中

其他的电容负载，可用下面的公式计算：

$$T_{i\text{oop}} = T_{i\text{oop}} + T_{\text{opadjust}} + (C_{\text{load}} - C_{\text{sl}}) * f_l \quad T_{\text{opadjust}} \text{可在上面的输出延迟调整中找到}$$

C_{load} 是设计的负载电容容量

表 25 延迟的计算方法

标准	V_L	V_H	Meas. Point	V_{REF} Typ
LVTTL	0	3	1.4	
LVC MOS2	0	2.5	1.125	
PCI33_5	Per PCI Spec			
PCI33_3	Per PCI Spec			
PCI66_3	Per PCI Spec			
GTL	$V_{\text{REF}} - 0.2$	$V_{\text{REF}} + 0.2$	V_{REF}	0.80
GTL+	$V_{\text{REF}} - 0.2$	$V_{\text{REF}} + 0.2$	V_{REF}	1.0
HSTL Class I	$V_{\text{REF}} - 0.5$	$V_{\text{REF}} + 0.5$	V_{REF}	0.75
HSTL Class III	$V_{\text{REF}} - 0.5$	$V_{\text{REF}} + 0.5$	V_{REF}	0.90
HSTL Class IV	$V_{\text{REF}} - 0.5$	$V_{\text{REF}} + 0.5$	V_{REF}	0.90
SSTL3 I & II	$V_{\text{REF}} - 1.0$	$V_{\text{REF}} + 1.0$	V_{REF}	1.5
SSTL2 I & II	$V_{\text{REF}} - 0.75$	$V_{\text{REF}} + 0.75$	V_{REF}	1.25
CTT	$V_{\text{REF}} - 0.2$	$V_{\text{REF}} + 0.2$	V_{REF}	1.5
AGP	$V_{\text{REF}} - (0.2 \times V_{\text{CCO}})$	$V_{\text{REF}} + (0.2 \times V_{\text{CCO}})$	V_{REF}	Per

注意:

1. 输入波形在 V_L 和 V_H 之间变化。
2. 测量值在 V_{REF} (Typ) 得到, 最大最小和最坏值都表示。
3. I/O参数由电容值得出, 列于表2中。
4. 除了被IBIS模式排除, 否则I/O标准测量包含在IBIS模式信息中。

时钟分布指导

表 26 时钟分布指导表

描述	器件	符号	速度等级			单位
			-6	-5	-4	
全局时钟斜率						
IOB触发器之间的全局时钟斜率	HWDV 50	$T_{GSKEWIOB}$	0.10	0.12	0.14	ns, max
	HWDV 100		0.12	0.13	0.15	ns, max
	HWDV 150		0.12	0.13	0.15	ns, max
	HWDV 200		0.13	0.14	0.16	ns, max
	HWDV 300		0.14	0.16	0.18	ns, max
	HWDV 400		0.13	0.13	0.14	ns, max
	HWDV 600		0.14	0.15	0.17	ns, max
	HWDV 800		0.16	0.17	0.20	ns, max
	HWDV 1000		0.20	0.23	0.25	ns, max

注意:

1. 时钟上升率延迟只为该说明提供。它们反映的是最坏情况下的延迟。特殊设计的精确数值可用时间分析器得到。

时钟分布开关参数

表 27 时钟分布开关参数表

描述	符号	速度等级				单位
		Min	-6	-5	-4	
GCLK IOB和缓冲器						
全局时钟PAD到输出	T_{GPIO}	0.33	0.7	0.8	0.9	ns, max
全局时钟缓冲器输入I到输出O	T_{GIO}	0.34	0.7	0.8	0.9	ns, max

全局时钟输入调整 (I/O 标准)

表 28 全局时钟输入调整表

描述	符号	标准	速度等级				单位
			Min	-6	-5	-4	
数据输入延迟调整							
特殊标准的全局时钟输入延迟调整	T _{GPLVTTL}	LVTTTL	0	0	0	0	ns,max
	T _{GPLVCMOS2}	LVCMOS2	-0.02	-0.04	-0.04	-0.05	ns,max
	T _{GPPCI33_3}	PCI, 33MHz,3.3V	-0.05	-0.11	-0.12	-0.14	ns,max
	T _{GPPCI33_5}	PCI, 33MHz,5.0V	0.13	0.25	0.28	0.33	ns,max
	T _{GPPCI66_3}	PCI, 66MHz,3.3V	-0.05	-0.11	-0.12	-0.14	ns,max
	T _{GPGTL}	GTL	0.7	0.8	0.9	0.9	ns,max
	T _{GPGTLP}	GTL+	0.7	0.8	0.8	0.8	ns,max
	T _{GPHSTL}	HSTL	0.7	0.7	0.7	0.7	ns,max
	T _{GPSSTL2}	SSTL2	0.6	0.52	0.51	0.50	ns,max
	T _{GPSSTL3}	SSTL3	0.6	0.6	0.55	0.54	ns,max
	T _{GPCTT}	CTT	0.7	0.7	0.7	0.7	ns,max
	T _{GPAGP}	AGP	0.6	0.54	0.53	0.52	ns,max

注意:

1. 输入时钟时序是在GPLVTTL标准为1.4V下测量的。

CLB 的开关参数

F/G的输入延迟根据使用的输入而略微变化。下表列出得是最坏情况的值。精确值可通过使用时间分析器得到。

表 29 CLB 的开关参数表

描述	符号	速度等级				单位
		Min	-6	-5	-4	
组合延迟						
4输入: 输入F/G到输出X/Y	T _{ILO}	0.29	0.6	0.7	0.8	ns, max
4输入: 输入F/G到输出F5	T _{IF5}	0.32	0.7	0.8	0.9	ns, max
5输入: 输入F/G到输出X	T _{IF5X}	0.36	0.8	0.8	1.0	ns, max
6输入: 输入F/G到输出(经F6)	T _{IF6Y}	0.44	0.9	1.0	1.2	ns, max
6输入: 输入F5IN到输出Y	T _{F5INY}	0.17	0.32	0.36	0.42	ns, max
在锁存器到XQ/YQ间增加延迟路径	T _{IFNCTL}	0.31	0.7	0.7	0.8	ns, max
BY输入到YB输出	T _{BYBY}	0.27	0.53	0.6	0.7	ns, max

连续延迟						
时钟信号FF到输出 XQ/YQ	T_{CKO}	0.54	1.1	1.2	1.4	ns, max
锁存时钟信号到输出 XQ/YQ	T_{CKLO}	0.6	1.2	1.4	1.6	ns, max
建立和维持时间, 在CLK 之前/之后	建立/维持时间					
4输入: 输出F/G	$T_{ICK/TCKI}$	0.6/0	1.2/0	1.4/0	1.5/0	ns, min
5输入: 输出F/G	$T_{IF5CK/TCKIF5}$	0.7/0	1.3/0	1.5/0	1.7/0	ns, min
6输入: F5IN输出	$T_{F5INCK/TCKF5IN}$	0.46/0	1.0/0/	1.1/0/	1.2/0	ns, min
6输入: 输入F/G, 经F6 MUX	$T_{IF6CK/TCKIF6}$	0.8/0	1.5/0	1.7/0	1.9/0	ns, min
BX/BY输入	$T_{DICK/TCKDI}$	0.30/0	0.6/0	0.7/0	0.8/0	ns, min
CE输入	$T_{CECK/TCKCE}$	0.37/0	0.8/0	0.9/0	1.0/0	ns, min
SR/BY输入	$T_{RCKTCKR}$	0.33/0	0.7/0	0.8/0	0.9/0	ns, min
时钟CLK						
最小脉冲宽度, 高电平	T_{CH}	0.8	1.5	1.7	2.0	ns, min
最小脉冲宽度, 低电平	T_{CL}	0.8	1.5	1.7	2.0	ns, min
置位/复位						
最小脉冲宽度: SR/BY输入	T_{RPW}	1.3	2.5	2.8	3.3	ns, min
输入SR/BY到输出 XQ/YQ延迟 (异步)	T_{RQ}	0.54	1.1	1.3	1.4	ns, max
GSR到输出XQ/YQ延迟	T_{IOGSRQ}	4.9	9.7	10.9	12.5	ns, max
Toggle频率 (出口控制)	F_{TOG} (MHz)	625	333	294	250	MHz

注意:

1. 一个“0”时间在列表中显示出来了, 表示没有时间或负的时间。负的时间不能表示最好的状态, 但是如果有“0”, 这里就没有正的时间。

CLB 的算法开关参数

没有明确列出的建立时间可通过减小组合延迟而近似得到。精确值可用时间分析器可以得到。

表 30 CLB 的算法开关参数

描述	符号	速度等级				单位
		Min	-6	-5	-4	
组合延迟						
操作数F经XOR输入到X	T _{OPX}	0.37	0.8	0.9	1.0	ns, max
操作数F输入到输出XB	T _{OPXB}	0.54	1.1	1.3	1.4	ns, max
操作数F经XOR输入到Y	T _{OPY}	0.8	1.5	1.7	2.0	ns, max
操作数F输入到输出YB	T _{OPYB}	0.8	1.5	1.7	2.0	ns, max
操作数F输入到输出COUT	T _{OPCYF}	0.6	1.2	1.3	1.5	ns, max
操作数G经XOR输入到Y	T _{OPGY}	0.46	1.0	1.1	1.2	ns, max
操作数G输入到输出YB	T _{OPGYB}	0.8	1.6	1.8	2.1	ns, max
操作数G输入到输出COUT	T _{OPCYG}	0.7	1.3	1.4	1.6	ns, max
BX初始化输入到COUT	T _{BXCY}	0.41	0.9	1.0	1.1	ns, max
输入CIN经XOR到输入到X	T _{CINX}	0.21	0.41	0.46	0.53	ns, max
CIN输入到XB	T _{CINXB}	0.02	0.04	0.05	0.06	ns, max
CIN经XOR输入到Y	T _{CINY}	0.23	0.46	0.52	0.6	ns, max
CIN输入到YB	T _{CINYB}	0.23	0.45	0.51	0.6	ns, max
输入CIN到输出COUT	T _{BYP}	0.05	0.09	0.10	0.11	ns, max
乘法操作						
操作数F1/2经AND到输出XB	T _{FANDXB}	0.18	0.36	0.40	0.46	ns, max
操作数F1/2经AND到输出YB	T _{FANDYB}	0.40	0.8	0.9	1.1	ns, max
操作数F1/2经AND到输出COUT	T _{FANDCY}	0.22	0.43	0.48	0.6	ns, max
操作数G1/2经AND到输出YB	T _{GANDYB}	0.25	0.50	0.6	0.7	ns, max
操作数G1/2经AND到输出COUT	T _{GANDCY}	0.07	0.13	0.15	0.17	ns, max
建立和维持时间, CLK之前/之后		建立时间/维持时间				
CIN输入到FFX	T _{CCKX/TCKC} X	0.50/0	1.0/0	1.2/0	1.3/0	ns, min
CIN输入到FFY	T _{CCKY/TCKC} Y	0.53/0	1.1/0	1.2/0	1.4/0	ns, min

注意:

1. 一个“0”时间在列表中显示出来了，表示没有时间或负的时间。负的时间不能表示最好的状态，但是如果有“0”，这里就没有正的时间。

CLB SelectRAM 开关参数

表 31 CLB SelectRAM 开关参数表

描述	符号	速度等级				单位
		Min	-6	-5	-4	
连续延迟						
CLK到输出X/Y (WE active) 16X1模式	T _{SHCKO16}	1.2	2.3	2.6	3.0	ns,max
CLK到输出X/Y (WE active) 32X1模式	T _{SHCKO32}	1.2	2.7	3.1	3.5	ns,max
移位寄存器模式						
CLK到输出X/Y	T _{REG}	1.2	3.7	4.1	4.7	ns,max
建立和维持时间, 时钟CLK之前/之后		建立时间/维持时间				
F/G地址输入	T _{AS/TAH}	0.25/0	0.5/0	0.6/0	0.7/0	ns, min
BX/BY数据输入 (DIN)	T _{DS/TDH}	0.34/0	0.7/0	0.8/0	0.9/0	ns, min
CE输入 (WE)	T _{WS/TWH}	0.38/0	0.8/0	0.9/0	1.0/0	ns, min
移位寄存器模式						
BX/BY数据输入 (DIN)	T _{SHDICK}	0.34	0.7	0.8	0.9	ns, min
CE输入 (WS)	T _{SHCHECK}	0.38	0.8	0.9	1.0	ns, min
时钟CLK						
最小脉冲宽度, 高电平	T _{WPH}	1.2	2.4	2.7	3.1	ns, min
最小脉冲宽度, 低电平	T _{WPL}	1.2	2.4	2.7	3.1	ns, min
地址写循环的最小周期	T _{WC}	2.4	4.8	5.4	6.2	ns, min
移位寄存器模式						
最小脉冲宽度, 高电平	T _{SRPH}	1.2	2.4	2.7	3.1	ns, min
最小脉冲宽度, 低电平	T _{SRPL}	1.2	2.4	2.7	3.1	ns, min

注意:

1. 一个“0”时间在列表中显示出来了，表示没有时间或负的时间。负的时间不能表示最好的状态，但是如果有“0”，这里就没有正的时间。

RAM 块的开关参数

表 32 RAM 块的开关参数表

描述	符号	速度等级				单位
		Min	-6	-5	-4	
连续延迟						
CLK到输出DOUT	T _{BCKO}	1.7	3.4	3.8	4.3	ns,max

建立和维持时间，CLK之前/之后	建立时间/维持时间					
ADDR输入	T_{BACK}/T_{BCKA}	0.6/0	1.2/0	1.3/0	1.5/0	ns, min
DIN输入	T_{BDCK}/T_{BCKD}	0.6/0	1.2/0	1.3/0	1.5/0	ns, min
EN输入	T_{BECK}/T_{BCKE}	1.3/0	2.6/0	3.0/0	3.4/0	ns, min
RST输入	T_{BRCK}/T_{BCKR}	1.3/0	2.5/0	2.7/0	3.2/0	ns, min
WEN输入	T_{BWCK}/T_{BCKW}	1.2/0	2.3/0	2.6/0	3.0/0	ns, min
CLK时钟						
最小脉冲宽度，高电平	T_{BPWH}	0.8	1.5	1.7	2.0	ns, min
最小脉冲宽度，低电平	T_{BPWL}	0.8	1.5	1.7	2.0	ns, min
CLKA->CLKB不同端口的建立时间	T_{BCCS}		3.0	3.5	4.0	ns, min

注意:

1. 一个 "0" 时间在列表中显示出来了，表示没有时间或负的时间。负的时间不能表示最好的状态，但是如果有 "0"，这里就没有正的时间。

TBUF 开关参数

表 33 TBUF 开关参数表

描述	符号	速度等级				单位
		Min	-6	-5	-4	
组合延迟						
输入IN到输出OUT	T_{IO}	0	0	0	0	ns,max
输入TRI到输出OUT高阻	T_{OFF}	0.05	0.09	0.10	0.11	ns,max
输入TRI到输出OUT上有效数据	T_{ON}	0.05	0.09	0.10	0.11	ns,max

JTAG 测试访问端口开关参数

表 34 JTAG 测试访问端口开关参数表

描述	符号	速度等级			单位
		-6	-5	-4	
TMS和TDI在TCK之前的建立时间	T_{TAPTCK}	4.0	4.0	4.0	ns,min
TMS和TDI在TCK之后的维持时间	T_{TCKTAP}	2.0	2.0	2.0	ns,min
TCK到TD0输出的延迟	T_{TCKTDO}	11.0	11.0	11.0	ns,max

最大TCK时钟频率	FTCK	33	33	33	MHz,max
-----------	------	----	----	----	---------

4.3 HWDV 系列 管脚-到-管脚输出参数说明

所有的器件都是100%的功能测试。下面所列为典型的管脚分布和正常时钟下的代表值。如果没说明，数值的单位是ns。

LVTTTL 标准下，全局时钟输入到输出的延迟，12mA 电流，高跳变率，带有 DLL。

表 35 全局时钟输入到输出的延迟（高跳变率，带 DLL）表

描述	符号	器件	速度等级				单位
			Min	-6	-5	-4	
在LVTTTL标准下，全局时钟输入到输出延迟，使用输出触发器，12mA电流，高跳变率，带有DLL。对于别的标准，根据输入输出延迟的调整来调整延迟。	T _{ICKOF}	HWDV50	1.0	3.1	3.3	3.6	ns, max
		HWDV100	1.0	3.1	3.3	3.6	ns, max
		HWDV150	1.0	3.1	3.3	3.6	ns, max
		HWDV200	1.0	3.1	3.3	3.6	ns, max
		HWDV300	1.0	3.1	3.3	3.6	ns, max
		HWDV400	1.0	3.1	3.3	3.6	ns, max
		HWDV600	1.0	3.1	3.3	3.6	ns, max
		HWDV800	1.0	3.1	3.3	3.6	ns, max
HWDV1000	1.0	3.1	3.3	3.6	ns, max		

注意：

1. 上面的值都是有代表性的。一个全局的时钟输入驱动每个可驱动纵列中的一条垂直的时钟线，通过全局时钟网络能驱动所有的IOB和CLB触发器都以时钟为信号。
2. 输出时序是在1.4V，35PF外部电容下测量的，标准是LVTTTL。35PF不适用于最小值。其他I/O标准和不同的负载，见表2和表3。
3. 时序计算包含DLL输出抖动。

LVTTTL标准下，全局时钟输入到输出的延迟，12mA电流，高跳变率，不带有DLL

表 36 全局时钟输入到输出的延迟（高跳变率，不带 DLL）表

描述	符号	器件	速度等级				单位
			Min	-6	-5	-4	
在LVTTTL标准下，全局时钟输入到输出的延迟，使用输出触发器，12mA电流，高跳变率，不带DLL。对别的标准，根据输入输出延迟的调整来调整延迟 对于I/O标准，V _{REF} 作为GTL, GTL+, SSTL, HSTL, CTT,和	T _{ICKOF}	HWDV100	1.5	4.6	5.1	5.7	ns, max
		HWDV300	1.5	4.7	5.2	5.9	ns, max
		HWDV600	1.6	4.9	5.4	6.0	ns, max
		HWDV1000	1.7	5.0	5.6	6.3	ns, max

AGO时要另外加上600ps							
----------------	--	--	--	--	--	--	--

注意:

1. 上面的值都是有代表性的。一个全局的时钟输入驱动每个可驱动纵列中的一条垂直的时钟线，通过全局时钟网络能驱动所有的IOB和CLB触发器都以时钟为信号。
2. 输出时序是在1.4V，35PF外部电容下测量的，标准是LVTTTL。35PF不适用于最小值。其他I/O标准和不同的负载，见表2和表3。

HWDV 系列器件的最小输出时间 (Clock-to-Out)

表 37 HWDV 系列器件的最小输出时间表

I/O标准	带DLL	不带DLL				单位
	所有器件	V100	V300	V600	V1000	
*LVTTTL_S2	5.2	6.0	6.1	6.1	6.1	ns
*LVTTTL_S4	3.5	4.3	4.4	4.4	4.4	ns
*LVTTTL_S6	2.8	3.6	3.7	3.7	3.7	ns
*LVTTTL_S8	2.2	3.1	3.1	3.2	3.2	ns
*LVTTTL_S12	2.0	2.9	2.9	3.0	3.0	ns
*LVTTTL_S16	1.9	2.8	2.8	2.9	2.9	ns
*LVTTTL_S24	1.8	2.6	2.7	2.7	2.8	ns
*LVTTTL_F2	2.9	3.8	3.8	3.9	3.9	ns
*LVTTTL_F4	1.7	2.6	2.6	2.7	2.7	ns
*LVTTTL_F6	1.2	2.0	2.1	2.1	2.2	ns
*LVTTTL_F8	1.1	1.9	2.0	2.0	2.0	ns
*LVTTTL_F12	1.0	1.8	1.9	1.9	1.9	ns
*LVTTTL_F16	0.9	1.8	1.8	1.8	1.9	ns
*LVTTTL_F24	0.9	1.7	1.8	1.8	1.9	ns
LVC MOS2	1.1	1.9	2.0	2.0	2.1	ns
PCI33_3	1.5	2.4	2.4	2.5	2.5	ns
PCI33_5	1.4	2.2	2.3	2.3	2.4	ns
PCI66_3	1.1	1.9	2.0	2.0	2.1	ns
GTL	1.6	2.5	2.5	2.6	2.6	ns
GTL+	1.7	2.5	2.6	2.6	2.7	ns
HSTL I	1.1	1.9	2.0	2.0	2.0	ns
HSTL III	0.9	1.7	1.8	1.8	1.9	ns
HSTL IV	0.8	1.6	1.7	1.7	1.8	ns
SSTL2 I	0.9	1.7	1.8	1.8	1.8	ns
SSTL2 II	0.8	1.6	1.7	1.7	1.7	ns
SSTL3 I	0.8	1.7	1.7	1.7	1.8	ns
SSTL3 II	0.7	1.5	1.6	1.6	1.7	ns

CTT	1.0	1.8	1.9	1.9	2.0	ns
AGP	1.0	1.8	1.9	1.9	2.0	ns

*S = 低跳变率, F = 高跳变率

注意:

1. 上面的值都是有代表性的。一个全局的时钟输入驱动每个可用队列中的一条垂直的时钟线，通过全局时钟网络能驱动所有的IOB和CLB触发器都以时钟为信号。
2. 入和输出时序是在1.4V，LVTTTL标准下测量的。其他标准见表3。在所有的情况下，外部都使用8PF的负载电容。

4.4 HWDV 系列 管脚-到-管脚输入参数说明

所有的器件都是100%的功能测试。下面所列为典型的管脚分布和正常时钟下的代表性值。如果没说明，数值的单位是ns。

表 38 带有 DLL 全局时钟的建立和维持时间表

描述	符号	器件	速度等级				单位
			Min	-6	-5	-4	
在LVTTTL标准下输入的建立和维持时间与全局输入信号相关。不同标准下的输入数据，通过输入延迟调整表中的值调整建立时间的延迟							
没有延迟全局时钟和IFF，带有DLL	T _{PSDLL/T} PHDLL	HWDV100	0.40/-0.4	1.7/-0.4	1.9/-0.9	2.1/-0.4	ns, min
		HWDV300	0.40/-0.4	1.7/-0.4	1.9/-0.9	2.1/-0.4	ns, min
		HWDV600	0.40/-0.4	1.7/-0.4	1.9/-0.9	2.1/-0.4	ns, min
		HWDV100 0	0.40/-0.4	1.7/-0.4	1.9/-0.9	2.1/-0.4	ns, min

IFF=输入触发器或锁存器

注意:

1. 建立时间的测量，是在最快的全局输入信号并带有最小的负载的路径上完成的。维持时间则是在最慢的全局输入信号并带有最大负载的路径上完成的。
2. LL输出抖动包含在时序计算中。
3. 一个 "0"时间在列表中显示出来了，表示没有时间或负的时间。负的时间不能表示最好的状态，但是如果有“0”，这里就没有正的时间。

表 39 在 LVTTTL 标准下（不带 DLL），全局时钟的建立和维持表

描述	符号	器件	速度等级				单位
			Min	-6	-5	-4	
在LVTTTL标准下输入的建立和维持时间与全局输入信号相关。不同标准下的输入数据，通过输入延迟调整表中的值调整建立时间的延迟							
完全延迟全局时钟	T _{PSFD/TPHD}	HWDV100	0.6/0	2.3/0	2.6/0	3.0/0	ns,min
		HWDV300	0.7/0	2.5/0	2.8/0	3.2/0	ns,min

和IFF, 不带		HWDV600	0.7/0	2.6/0	2.9/0	3.3/0	ns,min
有DLL		HWDV1000	0.7/0	2.8/0	3.1/0	3.6/0	ns,min

IFF=输入触发器或锁存器

注意:

1. 建立时间的测量, 是在最快全局输入信号并带有最小负载的路径上完成的。维持时间则是在最慢的全局输入信号并带有最大负载的路径上完成的。
2. 一个 "0" 时间在列表中显示出来了, 表示没有时间或负的时间。负的时间不能表示最好的状态, 但是如果有 "0", 这里就没有正的时间。

DLL 时序参数

所有的器件都是100%功能测试的。因为直接测量内部时序参数有困难, 所以这些参数是基于时序模式图形得到的。下面表示的是在推荐运行条件下的最坏值。

表 40 DLL 时序参数表

描述	符号	速度等级						单位
		-6		-5		-4		
		Min	Max	Min	Max	Min	Max	
输入时钟频率 (CLKDLLHF)	FCLKIN HF	60	200	60	180	60	180	MHz
输入时钟频率 (CLKDLL)	FCLKIN LF	25	100	25	90	25	90	MHz
输入时钟脉冲宽度 (CLKDLLHF)	T _{DLLPWHF}	2.0	-	2.4	-	2.4	-	ns
输入时钟脉冲宽度 (CLKDLL)	T _{DLLPWL}	2.5	-	3.0	-	3.0	-	ns

注意:

1. 有说明都依据商业温度标准 (0° C ~+ 85° C)。

DLL 时钟容限, 抖动, 和相位信息

所有的DLL输出抖动和相位说明, 都是使用镜像配置和匹配的驱动, 在封装管脚处统计测量完成的。

表 41 时钟容限, 抖动, 和相位信息表

描述	符号	FCLKIN	CLKDLLHF		CLKDLL		单位
			Min	Max	Min	Max	
输入时钟周期容限	T _{IPOL}		-	1.0	-	1.0	ns
输入时钟抖动容限	T _{IJITC}		-	± 15	-	± 30	ps
要锁存的DLL的时间要求	T _{LOCK}	>60MHz	-	20	-	20	μ s
		50~60MHz	-	-	-	25	μ s

		40~50MHz	-	-	-	50	μ s
		30~40MHz	-	-	-	90	μ s
		25~30MHz	-	-	-	120	μ s
任意DLL时钟输出的输出抖动(周期一周期)	T_{OJITC_c}			± 60		± 60	ps
CLKIN和CLKO间的状态偏移	T_{PHIO}			± 10 0		± 10 0	ps
DLL上的输出锁存间的偏移	T_{PHOO}			± 14 0		± 14 0	ps
CLKIN和CLKO间最大相位差	T_{PHIOM}			± 16 0		± 16 0	ps
DLL上的输出时钟间的最大相位差	T_{PHOOM}			± 20 0		± 20 0	ps

注意:

- 1.输出抖动是在DLL输出时钟上测量的周期到周期的抖动，包括输入时钟抖动。
- 2.CLKIN和CLKO间的状态偏移量是CLKIN和CLKO上升沿最坏情况确定的时间差，包括输出时钟抖动和输入时钟抖动。
- 3.DLL上的时钟输出状态偏移量是任意两个DLL输出上升沿的最坏情况的确定时间差，包括输出时钟抖动和输入时钟抖动。
4. CLKIN和CLKO间的最大状态差是输出时钟抖动和以及CLKIN和CLKO间的状态偏移量，或者是由于DLL而产生的CLKIN和CLKO信号上升沿间的最大差值。
- 5.DLL上的时钟输出间的最大状态差是输出钟抖动总和以及DLL上任意时钟输出间的状态偏移，或者是任意两个DLL输出上升沿间的最大差。
6. 所有说明依据商业标准温度 (0° C ~ +85° C)。

周期容限：允许的输入时钟周期以纳秒为单位

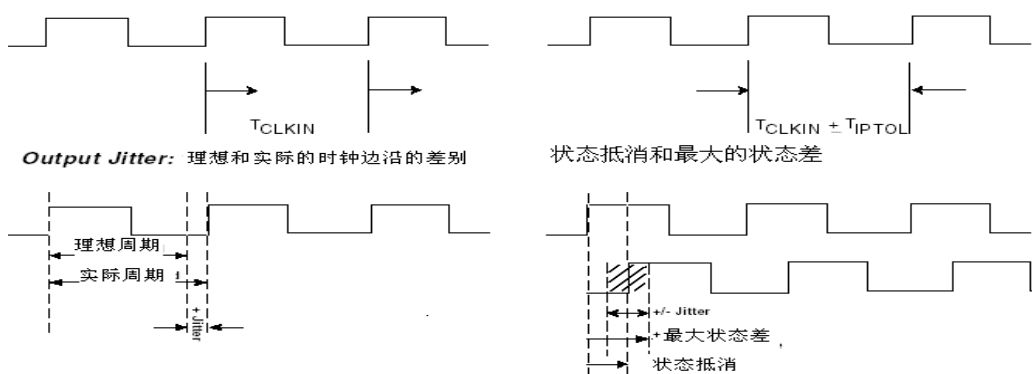


图21 频率容限和时钟抖动

5. 订货信息

型号	封装名称	型号全称	温度范围
HWDV100	BG256	HWDV100-4BG256N	-55°C~125°C
	CB228	HWDV100-4CB228M	
	CQFP240	HWDV100-4CQ240M	
	CQFP144	HWDV100-4CQ144M	
HWDV1000	BG560	HWDV1000-4BG560N	-55°C~125°C

6. 版本信息

版本号	版本编写时间	版本描述
Rev1.0	2008-04-09	原始版本
Rev1.1	2009-07-21	增补产品封装型号及订货信息

7. 联系方式

成都华微电子系统有限公司

地址：成都市高朋大道11号高新区科技工业园2层

市场部

电话：028-85177737 转206、228

传真：028-85187895