

WWW.ARMJISHU.COM

Jlink 转接板简介 V2



ARMJISHU.COM 是中国最专业的 ARM 技术开源论坛，最全面的 ARM 技术学习园地；分享、交流、学习 ARM 技术，探讨研究 ARM 技术问题。让我们的 ARM 技术水平飞速进步吧！

## 声 明

本文档版权归属 ARMJISHU.COM 所有，并保留一切权利。非经 ARMJISHU.COM 书面同意，任何单位或个人不得擅自摘录本手册部分或全部内容，违者我们将追究其法律责任。

本文档介绍 Jlink 转接板的相关信号。Jlink V8 相关产品请访问 [ARMJISHU 淘宝网站](http://www.armjishu.com)。

淘宝店铺: <http://shop36537466.taobao.com/>。



欢迎您访问 [www.armjishu.com](http://www.armjishu.com) 论坛获取最新资讯和参与论坛举行各种开源项目。

## 目 录

<b>WWW.ARMJISHU.COM</b>	<b>1</b>
<b>1. Jlink 简介</b>	<b>4</b>
<b>2. 转接板简介</b>	<b>6</b>
<b>3. JTAG 基础知识</b>	<b>6</b>
<b>4. JTAG 原理分析</b>	<b>7</b>
4.1 边界扫描	7
4.2 测试访问口 TAP	7
<b>5. 产品原理</b>	<b>8</b>
<b>6. 跳线使用说明</b>	<b>10</b>
<b>7. ARM-JTAG Wiggler 兼容设计</b>	<b>11</b>
<b>8. 相关信号定义</b>	<b>12</b>

## Jlink 转接板简介

### 1. Jlink简介

既然是 [Jlink 转接板](#)，我们首先来了解一下 Jlink 知识。

[J-Link](#) 是 SEGGER 公司为支持仿真 ARM 内核芯片推出的 JTAG 仿真器。配合 IAR EWARM, ADS, KEIL, WINARM, RealView 等集成开发环境支持所有 ARM7/ARM9 内核芯片的仿真，通过 RDI 接口和各集成开发环境无缝连接，操作方便、连接方便、简单易学，是学习开发 ARM 最好最实用的开发工具。

目前 [Jlink 最新版本为 V8](#)，[优质双 BUFFER 稳定版本 J-Link V8 推荐网站为:](#)  
[http://item.taobao.com/auction/item\\_detail-db2-d2eb13cb5ce444c40c45751606a7c928.htm](http://item.taobao.com/auction/item_detail-db2-d2eb13cb5ce444c40c45751606a7c928.htm)

JLINK 外观和内部结构如下面几幅图所示：



[J-Link](#) 目前硬件最新版本为 V8 ARM 主要特点:

- \*IAR EWARM 集成开发环境无缝连接的 JTAG 仿真器
- \*支持所有 ARM7/ARM9 内核的芯片, 以及 cortex M3, 包括 Thumb 模式
- \*支持 ADS,IAR,KEIL,WINARM,REALVIEW 等几乎所有的开发环境
- \*下载速度高达 ARM7:600kB/s, ARM9:550kB/s, 通过 DCC 最高可达 800 kB/s
- \*最高 JTAG 速度 12 MHz
- \*目标板电压范围 1.2V - 3.3V,5V 兼容
- \*自动速度识别功能
- \*监测所有 JTAG 信号和目标板电压
- \*完全即插即用
- \*使用 USB 电源 (不对目标板供电)
- \*带 USB 连接线和 20 芯扁平电缆
- \*支持多 JTAG 器件串行连接
- \*标准 20 芯 JTAG 仿真插头
- \*选配 14 芯 JTAG 仿真插头
- \*选配用于 5V 目标板的适配器
- \*带 J-Link TCP/IP server, 允许通过 TCP/IP 网络使用 J-Link

J-Link 支持 ARM 内核:

- \* ARM7TDMI (Rev 1)
- \* ARM7TDMI (Rev 3)
- \* ARM7TDMI-S (Rev 4)
- \* ARM720T \* ARM920T
- \* ARM926EJ-S
- \* ARM946E-S
- \* ARM966E-S
- \* ARM11
- \* Cortex-M3

V8.0 版本相对 V7.0 版本的改进:

(1) 改进了 SWD 硬件接口电路,假冒 JLINK V8 使用 JTAG 调试方式时可以正常调试,但当调试 CORTEX-M3 内核的芯片时将不能使用 SWD 功能.V7 硬件 SWD 部分跟 V8 不一样,如果强行切换到 SWD 方式,JLINK 的主控芯片将会被烧毁!JLINK V8 接口电路采用两片电平转换芯片,采用一片电平转换芯片的必是假冒 V8!

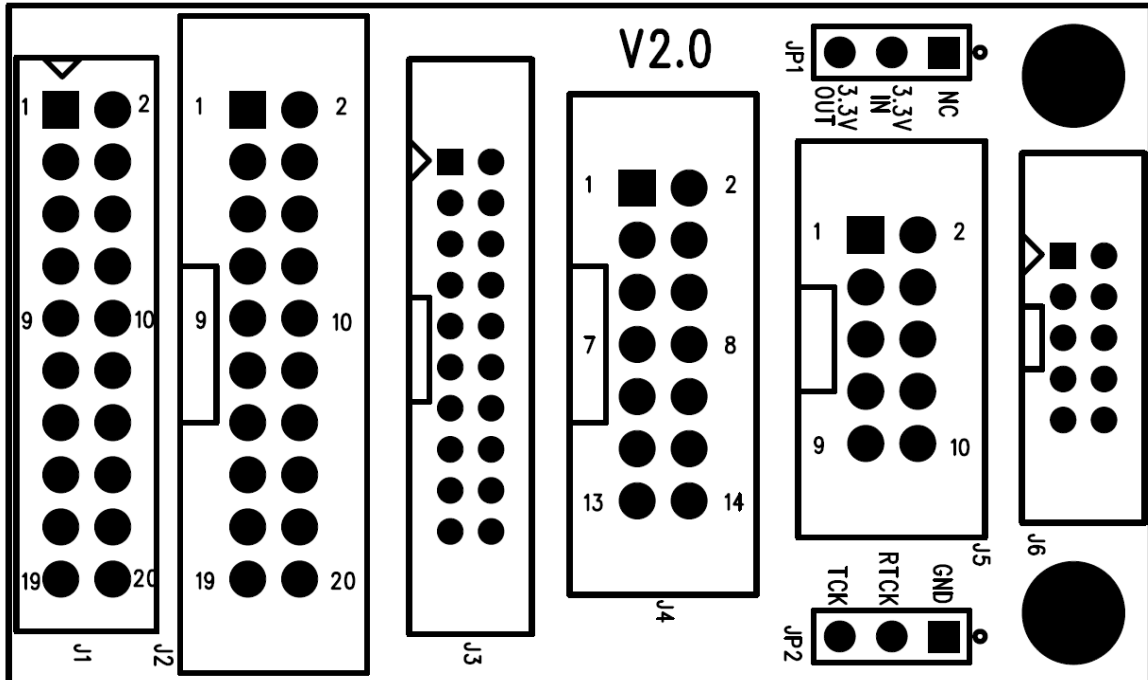
(2) V8.0 使用双色 LED 可以指示更多的工作状态, V7.0 只有 1 个 LED 指示灯;

(3) 优化了固件结构, 将固件升级功能移到 bootloader 区, 使应用程序区扩大一倍, 便于增加新的功能;

(4) 对于 ARM11 的支持更好,速度远快于 JLINK V7,是 ARM11 的首选.

## 2. 转接板简介

[ARMJISHU转接板](#)的顶端视图如下图所示:



图上由下向上依次为 J1、J2、J3、J4、J5、J6，其中 J1 与 JLINK 对连；J2 为 2.54mm 间距的 20PIN JTAG 座；J3 为 2mm 间距的 20PIN JTAG 座；J4 为 2.54mm 间距的 14PIN JTAG 座；J5 为 2.54mm 间距的 10PIN JTAG 座；J6 为 2mm 间距的 10PIN JTAG 座。转接板支持 MINI2440、TQ2440 等流行的开发板。

转接板购买地址:

[http://item.taobao.com/auction/item\\_detail-db2-beab420fea34f593c69da6fa60b7372c.htm](http://item.taobao.com/auction/item_detail-db2-beab420fea34f593c69da6fa60b7372c.htm)

## 3. JTAG基础知识

JTAG (Joint Test Action Group, 联合测试行动组) 是一种国际标准测试协议 (IEEE 1149. 1 兼容)。标准的 JTAG 接口是 4 线——TMS、TCK、TDI、TDO，分别为模式选择、时钟、数据输入和数据输出线。

JTAG 的主要功能有两种，或者说 JTAG 主要有两大类:

1) 一类用于测试芯片的电气特性，检测芯片是否有问题;

2) 另一类用于 Debug，对各类芯片及其外围设备进行调试；一个含有 JTAG Debug 接口模块的 CPU，只要时钟正常，就可以通过 JTAG 接口访问 CPU 的内部寄存器、挂在 CPU 总线上的设备以及内置模块的寄存器。本文主要介绍的是 Debug 功能。

## 4. JTAG原理分析

简单地说, JTAG 的工作原理可以归结为: 在器件内部定义一个 TAP(Test Access Port, 测试访问口), 通过专用的 JTAG 测试工具对内部节点进行测试和调试。首先介绍一下边界扫描和 TAP 的基本概念和内容。

### 4.1 边界扫描

边界扫描(Boundary-Scan)技术的基本思想是在靠近芯片的输入 / 输出引脚上增加一个移位寄存器单元, 也就是边界扫描寄存器(Boundary-Scan Register)。

当芯片处于调试状态时, 边界扫描寄存器可以将芯片和外围的输入 / 输出隔离开来。通过边界扫描寄存器单元, 可以实现对芯片输入 / 输出信号的观察和控制。对于芯片的输入引脚, 可以通过与之相连的边界扫描寄存器单元把信号(数据)加载到该引脚中去; 对于芯片的输出引脚, 也可以通过与之相连的边界扫描寄存器“捕获”该引脚上的输出信号。在正常的运行状态下, 边界扫描寄存器对芯片来说是透明的, 所以正常的运行不会受到任何影响。这样, 边界扫描寄存器提供了一种便捷的方式用于观测和控制所需调试的芯片。另外, 芯片输入 / 输出引脚上的边界扫描(移位)寄存器单元可以相互连接起来, 在芯片的周围形成一个边界扫描链(Boundary-Scan Chain)。边界扫描链可以串行地输入和输出, 通过相应的时钟信号和控制信号, 就可以方便地观察和控制处在调试状态下的芯片。

### 4.2 测试访问口TAP

TAP(Test Access Port)是一个通用的端口, 通过 TAP 可以访问芯片提供的所有数据寄存器(DR)和指令寄存器(IR)。对整个 TAP 的控制是通过 TAP 控制器(TAP Controller)来完成的。下面先分别介绍一下 TAP 的几个接口信号及其作用。其中, 前 4 个信号在 IEEE1149. 1 标准里是强制要求的。

TCK: 时钟信号, 为 TAP 的操作提供了一个独立的、基本的时钟信号。

TMS: 模式选择信号, 用于控制 TAP 状态机的转换。

TDI: 数据输入信号。

TDO: 数据输出信号。

TRST: 复位信号, 可以用来对 TAP Controller 进行复位(初始化)。这个信号接口在 IEEE 1149. 1 标准里并不是强制要求的, 因为通过 TMS 也可以对 TAP Controller 进行复位。

STCK: 时钟返回信号, 在 IEEE 1149. 1 标准里非强制要求。

简单地说, PC 机对目标板的调试就是通过 TAP 接口完成对相关数据寄存器(DR)和指令寄存器(IR)的访问。

系统上电后, TAP Controller 首先进入 Test-LogicReset 状态, 然后依次进入 Run-Test / Idle、Selcct-DR-Scan、Select-IR-Scan、Capture-IR、Shift-IR、Exitl-IR、Update-IR 状态, 最后回到 Run-Tcst / Idle 状态。在此过程中, 状态的转移都是通过 TCK 信号进行驱动(上升沿), 通过 TMS 信号对 TAP 的状态进行选择转换的。其中, 在 Capture-IR 状态下, 一个特定的逻辑序列被加载到指令寄存器中; 在 Shift-IR 状态下, 可以将一条特定的指令送到指令寄存器中; 在 Upd

ate—IR 状态下，刚才输入到指令寄存器中的指令将用来更新指令寄存器。最后，系统又回到 Run—Test / Idle 状态，指令生效，完成对指令寄存器的访问。当系统又返回到 Run—Test / Idle 状态后，根据前面指令寄存器的内容选定所需要的数据寄存器，开始执行对数据寄存器的工作。其基本原理与指令寄存器的访问完全相同，依次为 select—DR—Scan、Capture—DR、Shift—D、Exitl — DR、Update—DR，最后回到 Run-Test / Idle 状态。通过 TDI 和 TDO，就可以将新的数据加载到数据寄存器中。经过一个周期后，就可以捕获数据寄存器中的数据，完成对与数据寄存器的每个寄存器单元相连的芯片引脚的数据更新，也完成了对数据寄存器的访问。

目前，市场上的 JTAG 接口有 14 引脚和 20 引脚两种。其中，以 20 引脚为主流标准，但也有少数的目标板采用 14 引脚。经过简单的信号转换后，可以将它们通用。

## 5. 产品原理

下面的接口图是 JTAG 官方的定义其中 20PIN 的分为带 RTCK 和不带 RTCK，我们的转接板按包含 RTCK 设计，这样兼容性更好。

转接板中 10PIN 接口支持 MINI2440、TQ2440 等流行的开发板。

转接板中 20PIN 的接口也兼容 ARM-JTAG Wiggler，参见下一章介绍。

VREF	p	1	2	nc	-
TRST_N	i	3	4	p	GND
TDI	i	5	6	p	GND
TMS	i	7	8	p	GND
TCK	i	9	10	p	GND
-	nc	11	12	p	GND
TDO	o	13	14	p	GND
SRST_N	od	15	16	p	GND
-	nc	17	18	p	GND
-	nc	19	20	p	GND

**Table 8:** ARM 20-pin connector (target board)

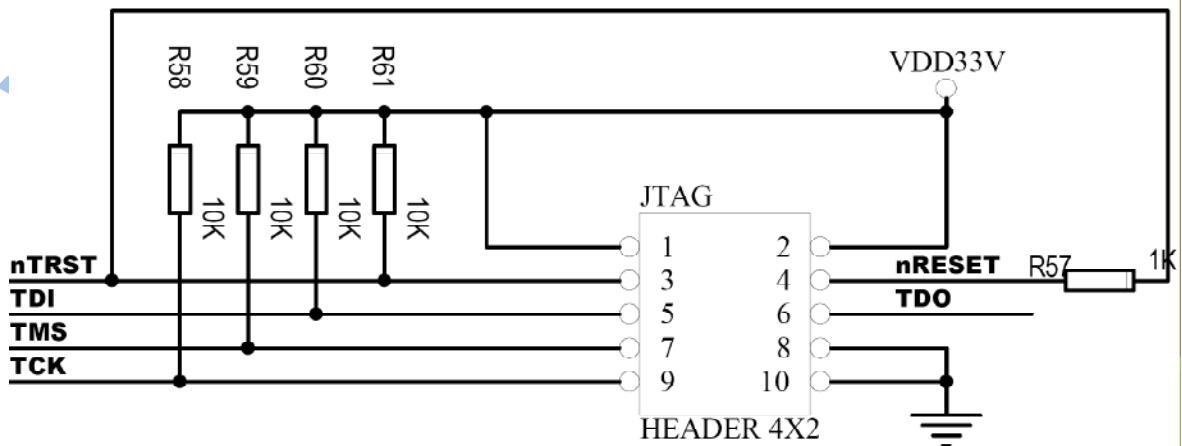


VREF	p	1	2	nc	-
TRST_N	i	3	4	p	GND
TDI	i	5	6	p	GND
TMS	i	7	8	p	GND
TCK	i	9	10	p	GND
RTCK	o	11	12	p	GND
TDO	o	13	14	p	GND
SRST_N	od	15	16	p	GND
-	nc	17	18	p	GND
-	nc	19	20	p	GND

ARM 20-pin connector with RTCK feature

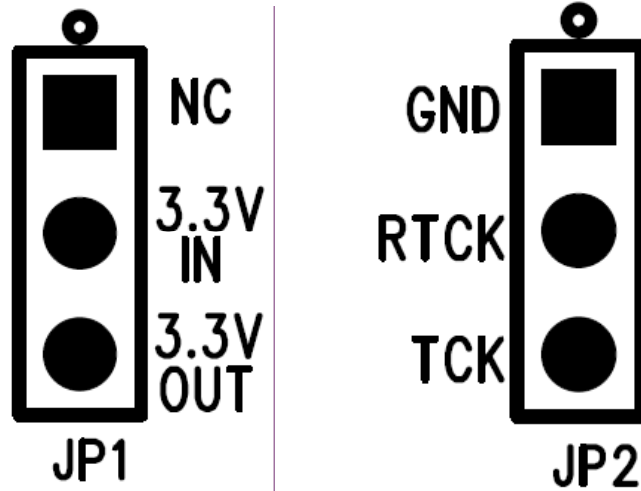
VREF	p	1	2	p	GND
TRST_N	i	3	4	p	GND
TDI	i	5	6	p	GND
TMS	i	7	8	p	GND
TCK	i	9	10	p	GND
TDO	o	11	12	od	SRST_N
VREF	p	13	14	p	GND

Table 7: ARM 14-pin connector (target board)



## 6. 跳线使用说明

Jlink 转接板上有两个跳线，JP1 和 JP2，如下图所示。



JP1 跳线	1 管脚	2 管脚	3 管脚
电源输出	NC	3.3V IN	3.3V OUT
	悬空	连接到 J2、J3、J4、J5、J6 的 2 脚，可以为目标板供电	连接到 J1 的 2 脚，Jlink 输出 3.3V 电源

当 JP1 跳线跳到“3.3V OUT”侧，则可以为目标板供电；当 JP1 跳线跳到“NC”侧，则目标板需要自己提供电源。

### 注意事项：

- 当 JP1 跳线跳到“3.3V OUT”侧，需要 JLINK 支持对外供电才能实现为目标板供电，ARMJISHU 的 JLINK V8 内部由一个跳线可以选择是否对外供电。
- 当 JP1 跳线和 JLINK V8 内部跳线同时选择对外供电时，则目标板可以从 JLINK 的 2 脚取得 3.3V 电源，但此时如果目标板自己也提供电源，则“电源冲突”，产生不可预料的结果。

JP2 跳线	1 管脚	2 管脚	3 管脚
时钟选择	GND	RTCK	TCK
	信号地	输入到 JLINK 的时钟，一般用不到，为了降低 EMC 和降低功耗，一般下拉到地	JLINK 的输出时钟，如果目标 CPU 需要 RTCK 信号，则可以将 TCK 连接到 RTCK

RTCK 不是 JTAG 的必须信号, 该信号一般不使用, 为了降低 EMC 和降低功耗, 一般下拉到地。但要注意如果目标板已经将 RTCK 连接到 TCK, 则不能在转接板上将 RTCK 和 GND 连接, 否则会导致 JLINK 工作不正常, 所以建议将 JP2 跳线悬空。

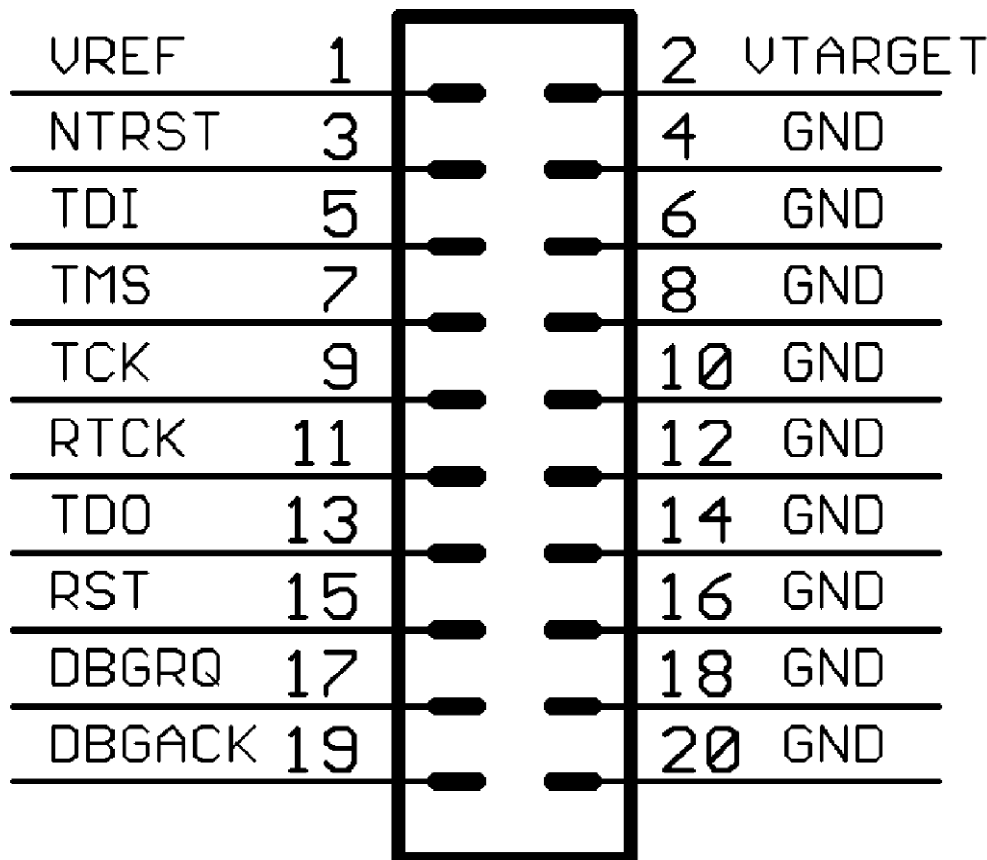
RTCK 信号为输入到 JLINK 的时钟, TCK 信号为 JLINK 的输出时钟, 某些 CPU 会要求 RTCK 信号, 在这种情况下可以 TCK 连接到 RTCK 作为时钟, 但这种情况不常见。

### 7. ARM-JTAG Wiggler 兼容设计

20PIN 的 ARM-JTAG Wiggler 与 20PIN ARM-JTAG 的区别在于第 17 脚和第 19 脚。

### JTAG connector layout:

### ARM\_JTAG



(PCB TOP VIEW)

## 8. 相关信号定义

PIN.1 (VTREF) Target voltage sense. Used to indicate the target's operating voltage to the debug tool.

PIN.2 (VTARGET) Target voltage. May be used to supply power to the debug tool.

PIN.3 (nTRST) JTAG TAP reset, this signal should be pulled up to Vcc in target board.

PIN4, 6, 8, 10, 12, 14, 16, 18, 20 Ground. The Gnd-Signal-Gnd-Signal strategy implemented on the 20-way connection scheme improves noise immunity on the target connect cable.

PIN.5 (TDI) JTAG serial data in, should be pulled up to Vcc on target board.

PIN.7 (TMS) JTAG TAP Mode Select, should be pulled up to Vcc on target board.

PIN.9 (TCK) JTAG clock.

PIN.11 (RTCK) JTAG retimed clock. Implemented on certain ASIC ARM implementations the host ASIC may need to synchronize external inputs (such as JTAG inputs) with its own internal clock.

PIN.13 (TDO) JTAG serial data out.

PIN.15 (nSRST) Target system reset.

PIN.17 (DBGQR) Asynchronous debug request. DBGQR allows an external signal to force the ARM core into debug mode, should be pull down to GND.

PIN.19 (DBGACK) Debug acknowledge. The ARM core acknowledges debug-mode in response to a DBGQR input.