

SPMC75 系列单片机  
SPMC75F2313A

---

性能简介

**V1.0 2005-6-23**

# 版权声明

---

凌阳科技股份有限公司保留对此文件修改之权利且不另行通知。凌阳科技股份有限公司所提供之信息相信为正确且可靠之信息，但并不保证本文件中绝无错误。请于向凌阳科技股份有限公司提出订单前，自行确定所使用之相关技术文件及规格为最新之版本。若因贵公司使用本公司之文件或产品，而涉及第三人之专利或著作权等智能财产权之应用及配合时，则应由贵公司负责取得同意及授权，本公司仅单纯贩售产品，上述关于同意及授权，非属本公司应为保证之责任。又未经凌阳科技股份有限公司之正式书面许可，本公司之所有产品不得使用于医疗器材，维持生命系统及飞航等相关设备。

# 目 录

目 录	3
第 1 章 概述	1
1.1 芯片特性	2
1.2 芯片管脚	3
第 2 章 功能模块	5
2.1 时钟发生模块	5
2.1.1 RC 振荡器	5
2.1.2 外部时钟输入	5
2.1.3 晶体振荡器	6
2.1.4 时钟监控	6
2.2 复位	6
2.2.1 概述	6
2.2.2 复位方式	6
2.3 CPU	8
2.4 中断	9
2.5 运行模式和唤醒功能	10
2.5.1 运行模式	10
2.5.2 唤醒功能	10
2.6 通用 I/O 口	11
2.7 MCP 定时器	12
2.7.1 MCP 定时器的特性	13
2.7.2 MCP 定时器计数操作方式	13
2.7.3 外部错误保护和过载保护	15
2.8 PDC 定时器	16
2.8.1 概述	16
2.8.2 PDC 定时器的特性	17
2.8.3 PDC 定时器操作模式	17
2.9 TPM 定时器	21
2.10 CMT 定时器	22
2.11 SPI 同步串行接口	22
2.11.1 概述	22
2.11.2 SPI 控制引脚配置	23
2.11.3 SPI 运行模式	23
2.12 UART 异步串行接口	25
2.12.1 概述	25
2.12.2 应用电路	25
2.12.3 UART 控制引脚配置	26
2.13 ADC 模块	26
2.14 看门狗	27
2.15 在线仿真电路 ICE 接口	27
第 3 章 电气特性	28



## 第1章 概述

SPMC75F2313A 是由凌阳科技公司设计开发的 16 位微控制器芯片，其核心微处理器  $\mu'nSP^{\text{TM}}$ （发音为 micro-n-SP）集成了多功能 I/O 口、同步和异步串行口、ADC、定时计数器等功能模块，以及多功能捕获比较模块、BLDC 电机驱动专用位置检测接口、两相增量编码器接口、能产生各种电机驱动波形的 PWM 发生器等特殊硬件模块。利用这些硬件模块支持，SPMC75F2313A 可以完成诸如家电用变频驱动器、标准工业变频驱动器、多环伺服驱动等复杂应用。其内部结构如图 1-1 所示。

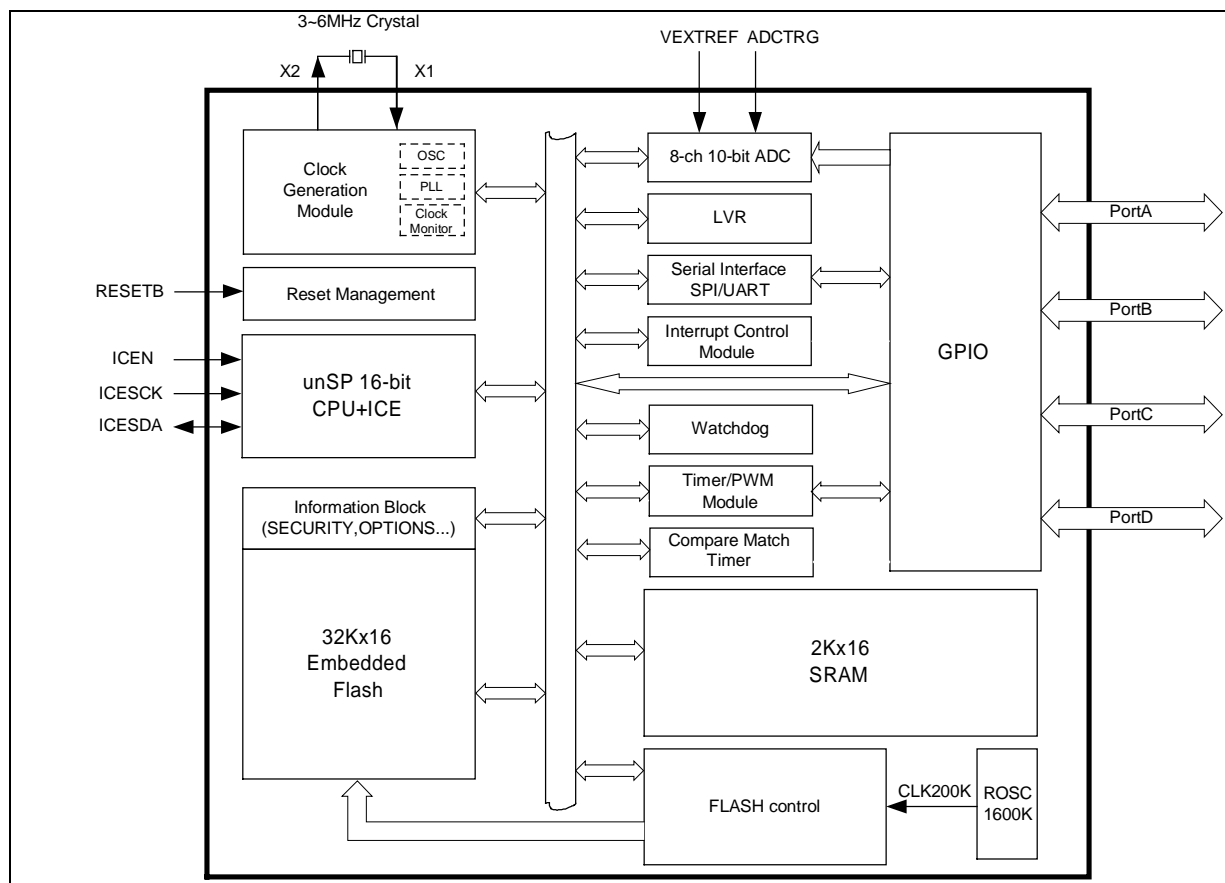


图 1-1 SPMC75F2313A 结构框图



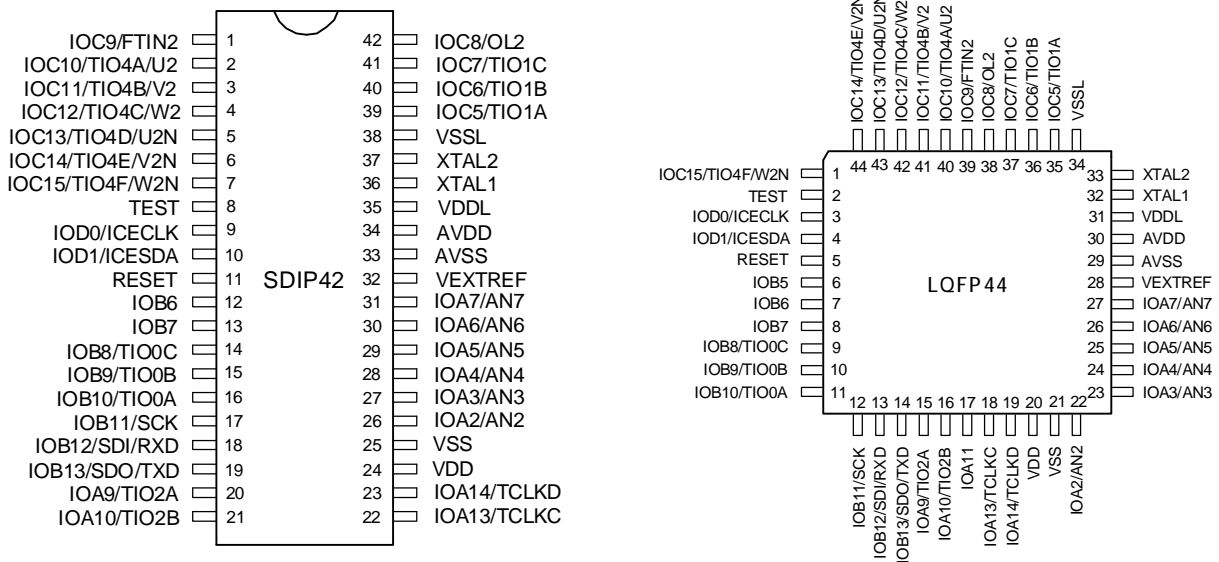
## 1.1 芯片特性

- n** 高性能的 16 位 CPU 内核
  - 凌阳 16 位 u' nSP 处理器 (ISA 1.2)
  - 2 种低功耗模式: Wait/Standby
  - 片内低电压检测电路
  - 片内基于锁相环的时钟发生模块
  - 最高系统频率 Fck: 24MHz
- n** 片内存储器
  - 32K Words (32K×16bit) Flash
  - 2K Words (2K×16bit) SRAM
- n** 工作温度: -40 °C~85 °C
- n** 10 位 ADC 模块
  - 可编程转换速率, 最大转换速率 100Ksps
  - 6 个外部输入通道
  - 可与 PDC 或 MCP 等定时器联动, 实现电机控制中的电参量测量
- n** 串行通讯接口
  - 通用异步串行通讯接口 (UART)
  - 标准外围接口 (SPI)
- n** 33 (LQFP44) /31 (SDIP42) 个通用输入输出脚
- n** 可编程看门狗定时器
- n** 内嵌在线仿真电路 ICE 接口: 可实现在线仿真、调试和下载
- n** PDC 定时器
  - 两个 PDC 定时器: PDC0 和 PDC1
  - 可同时处理三路捕获输入
  - 可产生三路 PWM 输出 (中心对称或边沿方式)
  - BLDC 驱动的专用位置侦测接口
  - 两相增量码盘接口, 支持四种工作模式, 拥有四倍频电路
  - 16 位定时/计数器功能
- n** MCP 定时器
  - 一个 MCP 定时器: MCP4
  - 能产生三相六路可编程的 PWM 波形, 如三相 SPWM、SVPWM 等
  - 提供 PWM 占空比值同步载入逻辑
  - 可选择与 PDC 的位置侦测变化同步
  - 可编程的硬件死区插入功能, 死区时间可设定
  - 可编程的错误和过载保护逻辑
  - 16 位定时/计数器功能
- n** TPM 定时器
  - 一个 TPM 定时器: TPM2
  - 可同时处理二路捕获输入
  - 可产生二路 PWM 输出 (中心对称或边沿方式)
  - 16 位定时/计数器功能
- n** 两个 CMT 定时器
  - 通用 16 位定时/计数器



## 1.2 芯片管脚

### 1、芯片管脚图



### 2、管脚描述

说明：I = 输入，O = 输出，P = 电源 PL = 下拉，PH = 上拉

管脚名称	管脚号		类型	描述
	LQFP44	SDIP42		
TEST	2	8	I (PL)	仿真模式使能 0V : 普通模式 3.3V : 在线仿真/编程模式
IOD0/ICECLK	3	9	I/O	IOD0/在线仿真时钟输入(3.3V IO)
IOD1/ICESDA	4	10	I/O	IOD1/在线仿真的地址/数据复用脚
RESET	5	11	I (PH)	外部复位脚
IOB5/TIO3A/U1	6	—	I/O	IOB5/MCP3 的输出 A 或电机驱动 U1 相输出
IOB6/FTIN1	7	12	I/O	IOB6/外部故障保护输入脚 1
IOB7/OL1	8	13	I/O	IOB7/过载保护输入脚 1
IOB8/TIO0C	9	14	I/O	IOB8 或定时器 PDC0 输入/输出 C
IOB9/TIO0B	10	15	I/O	IOB9 或定时器 PDC0 输入/输出 B
IOB10/TIO0A	11	16	I/O	IOB10 或定时器 PDC0 输入/输出 A
IOB11/SCK	12	17	I/O	IOB11/SPI 时钟输入
IOB12/SDI/RXD1	13	18	I/O	IOB12/SPI 数据输入/异步通讯串行数据接收口 1
IOB13/SDO/TXD1	14	19	I/O	IOB13/SPI 数据输出/异步通讯串行数据发送口 1
IOA9/TIO2A	15	20	I/O	IOA9/定时器 TPM2 输入/输出 A
IOA10/TIO2B	16	21	I/O	IOA10/定时器 TPM2 输入/输出 B
IOA11/TCLKA	17	—	I/O	IOA11/外部时钟 A 输入脚
IOA13/TCLKC	18	22	I/O	IOA13/外部时钟 C 输入
IOA14/TCLKD	19	23	I/O	IOA14 外部时钟 D 输入



管脚名称	管脚号		类型	描述
	LQFP44	SDIP42		
VDD	20	24	I	电源端
VSS	21	25	I	接地端
IOA2/AN2	22	26	I/O	IOA2 或模/数转换通道 2 的模拟量输入端
IOA3/AN3	23	27	I/O	IOA3 或模/数转换通道 3 的模拟量输入端
IOA4/AN4	24	28	I/O	IOA4 或模/数转换通道 4 的模拟量输入端
IOA5/AN5	25	29	I/O	IOA5 或模/数转换通道 5 的模拟量输入端
IOA6/AN6	26	30	I/O	IOA6 或模/数转换通道 6 的模拟量输入端
IOA7/AN7	27	31	I/O	IOA7 或模/数转换通道 7 的模拟量输入端
VEXTREF	28	32	I	模/数转换参考电源
AVSS	29	33	I	模拟地
AVDD	30	34	I	模拟电源
VDDL	31	35	0	内核电源滤波, 外接 10 $\mu$ F-16V 电容
XTAL1	32	36	I	外部时钟输入方式时悬空 晶体方式 (3~6MHz) 时接晶体的一个脚
XTAL2	33	37	0	外部时钟输入方式时的时钟输入脚 晶体方式 (3~6MHz) 时接晶体的一个脚
VSSL	34	38	I	内核地
IOC5/TI01A	35	39	I/O	IOC5/PDC 定时器 1 输入/输出 A
IOC6/TI01B	36	40	I/O	IOC6/定时器 TPM2 通道 1 输入/输出 B
IOC7/TI01C	37	41	I/O	IOC7/定时器 TPM2 通道 1 输入/输出 C
IOC8/OL2	38	42	I/O	IOC8/过载保护输入脚 2
IOC9/FTIN2	39	1	I/O	IOC9/外部故障保护输入脚 2
IOC10/TI04A/U2	40	2	I/O	IOC10/MCP4 输出 A 或电机驱动 U2 相输出
IOC11/TI04B/V2	41	3	I/O	IOC11/MCP4 输出 B 或电机驱动 V2 相输出
IOC12/TI04C/W2	42	4	I/O	IOC12/MCP4 输出 C 或电机驱动 W2 相输出
IOC13/TI04D/U2N	43	5	I/O	IOC13/MCP4 输出 D 或电机驱动 U2N 相输出
IOC14/TI04E/V2N	44	6	I/O	IOC14/MCP4 输出 E 或电机驱动 V2N 相输出
IOC15/TI04F/W2N	1	7	I/O	IOC15/MCP4 输出 F 或电机驱动 W2N 相输出







### 2.1.3 晶体振荡器

此方式使用本地晶体振荡器作为锁相环时钟输入，经锁相环四倍频后的时钟信号为系统时钟。因晶体振荡器和锁相环的稳定需要一定的时间，因此，当上电、系统复位或从 Standby 模式唤醒时，CPU 将等待 82ms(16384 个辅助时钟周期)，以等待振荡器和锁相环稳定。芯片接晶体振荡器时如图 2-3 所示。在这种方式下，当晶体异常停振时，PLL 模块会提供 1MHz 的时钟供系统使用。

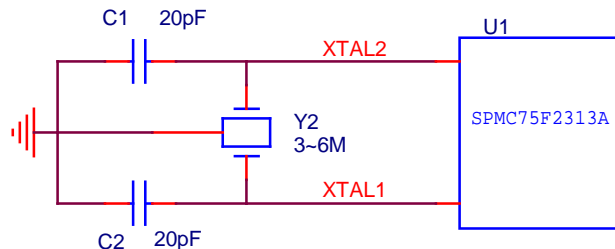


图 2-3 锁相环方式

### 2.1.4 时钟监控

时钟监控模块用来监测晶体振荡器和系统时钟是否正常，如果监测到晶体停振或是系统时钟无效，则会将 6 路 PWM (T104A~F) 输出置为高阻态（这可以避免在电机驱动应用中，时钟异常对驱动电路造成的损坏），同时会产生相应的中断通知 CPU。

## 2.2 复位

### 2.2.1 概述

SPMC75F2313A 提供了六种复位方式，芯片有对应的状态位来标识这六种复位是否发生。

- n 上电复位(POR)
- n 外部复位 (RESETB)
- n 低电压复位(LVR)
- n 看门狗复位(WDTR)
- n 非法地址复位(IAR)
- n 非法指令复位(IIS)
  - CPU 得到非法指令译码

### 2.2.2 复位方式

#### ◆ 上电复位(POR)

当电源引脚 VDD 上的电源上升斜率大于 0.5 V 每微秒并且上升到高电平门限值时，上电复位回路开始工作。在 SPMC75F2313A 中，电源启动计数器将从复位之时起计数 16384 个辅助时钟周期。复位周期过后，所有的寄存器重新初始化。

#### ◆ 外部复位

SPMC75F2313A 提供了外部复位管脚 RESET，可进行强制复位。如图 2-4 所示，RESET 连接在一个阻容电路中，管脚为低有效，当其电压降至  $0.3 \times VDD$  以下时，使系统强制复位。如果电容再充电的电压大于高电平门限值，系统从复位之时起持续 16384 个辅助时钟周期后完成整个复位功能。

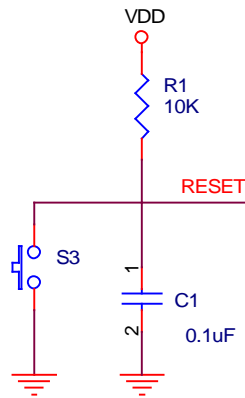


图 2-4 外部复位电路

#### ◆ 低电压复位

低电压复位功能用于进一步提高系统的可靠性。当供电电压降至 4.09V 以下时，就会发生 CPU 及外设复位，当供电电压恢复至 4.19V 以上后，系统恢复状态。图 2-4 描述了典型的低电压复位时序。

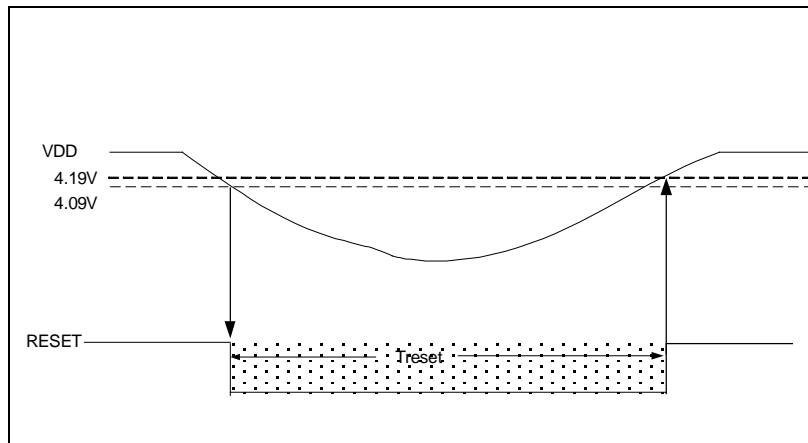


图 2-4 低电压复位时序

#### ◆ 看门狗复位(WDTR)

如果在设定的时间内没有清除看门狗，芯片内看门狗电路就会使系统进入复位状态，这就保证了微控制器不会持续在非正常状态下工作。看门狗溢出时间可编程设定，看门狗复位功能在仿真模式下自动被禁止。

#### ◆ 非法地址复位(IAR)

SPMC75F2313A 芯片提供了非法地址复位来保证系统不会访问非法的地址，一旦访问了非法地址，CPU 将会立即复位。非法的地址范围为 \$0800~\$6FFF，\$7500~\$7FFF，当指令访问了这些区域系统会立即产生信号复位 CPU。向地址 \$700C 或 \$700E 写入了非法数值，也会产生信号导致 CPU 复位。

#### ◆ 非法指令复位(IIS)

CPU 得到非法指令译码，CPU 会复位。



SPMC75F2313A 芯片的不同复位方式复位情况如下：

复位源	CPU	外设
外部复位	√	√
上电复位	√	√
看门狗复位	√	可选
低电压复位	√	√
非法地址复位	√	-
非法指令复位	√	-

注：Flash 控制器和其他的模块是由上电复位和外部复位来复位的，这样复位信号会一直持续到上电复位定时器溢出为止。

### 2.3 CPU

SPMC75F2313A 的 CPU 内核为凌阳科技的 u' nSP 内核。u' nSP 是一种高效的 16 位 RISC 内核，具有 4M Words 的寻址空间，支持多种寻址方式；支持乘法、乘法累加、32/16 位除法、FIR 等高性能运算；支持两种中断模式；内核拥有 2 个通用寄存器组，用户可以通过专用的指令选择当前的工作寄存器组。可以实现如三相的 SPWM、空间向量变换（SVPWM 合成）等算法。其结构如图 2-1 所示：

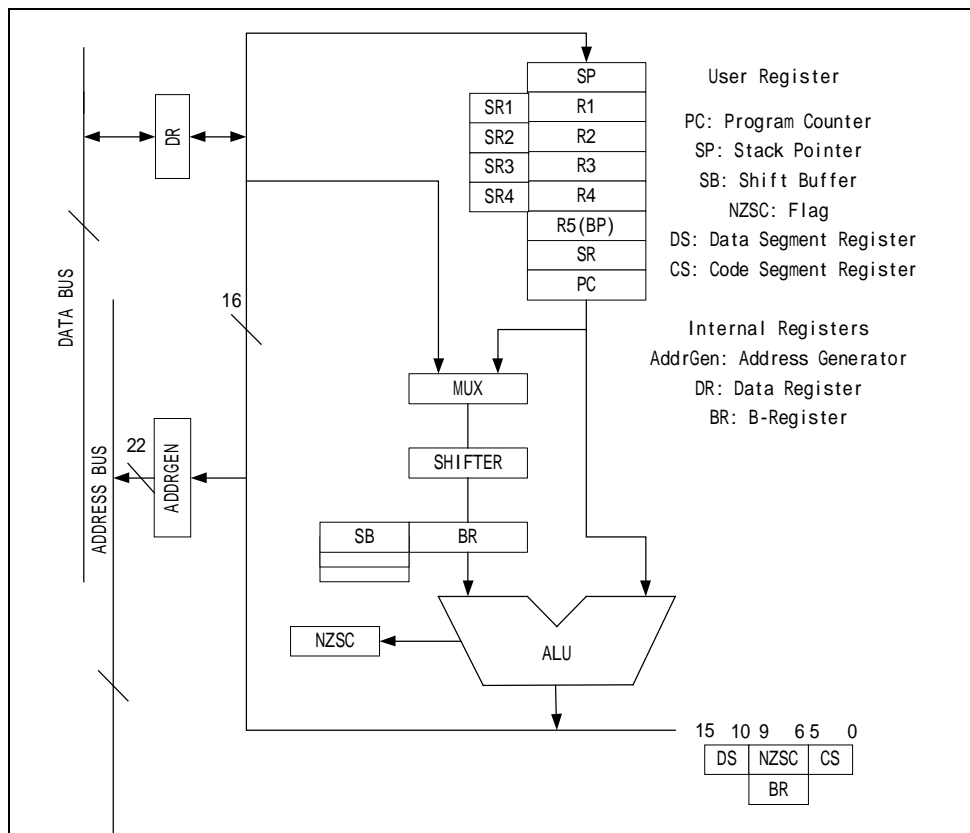


图 2-1 CPU 结构图



### CPU 特性:

- n 16 位数据总线/22 位地址总线
  - 4M 字寻址空间
  - 64 页, 每页 64K 字
- n 13 个 16 位寄存器
  - 5 个通用寄存器(R1-R5)
  - 4 个二级寄存器(SR1-SR4)
  - 3 个系统寄存器(SP,SR,PC)
  - 标志寄存器(FR)
- n 10 个中断向量
  - 1 个快速中断向量
  - 8 个一般中断向量
  - 1 个软件中断向量
  - 支持中断嵌套模式
- n 6 种寻址方式
  - 立即数寻址(I6/I16)
  - 直接寻址
  - 寄存器寻址
  - 寄存器间接寻址
  - 变址寻址
  - 多重间接寻址(入栈/出栈)
- n 16 \* 16 乘法与乘法累加(内积)操作
  - 三种乘法模式: 有符号数\*有符号数, 有符号数\*无符号数, 无符号数\*无符号数
  - 有 4 位内积保护位, 防止出现数据溢出
  - Integer/Fraction 模式
- n 32 位除以 16 位除法
- n 有效指令检测操作(EXP)
- n 位操作
  - 面向所有存储单元、寄存器的位测试/设置/清除/取反操作
- n 多重循环 16 位移位操作
  - 用两次移位指令实现 32 位移位操作
- n 利用 MR 寄存器执行长跳转指令
- n 利用 MR 寄存器执行长调用指令
- n 空操作
- n DS 段地址访问指令
- n CPU 内部标志访问指令

### 寻址方式:

#### n 立即数寻址(I6/I16)

操作数以立即数的形式出现, 立即数有两种: 6 位立即数(用 IM6 表示, 范围 0x00~0x3F)和 16 位立即数(用 IM16 表示, 范围 0x0000~0xFFFF)。例如: R1 = 0x1234, 是把 16 位立即数 0x1234 赋给寄存器 R1。

#### n 直接寻址

通过存储器地址来访问存储器中的数据, 例如: R1 = [0x30], 访问 0x30 单元的数据。

#### n 寄存器寻址

操作数在寄存器中, 例如: R1 = R2, 是把寄存器 R2 中的数据赋给寄存器 R1。

#### n 寄存器间接寻址

操作数的地址由寄存器给出, 例如: R1 = [BP], 是把由 BP 指向的内存单元的数据送寄存器 R1。

#### n 变址寻址

操作数的地址由基址和偏移量(6 位)共同给出, 例如: R1 = [BP+0x34]。

#### n 多重间接寻址(入栈/出栈)

用户可以将多个寄存器的值一次压入堆栈, 或从堆栈中弹出。例如: PUSH R1,R2 TO [SP]是将 R1、R2、R3 寄存器的值压入堆栈。

## 2.4 中断

SPMC75F2313A 的中断可分成 FIQ(快速中断请求)、IRQ(普通中断请求, IRQ0~IRQ7)和 BREAK(软件中断请求)三类。BREAK、FIQ、IRQ 之间的优先级为: BREAK > FIQ > IRQ0 > IRQ1 > IRQ2 > IRQ3 > IRQ4



> IRQ5 > IRQ6 > IRQ7。BREAK 和 FIQ 中断为高优先级中断，IRQ 中断服务程序的执行可被 FIQ 中断和 BREAK 中断打断，转而执行 FIQ 中断或 BREAK 中断服务程序。而 FIQ 中断服务程序的执行只能被 BREAK 中断打断。

IRQ 中断可以设置为 IRQ 嵌套模式。

(1) 如果 IRQNEST(IRQ 嵌套)模式关闭而且同时发生两个以上 IRQ 中断，IRQ 中断的优先级为 IRQ0>IRQ1>IRQ2>...>IRQ7。然而，如果先发生一个优先级较低的 IRQ，即使优先级较高的 IRQ 也不能中断已发生的 IRQ。例如：如果先发生 IRQ4，IRQ3 则不能中断 IRQ4。只有当两个 IRQ 并发时，才会按以上的优先级执行。

(2) 如果 IRQ 嵌套模式打开，则优先级较高的 IRQ 中断可以中断先发生的优先权较低的 IRQ 中断。例如：如果先发生 IRQ4，则 IRQ3 可以中断 IRQ4。

表 2-1 中给出了所有的 IRQ 中断，包括中断源、中断名称、IRQ 号。

表 2-1 中断源列表

中断名称	中断源
IRQ0	故障保护(FTINT2, OL2, 输出短路)、时钟监测(OSCFINT)
IRQ1	定时器 PDC0 (TPR, TGRA, TGRB, TGRC, PDR, 溢出, 下溢)
IRQ2	定时器 PDC1 (TPR, TGRA, TGRB, TGRC, PDR, 溢出, 下溢)
IRQ3	定时器 MCP4 (TPR, TGRD)
IRQ4	定时器 TPM 2 (TPR, TGRA, TGRB)
IRQ5	外部中断(EXINT0, EXINT1) [注 1]
IRQ6	串行通讯接口(UART, SPI)
IRQ7	IO 按键唤醒 模/数转换完成(ADCINT) 比较匹配定时器(CMTINT0, CMTINT1)

[注 1]: SPMC75F2313A 无外部中断, SPMC75F2413A 才具有外部中断。

## 2.5 运行模式和唤醒功能

### 2.5.1 运行模式

SPMC75F2313A 有标准模式、Wait 模式和 Standby 模式三种运行模式，相应功能如下：

#### 标准模式：

芯片在标准模式下运行耗电最大，所有的外设都可用。

#### Wait 模式：

Wait 模式下，只有 CPU 掉电停止工作以降低功耗。其他外设保持着先前的状态并且功能可用。

#### Standby 模式：

所有的模块都变为无效，此时功耗达到最小。

注意，如果定时器 MCP4 已经处于 PWM 输出模式下时，芯片无法进入 Wait 或 Standby 模式。

### 2.5.2 唤醒功能

Wait 模式和 Standby 模式为低功耗模式，进入低功耗模式后，需要唤醒事件将系统唤醒到标准模式继续执行。唤醒事件可以将 CPU 从 Wait 模式和 Standby 下唤醒。在 Wait 模式下，CPU 唤醒后将回到标准模式，继续执行后续的指令。而 Standby 模式下，CPU 在唤醒后复位并回到标准运行模式。SPMC75F2313A 一共有 28 个唤醒源，可以通过设置寄存器选项择一个或多个唤醒源。但请注意，Standby 模式只能由 IOA 上的键唤醒源唤醒。



### 唤醒源:

#### ◆ 定时器

- 定时器 PDC0: TPR\_0, TGRA\_0, TGRB\_0, TGRC\_0, 位置改变侦测、上溢、下溢
- 定时器 PDC1: TPR\_1, TGRA\_1, TGRB\_1, TGRC\_1, 位置改变侦测、上溢、下溢
- 定时器 TPM2: TPR\_2, TGRA\_2, TGRB\_2
- 定时器 MCP4: TPR\_4, TGRD\_4

#### ◆ 比较匹配定时器

- 定时器 0: CMT0 比较匹配
- 定时器 1: CMT1 比较匹配

#### ◆ IOA

- 键唤醒

#### ◆ 串行通讯接口

- UART 接收中断和发送中断
- SPI 接收中断和发送中断

## 2.6 通用 I/O 口

SPMC75F2313A 有 33 (LQFP44) /31 (SDIP42) 个通用 I/O 引脚, 分布在 IOA、IOB、IOC 和 IOD 四个 16 位端口上。每个 I/O 引脚都可通过软件编程设置为带上拉电阻/下拉电阻的输入状态、高阻悬浮输入状态、同相/反相的输出状态。为增加设备的灵活性和功能性, 四个 IO 端口中, 除 IOD 外, 其它几个 IO 端口上的 I/O 具有特殊功能扩展, 如 AD 模拟输入、串行通信、捕获输入、PWM 输出等。另外, IOA 的[14: 9]具有键唤醒功能。图 2-5 是 I/O 的结构图 (这里没有加入 I/O 引脚的复用功能)。

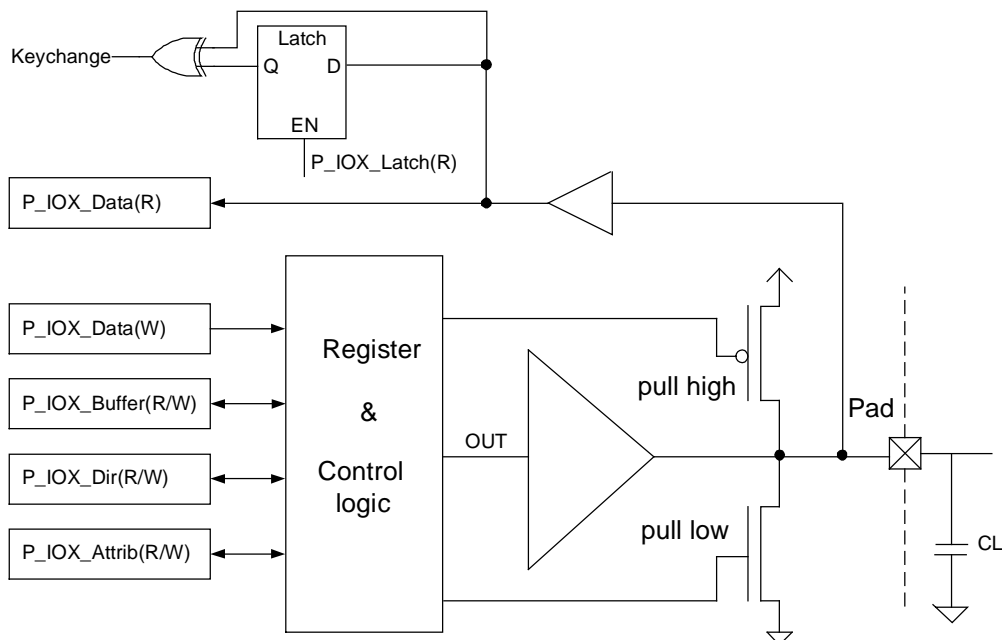


图 2-5 IO 结构图



通过 6 个控制寄存器来设置每个 I/O 端口：数据、缓冲器、方向、属性、锁存和特殊功能寄存器；而寄存器中的每一个位对应一个 I/O 口。寄存器的命名规则如下所示：

- 数据寄存器           à P\_I0x\_Data
- 缓冲寄存器           à P\_I0x\_Buffer
- 数据方向寄存器      à P\_I0x\_Dir
- 属性寄存器           à P\_I0x\_Attrib
- 锁存寄存器           à P\_IOA\_Latch
- 特殊功能寄存器      à P\_IOA\_SPE, P\_IOB\_SPE, P\_IOC\_SPE

表 2-2 简要给出了 I/O 的设置方法。

表 2-2 I/O 设置方法

方向 P_I0x_Dir	属性 P_I0x_Attrib	数据 P_I0x_Data	功能	唤醒	描述
0	0	0	下拉*	是**	带下拉电阻的输入
0	0	1	上拉	是**	带上拉电阻的输入
0	1	0	悬浮	是**	悬浮的输入
0	1	1	悬浮	否	悬浮的输入
1	0	-	反向输出	否	数据反向输出 (1) 向数据寄存器写入“0”，则在 I/O 端口输出“1” (2) 向数据寄存器写入“1”，则在 I/O 端口输出“0”
1	1	-	缓冲输出	否	缓冲输出，数据不反向

\* 默认为下拉输入。

\*\*只有端口 A[14:9]的状态配置为“000”，“001”和“010”时才有唤醒功能。

I/O 端口 A 支持唤醒功能，唤醒功能只有将 I/O 设置为上拉、下拉或悬浮输入才可以。为实现此功能，用户需要先读取锁存寄存器以锁存当前 I/O 端口的状态。

I/O 引脚的特殊功能可以通过特殊功能寄存器 P\_IOA\_SPE、P\_IOB\_SPE、P\_IOC\_SPE 来使能。

## 2.7 MCP 定时器

SPMC75F2313A 集成一个 MCP (Motor Control PWM) 定时器——MCP4，属于增强型 16 位定时/计数器，具有可编程的波形输出控制模块（可输出三相六路 PWM 波形）、专有的硬件死区插入控制、外部驱动出错和过载保护逻辑。MCP4 可与定时器 PDC1 联合以完成无刷直流电机和交流感应电机应用中的速度反馈环控制。MCP 定时器的整体框图如图 2-6 所示。



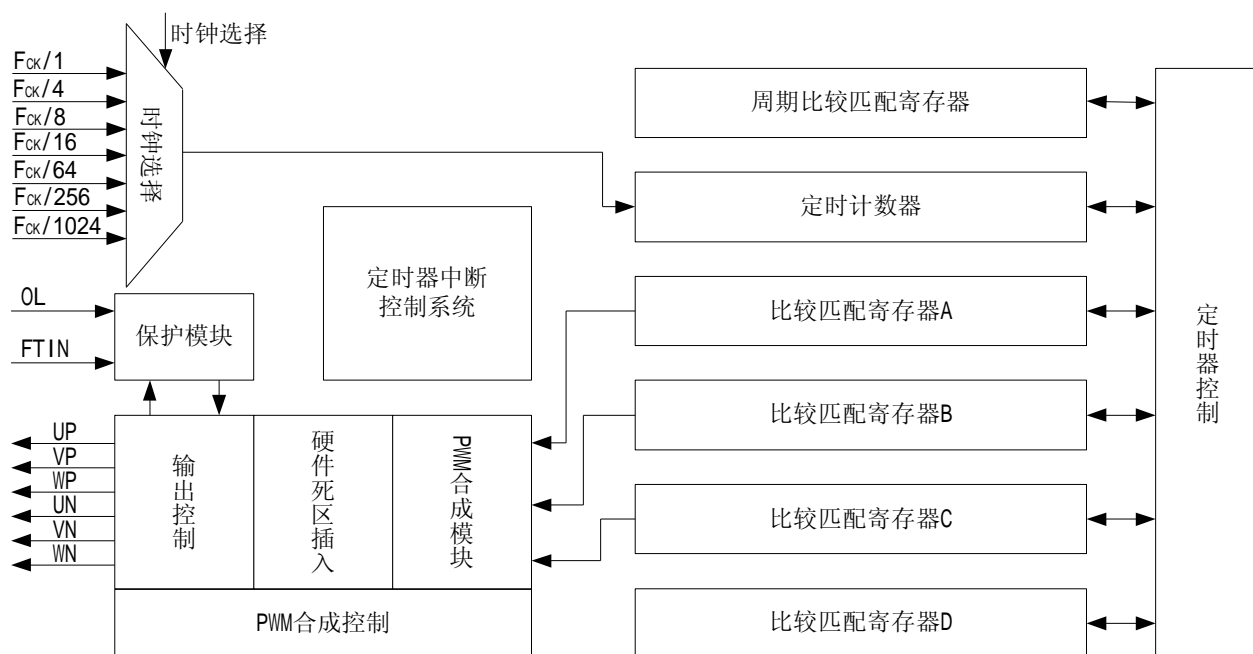


图 2-6 MCP 定时器结构框图

### 2.7.1 MCP 定时器的特性

- q 能产生三相六路可编程的PWM波形
- q 提供PWM占空比值同步载入逻辑，使多相PWM占空比值可以同步完整载入，防止因载入不同步带来的问题
- q 可编程的时钟源：6个内部时钟(Fck/1, Fck/4, Fck/16, Fck/64, Fck/256, Fck/1024)
- q 可编程的定时器操作模式，包括标准定时/计数器工作模式和PWM发生工作模式
- q 5个中断源，包括定时周期比较匹配中断、TGR寄存器比较匹配中断、外部错误输入中断、外部过载输入中断、PWM输出短路保护中断
- q 可选择与PDC位置检测变化同步
- q 比较匹配定时器周期初始值可任意设定
- q 可编程的硬件死区插入功能，以方便功率桥的驱动
- q 可编程的错误保护逻辑，在外部驱动错误（由外部提供出错信号）或过载时提供实时的硬件保护

MCP 定时器是电机驱动专用定时器，它可以产生电机驱动所需的各种信号波形，如普通 PWM、三相 SPWM、SVPWM 或 BLDC 驱动所需的 PWM 波形等。同时，专用的硬件死区插入，完备的出错、过载保护，这此功能都为电机驱动提供了极大的方便。

### 2.7.2 MCP 定时器计数操作方式

MCP4 有以下 4 种计数操作模式：

- q 标准操作(标准递增计数)
- q 边沿 PWM 发生模式(连续递增计数，PWM 输出模式)
- q 中心对称 PWM 发生模式(递增/递减计数，PWM 输出模式)
- q 互补 PWM 模式（可选边沿或中心对称 PWM 发生方式，带死区时间插入控制）

### 标准递增计数

此模式下，定时器从 0x0000 开始递增计数，直到与周期寄存器设置值相等为止，计数周期值可以是 0x0000~0xFFFF 之间的任意值。计数时钟源可以选取 6 个内部时钟 ( $F_{CK}/1$ ,  $F_{CK}/4$ ,  $F_{CK}/16$ ,  $F_{CK}/64$ ,  $F_{CK}/256$ ,  $F_{CK}/1024$ ) 的其中之一。当计数值与周期定时寄存器的值相匹配时，如果周期匹配中断使能则会发生周期匹配中断请求。图 2-7 所示为定时器 MCP4 的标准递增计数模式示意图。

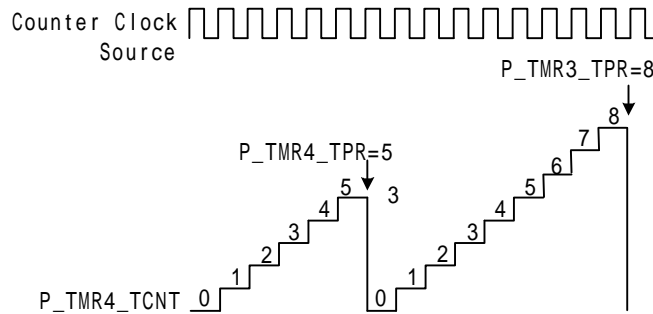


图 2-7 标准递增计数模式示意图

### 边沿 PWM 发生模式

此模式下，定时器从 0x0000 开始递增计数，直到与周期寄存器设置值相等为止，计数周期值可以是 0x0000~0xFFFF 之间的任意值。计数时钟源可以选取 6 个内部时钟 ( $F_{CK}/1$ ,  $F_{CK}/4$ ,  $F_{CK}/16$ ,  $F_{CK}/64$ ,  $F_{CK}/256$ ,  $F_{CK}/1024$ ) 的其中之一。当计数值与周期定时寄存器的值相匹配时，如果周期匹配中断使能则会发生周期匹配中断请求。同时，这种模式下可以通过专用寄存器去设置 PWM 的占空比和输出模式。图 2-8 所示为定时器 4 边沿 PWM 发生模式示意图。

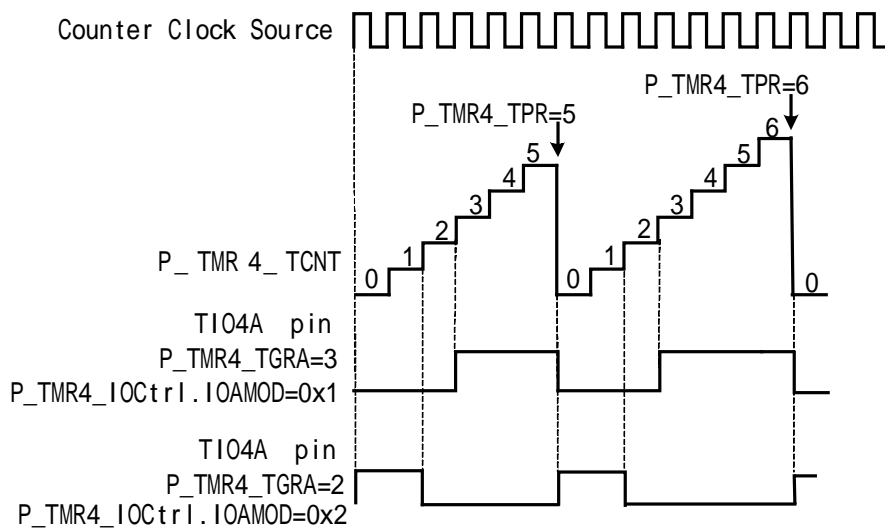


图 2-8 边沿 PWM 发生模式示意图

### 中心对称 PWM 发生模式

中心对称 PWM 发生模式与边沿 PWM 发生模式基本相同，唯一不同的是：定时器周期寄存器定义了整个计数过程的中间过渡点，计数过程中先递增，当达到定时周期寄存器设定值后开始递减。MCP 定时器的周期是周期寄存器设置的两倍。同时，在递增和递减两个过程中均会发生比较匹配事件。图 2-9 所示为定时器中心对称 PWM 发生模式示意图。

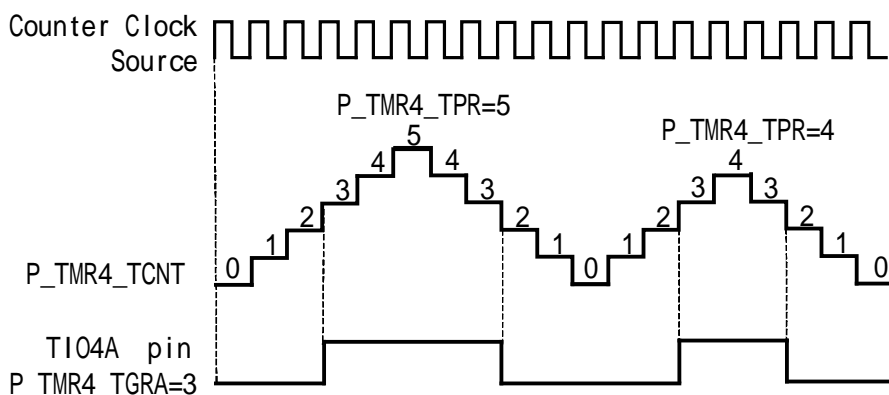


图 2-9 中心对称 PWM 发生模式示意图

### 互补 PWM 模式与死区时间插入

互补 PWM 模式下，定时器工作状态与前面两种 PWM 并无太大的区别，只是在输出控制中多了反向输出和死区时间插入。在互补 PWM 模式下，每对 PWM 补偿通道都可以用来驱动功率管的高端和低端。每对 PWM 信号逻辑是完全相反的，但由于实际的功率器件开/关时间并非完全相等，为了避免 PWM 在有效时间内高/低重叠，互补模式的 PWM 必须插入死区保护时间。图 2-10 所示为定时器 4 中心对称互补模式 PWM 插入死区保护时间的示意图。

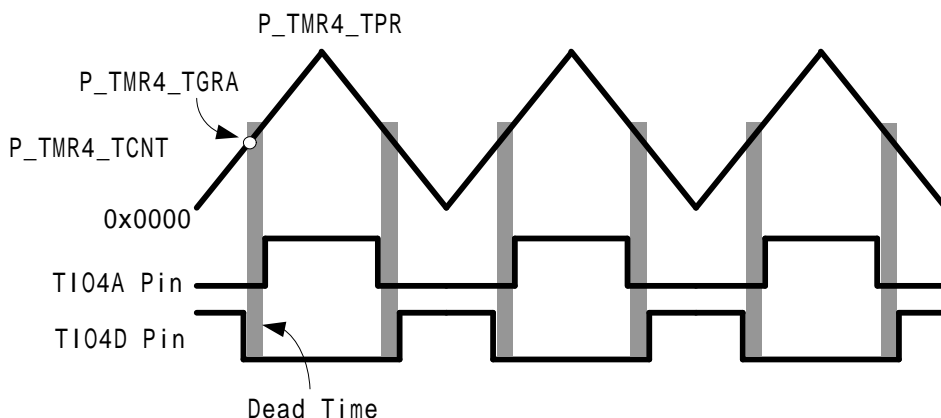


图 2-10 中心对称互补模式 PWM 的死区插入示意图（高有效）

### 2.7.3 外部错误保护和过载保护

#### 外部错误保护

外部错误保护是通过检测外部错误输入脚 FTINT2 的输入信号实现的。当 FTINT2 脚出现低电平，且宽度达到设定值后，内部电路会使 MCP4 的所有 PWM 输出处于高阻态，以保护系统，同时申请中断。

#### 过载保护

过载保护是在互补 PWM 发生模式下，通过内部逻辑随时检测互补输出的两个引脚的电平，如果同时输出有效电平达到一个系统时钟周期以上，则会使 MCP4 输出的所有 PWM 处于高阻态，以保护系统，同时申请中断。表 2-3 和表 2-4 描述了 POLP 位和 OLMD 位的不同设置对应的发生过载保护的不同状态。



表 2-3 过载保护状态 (POLP = 1)

OLMD		T104A~T104F 相位输出状态	过载保护中断发生状态
0	0	无禁止 (相位正常输出)	不发生中断
0	1	禁止所有相位输出	发生中断
1	0	禁止 PWM 相位输出	发生中断
1	1	(1) 当检测到上相的任意两相为高电平则禁止所有下相 PWM。 (2) 当检测到下相的任意两相为高电平则禁止所有上相 PWM。 (3) 当发生过载时, 但上相的任意两相或下相的任意两相不是同时为高电平, 则不会禁止相位, PWM 正常输出。	发生过载, 同时检测到上相的任意两相或下相的任意两相为高电平则发生中断, 否则不发生中断

表 2-4 过载保护状态 (POLP = 0)

OLMD		T104A~T104F 相位输出状态	过载保护中断发生状态
0	0	无禁止 (相位正常输出)	不发生中断
0	1	禁止所有相位输出	发生中断
1	0	禁止 PWM 相位输出	发生中断
1	1	(1) 当检测到上相的任意两相为低电平则禁止所有下相 PWM。 (2) 当检测到下相的任意两相为低电平则禁止所有上相 PWM。 (3) 当发生过载时, 但上相的任意两相或下相的任意两相不是同时为低电平, 则不会禁止相位, PWM 正常输出。	发生过载, 同时检测到上相的任意两相或下相的任意两相为低电平则发生中断, 否则不发生中断

## 2.8 PDC 定时器

### 2.8.1 概述

SPMC75F2313A 有两个 PDC (Phase Detection Control) 定时器——PDC0 和 PDC1, 它们属于增强型的 16 位定时/计数器。PDC1 定时器具有三个独立的捕获比较模块, 可实现三路捕获输入, 或可产生三路 PWM 波形, 或作为无刷直流电机位置传感输入接口 (仅 PDC1) 或两相增量编码器输入接口 (仅 PDC1)。因此, PDC 定时器非常适合于电机驱动应用中的速度、角位移等参量的测量。

图 2-11 是 PDC 定时器的整体框图。

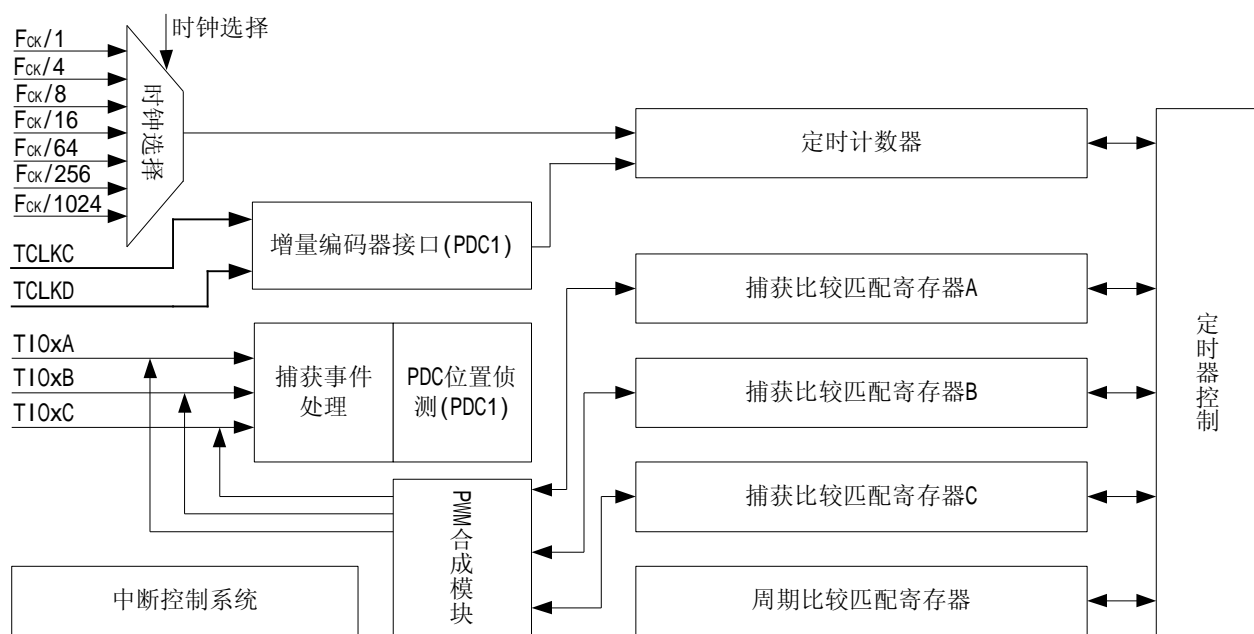


图 2-11 PDC 定时器功能示意框图

### 2.8.2 PDC 定时器的特性

- q 能够处理3路捕获信号输入（如BLDC电机的霍尔信号），或输出3路PWM波形。
- q 可编程的时钟源：6个内部时钟( $F_{ck}/1$ ,  $F_{ck}/4$ ,  $F_{ck}/16$ ,  $F_{ck}/64$ ,  $F_{ck}/256$ ,  $F_{ck}/1024$ )
- q 可编程的定时器操作模式，可选择标准计数、PWM输出、外部捕获输入、侦测位置改变（仅PDC1）、增量编码器接口（仅PDC1）五种方式
- q 7个中断源，包括定时器周期比较匹配中断、计数器上溢/下溢中断、TGR寄存器比较匹配中断、侦测位置改变中断（仅PDC1）
- q 双缓冲结构的输入捕获寄存器
- q BLDC驱动的位置侦测模块(PDC)，可编程的位置信号输入采样时钟，可编程的位置采样模式，可编程的位置信号采样计数，以避免位置数据受干扰脉冲的影响。

### 2.8.3 PDC 定时器操作模式

芯片内的 PDC 定时器都有以下 4 种操作模式：

- q 标准计数操作(普通的递增计数)
- q 边沿 PWM 模式(连续计数, PWM 输出模式)
- q 中心 PWM 模式(递增/递减计数, PWM 输出模式)
- q 输入捕获操作
- q 侦测位置改变(PDC)模式操作
- q 相位计数模式 1~4（仅 PDC1）

标准计数操作、PWM 比较匹配输出操作与定时器 MCP4 相应的功能差不多，只是没有死区控制、互补信号输出和出错保护逻辑，其它特性完全一样。

#### 输入捕获操作

输入捕获操作是对 TIOxA、TIOxB、TIOxC ( $x=0, 1$ ) 引脚上信号的跳变沿进行检测。SPMC75F2313A 的捕获功能模块可以直接测量 TIOxA、TIOxB、TIOxC ( $x=0, 1$ ) 上信号的电平宽度和周期（高电平和低电平）。通过不同的设置组合，PDC 定时器的输入捕获功能可以实现如表 2-5 描述的功能：

表 2-5 捕获单路信号的设置及结果

设置			结果	
清除沿	清除源	捕获沿	进中断沿	测量结果
上升沿	TGRA	上升沿	上升沿	同时得到周期和高电平宽度
上升沿	TGRA	下降沿	下降沿	
上升沿	TGRA	双沿	双沿	
下降沿	TGRA	上升沿	上升沿	同时得到周期和低电平宽度
下降沿	TGRA	下降沿	下降沿	
下降沿	TGRA	双沿	双沿	
双沿	TGRA	上升沿	上升沿	同时得到低电平宽度和高电平宽度
双沿	TGRA	下降沿	下降沿	
双沿	TGRA	双沿	双沿	

### 侦测位置改变(PDC)模式操作

侦测位置改变模式主要是用作无刷直流电机驱动应用中的转子位置侦测。这种模式可以在侦测位置改变的同时计算出与上一次位置改变的时间差，以此可以计算电机的速度。同时，在这种模式下还有专用的滤波设置，可以避免电机上的霍尔信号等位置信号上噪声对侦测结果的影响。

### 相位计数模式操作

在相位计数模式中，如果两个外部时钟的输入不同将会被侦测出来，并且计数器会根据时钟相位关系递增或递减计数。这种模式通常应用于两相积分编码器脉冲输入。时钟源是 TCLKC 和 TCLKD 引脚。SPMC75F2313A 支持以下四种相位计数模式。如图 2-16 到 2-19 所示为四种相位计数模式的操作。

#### (1) 相位计数模式 1

在相位计数模式 1 下，当时钟源 TCLKD 超前 TCLKC 90 度时，计数单元将是一直向上计数；当时钟源 TCLKD 滞后 TCLKC 90 度时，计数单元将是一直向下计数。这种模式适用于带编码器的电机的应用。表 2-6 列出了相位计数模式 1 的关系。相位的分辨率被扩大 4 倍后送与解码器解析。如图 2-12 所示为相位计数模式 1 的示意图。

表 2-6 相位计数模式 1 的关系

TCLKC	TCLKD	计数操作
H	上升	递增
L	下降	
上升	L	
下降	H	
H	上升	递减
L	下降	
上升	H	
下降	L	

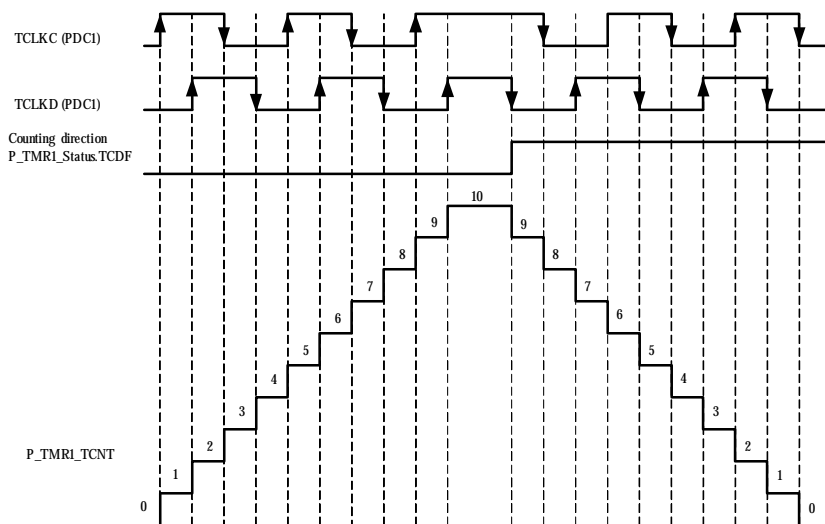


图 2-12 相位计数模式 1

(2) 相位计数模式 2

在相位计数模式 2 中，计数单元的计数方向是由 TCLKD 的逻辑电平决定的。当 TCLKD 为逻辑高电平，计数器就向上计数；若 TCLKD 为逻辑低电平，计数器就向下计数。关系见表 2-7。计数器的动作与 TCLKC 的下降沿同步。图 2-13 为相位计数模式 2 的示意图。

表 2-7 相位计数模式 2 关系

TCLKC	TCLKD	计数操作
H	上升	—
L	下降	—
上升	L	—
下降	H	递增
H	下降	—
L	上升	—
上升	H	—
下降	L	递减

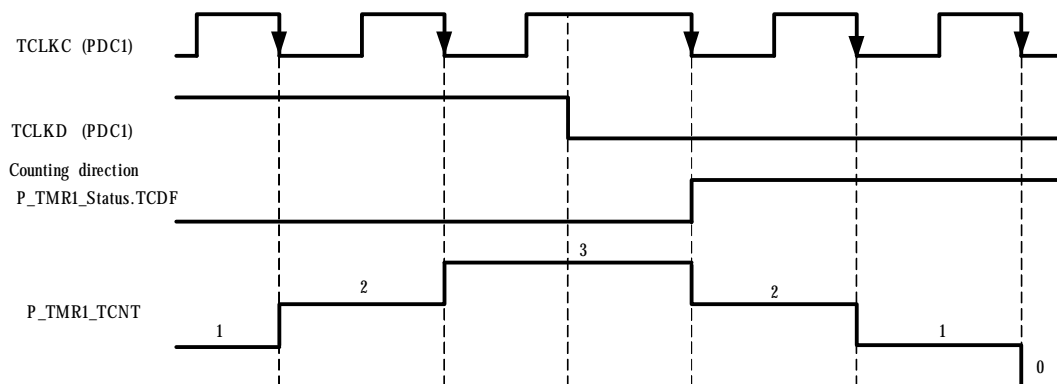


图 2-13 相位计数模式 2

### (3) 相位计数模式 3

在相位计数模式 3 中，当 TCLKD 保持逻辑高电平时，在 TCLKC 的下降沿计数单元递增计数；当 TCLKC 保持逻辑高电平状态，在 TCLKD 的下降沿计数单元递减计数。关系见表 2-8。图 2-14 为相位计数模式 3 的示意图。

表 2-8 相位计数模式 3 关系

TCLKC	CLKD	计数操作
H	上升	—
L	下降	—
上升	L	—
<b>下降</b>	<b>H</b>	<b>递增</b>
<b>H</b>	<b>下降</b>	<b>递减</b>
L	上升	—
上升	H	—
下降	L	—

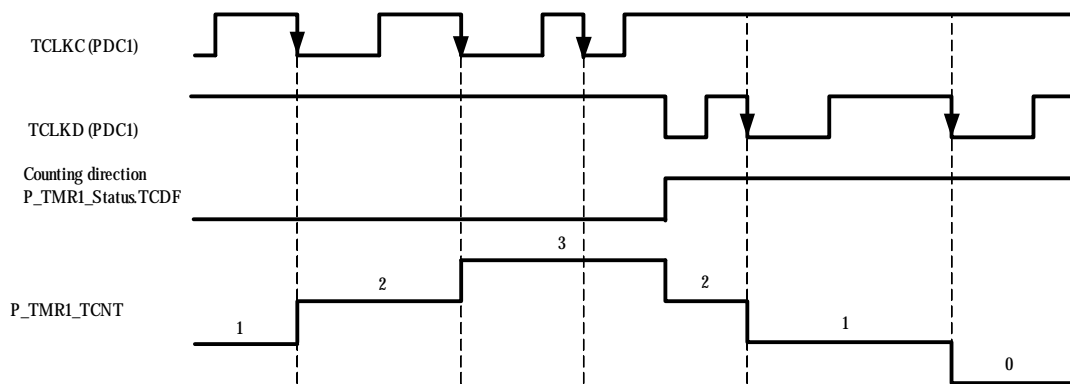


图 2-14 相位计数模式 3

### (4) 相位计数模式 4

在相位计数模式 4 中，计数单元的计数方向是由 TCLKx (x = C, D) 的逻辑电平和边沿的选择联合决定的。当 TCLKC 为逻辑高/低电平，在 TCLKD 时钟上升/下降沿时触发计数器递增计数；当 TCLKC 为逻辑高/低电平，在 TCLKD 时钟下降/上升沿触发计数器递减计数。关系见下表 2-9。图 2-15 为相位计数模式 4 的示意图。

表 2-9 相位计数模式 4

TCLKC	TCLKD	计数操作
H	上升	递增
L	下降	递增
上升	L	—
下降	H	—
<b>H</b>	<b>下降</b>	<b>递减</b>
<b>L</b>	<b>上升</b>	<b>递减</b>
上升	H	—
下降	L	—



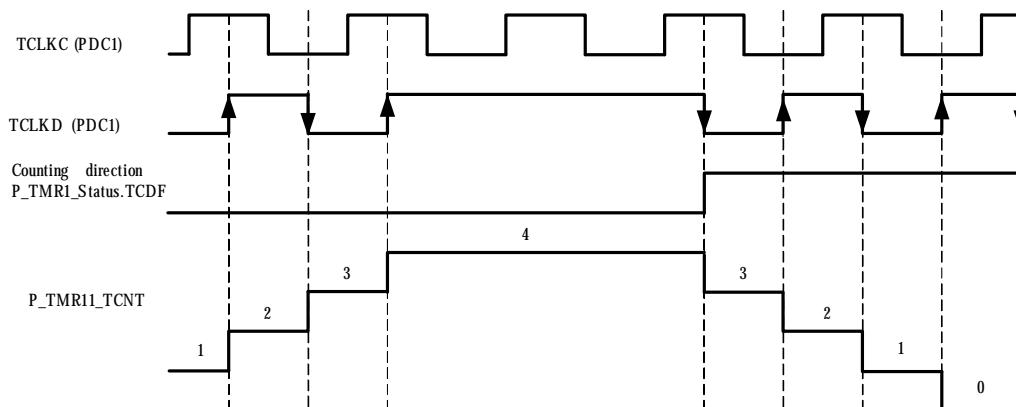


图 2-15 相位计数模式 4

## 2.9 TPM 定时器

SPMC75F2313A 集成了一个 TPM 定时器——TPM2，TPM2 属于增强型的 16 位定时/计数器，有两个独立的捕获比较模块，可实现两路捕获输入，可以产生两路 PWM 波形。TPM2 的整体框图如图 2-16 所示。

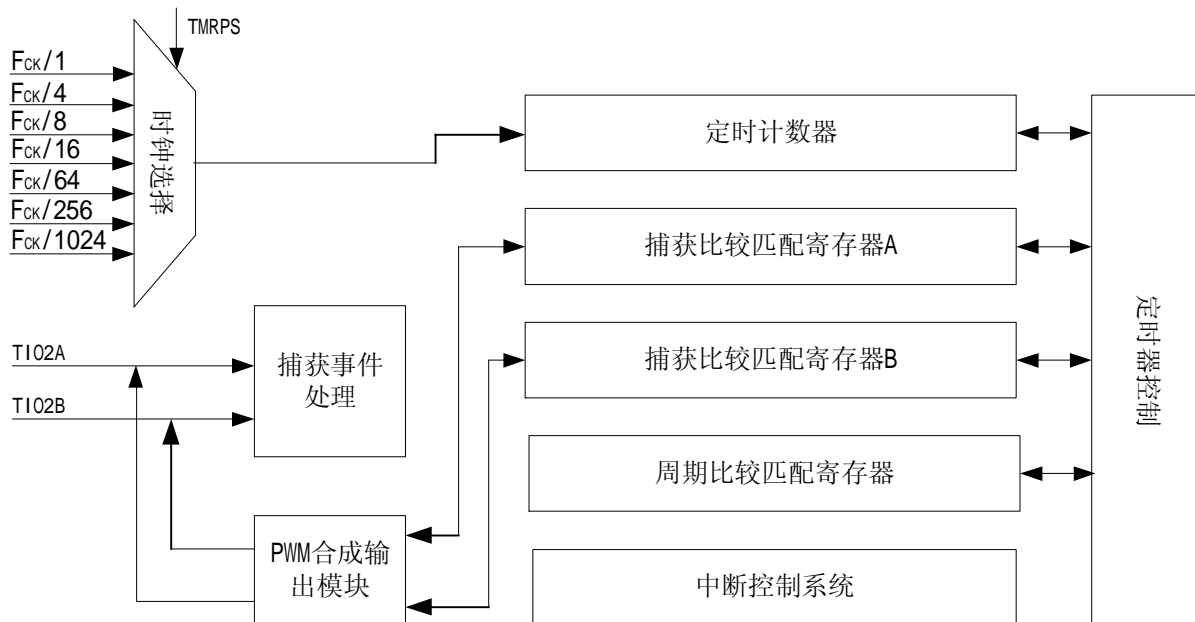


图 2-16 TPM2 结构框图

### TPM2 定时器特性：

- q 能够处理 2 路捕获输入，或输出 2 路 PWM 波形
- q 可编程的时钟源：6 个内部时钟 ( $F_{ck}/1$ ,  $F_{ck}/4$ ,  $F_{ck}/16$ ,  $F_{ck}/64$ ,  $F_{ck}/256$ ,  $F_{ck}/1024$ )
- q 可编程的定时器操作模式，可选择标准计数、PWM 输出、捕获操作模式
- q 3 个中断源，包括定时器周期比较匹配中断、TGR 寄存器比较匹配中断
- q 双缓冲结构的输入捕获寄存器



TPM 定时器的计数操作方式:

TPM2具有输入捕获和PWM比较匹配输出功能，应用在以下几个方面:

- q 变频电机控制系统的速度反馈环的时间基准
- q 标准操作(标准递增计数)
- q 边沿PWM模式(连续递增计数，PWM输出模式)
- q 中心PWM模式(连续递增/递减计数，PWM输出模式)

## 2.10 CMT 定时器

SPMC75F2313A 集成了两个比较定时器(CMT),属于通用的 16 位定时/计数器,主要用于系统定时/计数。其结构图如图 2-17 所示:

CMT 定时器特性:

- q 可选择 8 个计数器输入时钟:  $F_{ck}/1$ ,  $F_{ck}/2$ ,  $F_{ck}/4$ ,  $F_{ck}/8$ ,  $F_{ck}/16$ ,  $F_{ck}/64$ ,  $F_{ck}/256$ ,  $F_{ck}/1024$
- q 中断源: 每个通道都具有其独立的比较匹配中断

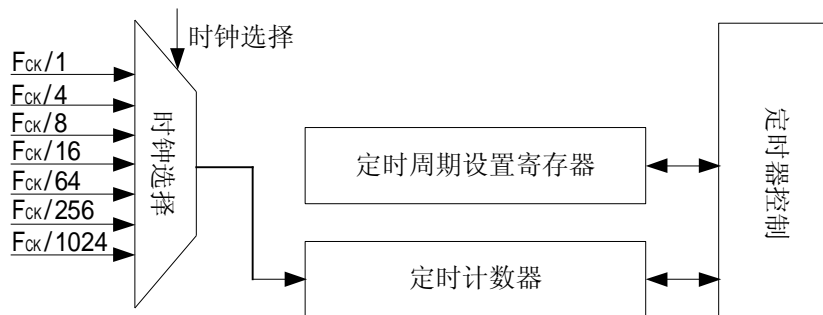


图 2-17 CMT 定时器结构图

## 2.11 SPI 同步串行接口

### 2.11.1 概述

SPI 支持在主从设备之间的全双工同步传输, SPMC75F2313A 可通过对 P\_SPI\_Ctrl 寄存器的 SPIMS 位的设定来选择主机模式或从机模式。当 SPIMS 设置为 ‘0’, SPI 在主模式下工作;反之 SPIMS 设置为 ‘1’, SPI 在从模式下工作。在从模式下, 系统时钟至少 SPICLK 信号的两倍, 以保证该模式运行正常。图 2-18 为 SPI 结构图。

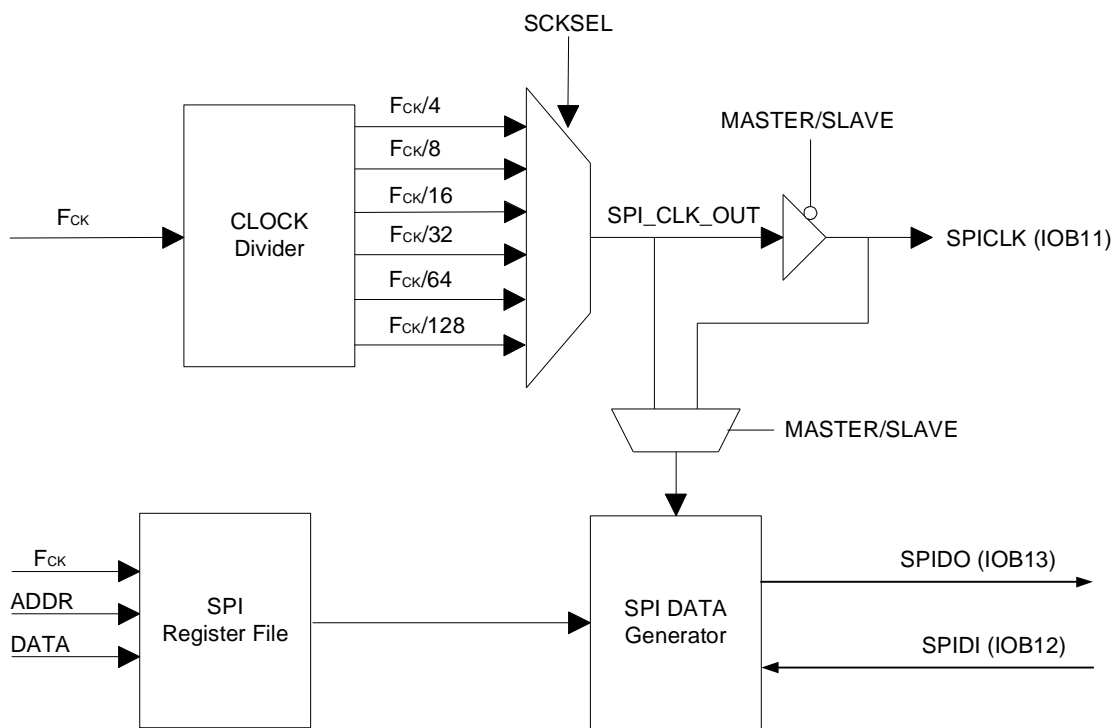


图 2-18 SPI 结构

图 2-19 是 SPI 模块的功能框图

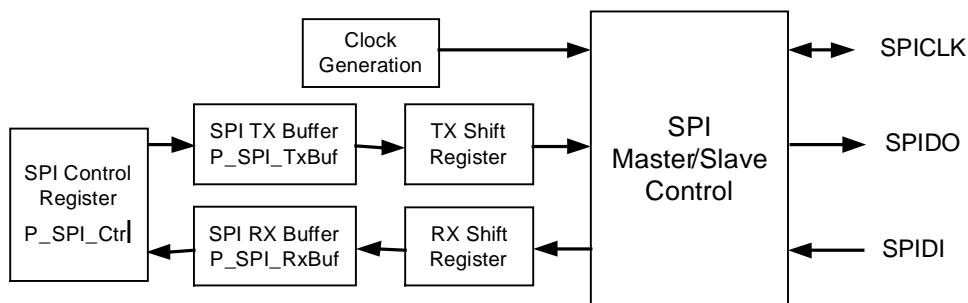


图 2-19 SPI 接口的功能框图

### 2.11.2 SPI 控制引脚配置

名称	I/O	描述
SPICLK	I/O*	串行外设接口，时钟引脚(与 IOB11 复用)
SPIDO	O	串行外设接口，数据输出引脚(与 IOB13 复用)
SPIDI	I	串行外设接口，数据输入引脚(与 IOB12 复用)

\*当 SPI 在主模式下运行时，移位时钟 SPICLK 为输出；当 SPI 在从模式下运行时，SPICLK 为输入

### 2.11.3 SPI 运行模式

#### 主模式

在主模式下，移位时钟 (SPICLK) 由 SPI 模块产生。在 P\_SPI\_Ctrl 寄存器中有两个控制时钟相位 (SPIPHA) 和极性 (SPIPOL) 的控制位。当向 P\_SPI\_TxBuf (发送缓冲寄存器) 写入数据时，发送立即开始。



在软件向 P\_SPI\_TxBuf 写入一个字节之后，数据被锁存到寄存器的内部发送缓冲中。如果此时移位寄存器没有执行数据移位操作，该数据将被载入到移位寄存器中并在下一个 SPICLK 相位时开始传输。如果移位寄存器正在执行数据移位，新数据会等待当前的数据移出后再进行移位。

SPI 通过 SPIDO 引脚将数据从最高有效位(MSB)移到最低有效位(LSB)。8 位数据在 8 个 SPICLK 周期后全部移出。同时，接收的数据也通过 SDI 引脚移入。当每组 8 位发送完成后，P\_SPI\_TxStatus 中的 SPITXIF（发送中断标志）置位；此外，如果 P\_SPI\_TxStatus 中的 SPI 接收/发送中断使能，则会产生 SPI 发送中断。

相反的，当 SPI 接口成功地接收了一组 8 位字节时，接收到的数据将被锁存到接收缓冲器中。此时，P\_SPI\_RxStatus（接收状态标志寄存器）中的 SPIRXIF（接收中断标志）位将被设置为‘1’，并且发生一个 SPI 接收中断。

下图给出了 SPI 主模式下不同运行类型的时序(极性控制位等于“1”或“0”，相位控制位等于“1”或“0”，取样控制位等于“1”或“0”)。

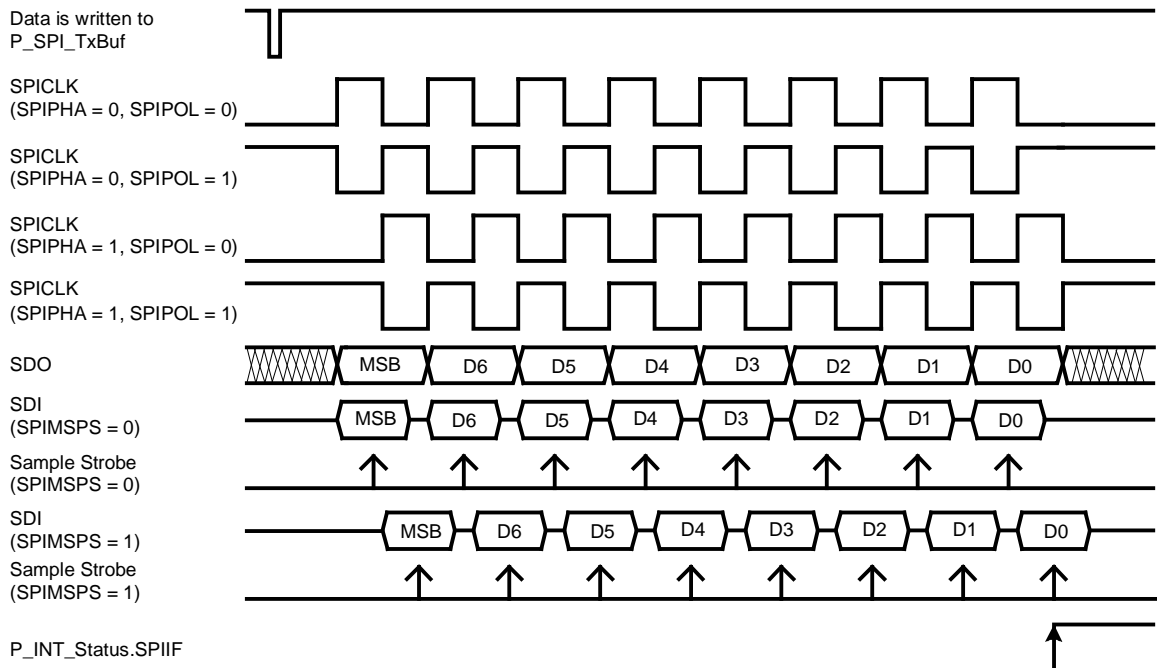


图 2-20 SPI 模式时序图，主模式

### 从模式

在从模式下，移位时钟 SPICLK 来自外部 SPI 主设备，所以从第一个外部时钟周期开始传输。发送前，软件应在第一个来自主设备的 SPICLK 之前向其发送缓冲写入数据。主设备与从设备都必须按相同的 SPICLK 相位和极性运行，以进行数据的发送与接收。

如果时钟相位(SPIPFA)为“1”，只要向 P\_SPI\_TxBUF 寄存器写入数据，就开始移出第一个数据位。如果时钟相位(SPIPFA)为“0”，则在第一个 SPICLK 边沿后才开始移出第一个数据位。

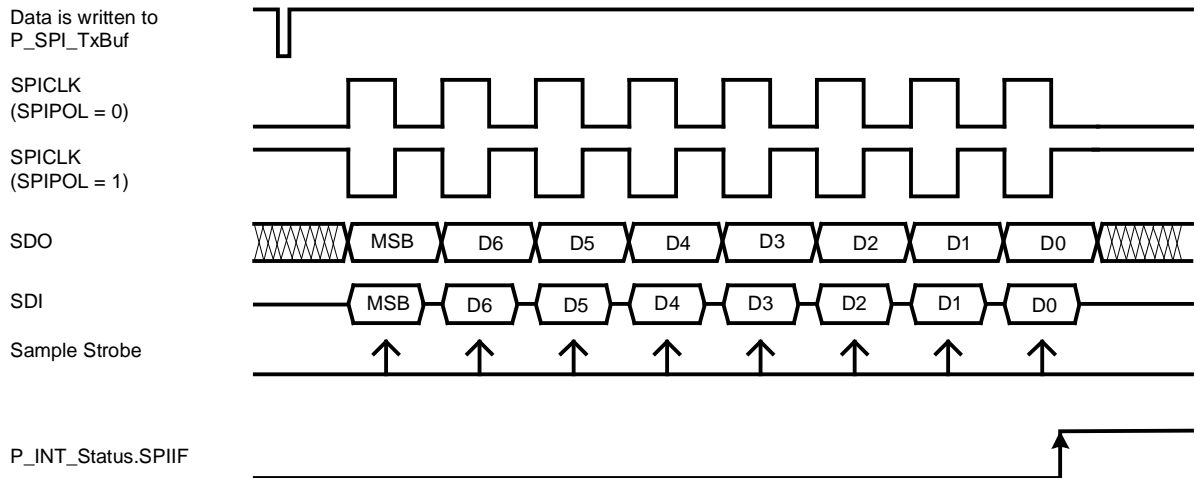


图 2-21 SPI 模式时序图，从模式，SPIPHA = 0

## 2.12 UART 异步串行接口

### 2.12.1 概述

SPMC75F2313A 内置了 UART 模块，可以完成以下功能：接收数据，将外部设备串行数据进行转换为并行数据；发送数据，将并行数据转换为串行数据，对外发送。此模块具有以下特点。

- q 提供标准的异步全双工通讯
- q 可编程的收发波特率，独立的波特率发生器
- q 可进行偶校验、奇校验或无校验
- q 停止位可设置为1位或2位
- q 高抗噪声能力的数据接收
- q 在接收中进行帧校验和奇偶校验
- q 溢出侦测
- q 波特率可在1200 bps~115200 bps之间编程设定
- q 可独立激活发送/接收接口

### 2.12.2 应用电路

UART 接口通常用于与 PC 机通讯。图 2-22 给出了在 PC 机与 SPMC75F2313A 之间使用 ICL232 芯片的应用电路。

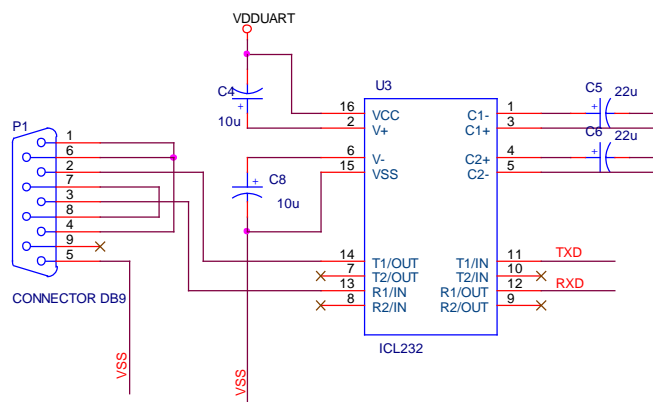


图 2-22 UART 应用电路的接口



### 2.12.3 UART 控制引脚配置

名称	I/O	描述
RXD1	I	UART 接收引脚(与 IOB12 共享)
TXD1	O	UART 发送引脚(与 IOB13 共享)

## 2.13 ADC 模块

SPMC75F2313A 内嵌一个 100Ksps 转换速率的高性能 10 位通用 ADC 模块，采用 SAR（逐次逼近）结构。它与 IOA2~IOA7 复用引脚作为输入通道，最多能提供 6 路模拟输入能力。同时，ADC 模块有多种工作模式可选，它的转换触发信号可以是软件产生也可以通过来自外部（IOA15）、PDC 位置侦测、MCP 等定时器的信号，以满足不同的应用。

利用此 ADC 模块，可以同电机驱动定时器联合动作，实现电机驱动过程中电参量的同步测量，满足电机驱动的需要。此外，ADC 模块也可以实现一些普通的模拟测量动作，如电压测量、温度信号测量、低频信号的采集等。ADC 模块的结构如图 2-23 所示。

### ADC 模块的特性：

- q 可编程的转换速率，最高100Ksps
- q 最多提供6路模拟输入通道
- q 可选择的内部参考电压发生器
- q 手动自动采集模式，由用户自由设置
- q 多种触发源，通过设置选择

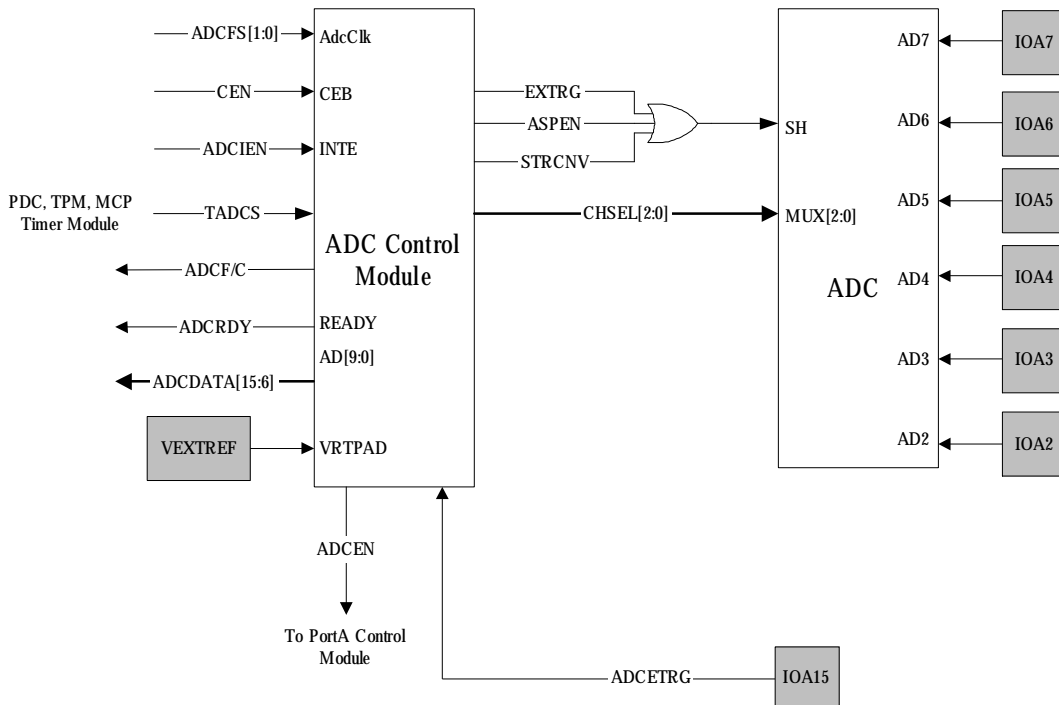


图 2-23 ADC 功能框图



## 2.14 看门狗

看门狗的用于监测系统是否正常运行。软件应该在看门狗计数器溢出前清除看门狗（WDT）计数器，否则 WDT 将产生系统或 CPU 复位。WDT 相对于 CPU 独立运行，WDT 为一个 8 位计数器，其时钟可从 8 个不同的信号源中选择。表 2-10 为 SPMC75F2313A 看门狗定时器的时间选择表。

表 2-10 WDT 定时器的时间选择表

WDT时钟率(Hz)	超时时间(F <sub>CK</sub> =24MHz)	WDT时钟率(Hz)	超时时间(F <sub>CK</sub> =24MHz)
F <sub>CK</sub> /65536	699.05ms	F <sub>CK</sub> /4096	43.69ms
F <sub>CK</sub> /32768	349.52ms	F <sub>CK</sub> /2048	21.84ms
F <sub>CK</sub> /16384	174.76ms	F <sub>CK</sub> /1024	10.92ms
F <sub>CK</sub> /8192	87.38ms	F <sub>CK</sub> /512	5.46ms

## 2.15 在线仿真电路 ICE 接口

SPMC75 系列单片机内嵌仿真调试逻辑电路 ICE，用户使用 Probe 就可以实现系统在线仿真、调试、下载功能。

ICE 电路是独立于 CPU 存在的，其工作时不会占用任何片内资源，而且在工作时保持在线状态，以保证仿真结果的真实性。ICE 电路支持两个硬件断点、支持对所有片内资源的改写（除了加密或受保护的资源），为用户开发提供了极大的方便。



## 第3章 电气特性

### 极限参数

参数	符号	大小
电源电压	V <sub>DD</sub>	< 7.0V
输入电压范围	V <sub>IN</sub>	-0.5V to V <sub>+</sub> + 0.5V
工作温度范围	T <sub>A</sub>	-40°C to +85°C
存储温度范围	T <sub>STO</sub>	-50°C to +150°C

注：超过极限参数使用可能造成操作错误或是设备损坏，正常的操作条件请参考直流电气特性。

### 直流电气参数 (VDD = 4.0~5.5V, T<sub>A</sub> = -40~85° C)

参数	符号	大小			单位	测试环境
		最小	典型	最大		
正常操作电压	VDD	4.0	5.0	5.5	V	
低电压复位检测电压	V <sub>LVR</sub>	3.60	4.09	4.50	V	
正常操作电流	I <sub>OP</sub>	-	-	35	mA	VDD = 5.0V, F <sub>CK</sub> =24MHz
等待电流	I <sub>WAIT</sub>	-	-	25	mA	锁相环打开, CPU 关闭
待机电流	I <sub>STB</sub>	-	-	150	uA	所有关闭, VDD = 5.0V, T <sub>A</sub> = 25°C
输入高电平	V <sub>IH</sub>	0.7VDD	-	-	V	所有输入引脚
输入低电平	V <sub>IL</sub>	-	-	0.3VDD	V	所有输入引脚
高电平驱动拉电流	I <sub>OH1</sub>	-2.0	-	-	mA	VDD = 4.5V, V <sub>OH</sub> = 4.0V (普通 I/O)
	I <sub>OH2</sub>	-4.0	-	-		VDD = 4.5V, V <sub>OH</sub> = 4.0V (大电流 I/O)
低电平输出灌电流	I <sub>OL1</sub>	2.0	-	-	mA	VDD = 4.5V, V <sub>OL</sub> = 0.5V (普通 I/O)
	I <sub>OL2</sub>	10	-	-		VDD = 4.5V, V <sub>OL</sub> = 0.5V (大电流 I/O)
输入时的下拉电阻	R <sub>PL</sub>	-	100	-	KΩ □	VDD = 5.0V, V <sub>0</sub> = VDD
输入时的上拉电阻	R <sub>PH</sub>	-	100	-	KΩ □	VDD = 5.0V, V <sub>0</sub> = VSS

注 1：除特别说明外，所有参数均指在室温 25°C 时测量

注 2：大电流 I/O 是指：IOA[15:8], IOB[5:0], IOB[15:12], IOC[3:0], IOC[15:10]

### ADC 电气特性 (VDD = 5.0V, T<sub>A</sub> = -40°C~85°C)

模块	参数	符号	最小	典型	最大	单位	条件
A/D 模块	Resolution	N <sub>R_AD</sub>			10	Bit	
	模拟电压输入范围	V <sub>A1N</sub>	0		VDD/V <sub>RT</sub>	V	
	转换速率	F <sub>AD</sub>			100	KHz	VDD=5.0V
	模拟输入阻抗	R <sub>A1N</sub>					
	积分非线性	E <sub>INL_AD</sub>		±1.0	±2.0	LSB	
	差分非线性	E <sub>DNL_AD</sub>		±1.0	±2.0	LSB	
	零点误差	E <sub>ZOE_AD</sub>			±1.5	LSB	
	满量程误差	E <sub>FS_E_AD</sub>			±1.5	LSB	
	总误差	E <sub>ALL_AD</sub>			±3.0	LSB	