

应用手册

高压浮动 MOS 栅极驱动集成电路 (第一部份)

相关标题

- 高压侧器件的栅极驱动要求
- 典型 MOS 栅极驱动器 (MGD) 的框图
- 自举工作原理
- 如何选择自举元件
- 在 MOS 栅极驱动器 (MGD) 中如何计算功率消耗
- 如何处理瞬间负偏压
- 线路板设计和其它提示
- 功率电路和逻辑电路的隔离
- 如何提高 MGD 的输出电流去驱动模块
- 如何提供一个连续的栅极驱动
- 如何提供一个负压栅极驱动
- 驱动 BUCK 变换器
- 驱动双正激和开关磁阻电机控制器
- 通过 SD 脚进行电流控制
- 无刷和感应电机的驱动
- 推挽和其他低压侧应用
- 驱动高压侧 P 沟道 MOSFET
- 如何驱动闸流管的栅极
- 故障排除提示

1. 高压侧器件的栅极驱动要求

当功率 MOSFET 或 IGBT 用作高压侧开关（漏极接到高压干线，如图 1 所示），被驱动饱和导通，即在它的两极之间压降最低时，其栅极驱动要求可概括如下：

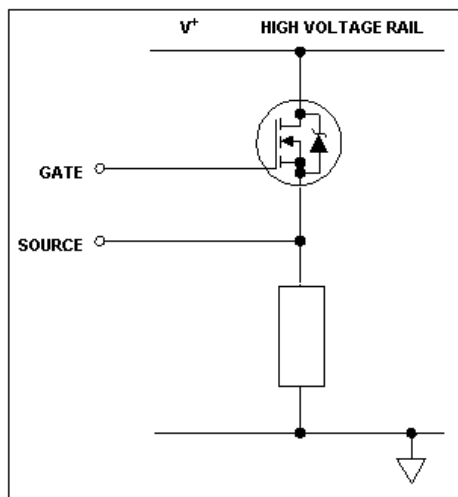


Figure 1. Power MOSFET in high side configuration

1. 栅极电压一定要比漏极电压高 10~15V，用作高压侧开关时其栅极电压必定高于干线电压，它常常可能是系统中的最高电压。
2. 栅极电压从逻辑上看必须是可控的，它通常以地为参考点。因此控制信号就不得不转换电平为高压侧源极电位，在绝大部分应用中控制信号在两干线电压间摆动。
3. 栅极驱动电路吸收的功率不会显著地影响总效率。

考虑到这些约束，现有几种技术可用来实现该功能，如表 1 中原理所示，每个基本电路有多种实现方法。

国际整流器公司的 MOS 栅极驱动器（MGDs）系列产品把驱动一高压侧和一低压侧 MOSFET 或 IGBT 所需的绝大部分功能集成在一个高性能的封装内。外接很少的分立元件，它们就能提供极快的开关速度和低的功耗，如表 2 所示的 IR2110。它们依据自举原理工作或加一浮动电源。工作在自举模式时，在绝大多数的应用中它们的工作频率可由数十赫兹到数百千赫兹。

表 1

方法	基本电路	主要特点
浮动栅极驱动电源法		<p>对不定的时间周期作完全栅极控制。</p> <p>隔离电源的成本影响很显著 (每个高压侧 MOSFET 需要一个隔离电源)。将以地为参考点的信号进行电平转换可能是错综复杂的：电平转换器必须承受全部电压，它应以最小的传输延迟和低功耗快速开关。</p> <p>光隔离器往往相对较贵，它由于带宽和对噪声敏感而受到限制。</p>

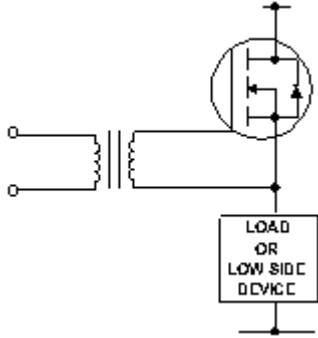
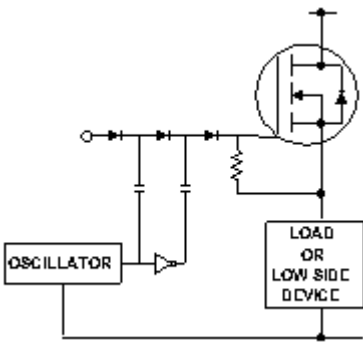
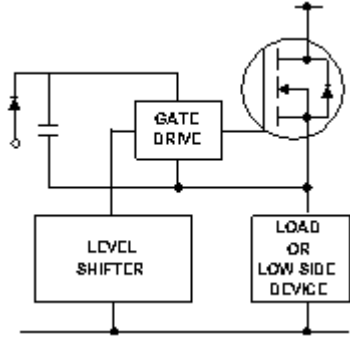
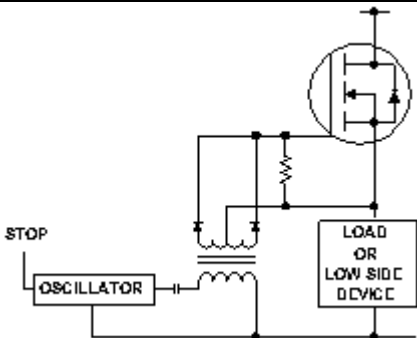
<p>脉冲变压器法</p>		<p>简单且成本适中但在许多方面受限。</p> <p>在很宽的占空比范围内工作时应用技术复杂。</p> <p>在低频时，变压器尺寸显著增加。</p> <p>对于快速开关波形，由于寄生参数不容忽视，波形就变得不够理想。</p>
<p>充电泵法</p>		<p>能用以产生“过干线”电压,它由电平转换器控制或当 MOSFET 被开启时,用以“泵激励”栅极。</p> <p>在第一种情形,电平转换器问题已经解决。</p> <p>在第二种情形,对于开关应用开启时间往往太长。</p> <p>在任何情况,栅极都能保持不定期开启。</p> <p>电压放大电路的低效可能需要超过两级“泵激励”。</p>
<p>自举法</p>		<p>简单便宜,但有象脉冲变压器一样的局限性:占空比和开启时间都受自举电容刷新需要的限制。</p> <p>如电容由高电压干线充电,功耗可能很显著。</p> <p>需要电平转换器,具有一定难度。</p>
<p>载波驱动法</p>		<p>对于不定时间周期给出了完全栅控制,但在开关性能上受到某些限制,这可通过增加一些复杂的电路来改善。</p>

表 2

	管芯大小	上升时间	下降时间
不同 HEXFET 芯片尺寸的 典型开关时间 ($V_{CC}=15V$, 测试电路如 图 9, 没有给出栅极网络)	HEX-2	25ns	17ns
	HEX-3	38ns	23ns
	HEX-4	53ns	34ns
	HEX-5	78ns	54ns
	HEX-6	116ns	74ns

2. 典型的框图

如图 2 所示, 以 IR2110 的框图举例说明大部分 MOS 栅极驱动器的典型结构。其组成部分如下: 低端功率晶体管驱动器, 高端功率晶体管驱动器, 电平转换器, 输入逻辑电路。

2. 1 输入逻辑

两通道由 TTL/COMS 电平相兼容的输入控制。转换门限因器件的不同而不同。一些 MGDs (如 IR211x 和 IR215x) 的转换门限与逻辑电源 V_{DD} ($3V\sim 20V$) 成比例, 施密特触发缓冲器滞后 $V_{DD}10\%$ 以接收有较长上升时间的输入。其它的 MGDs (如 IR210x, IR212x, IR213x) 有介于 1.5 到 2V 之间的从逻辑 0 到逻辑 1 的固定转换。有些 MGDs 仅能驱动一个高压侧功率器件, 有些 MGDs 能够驱动一个高压侧和一个低压侧功率器件, 而有些 MGDs 能够驱动一个三相全桥

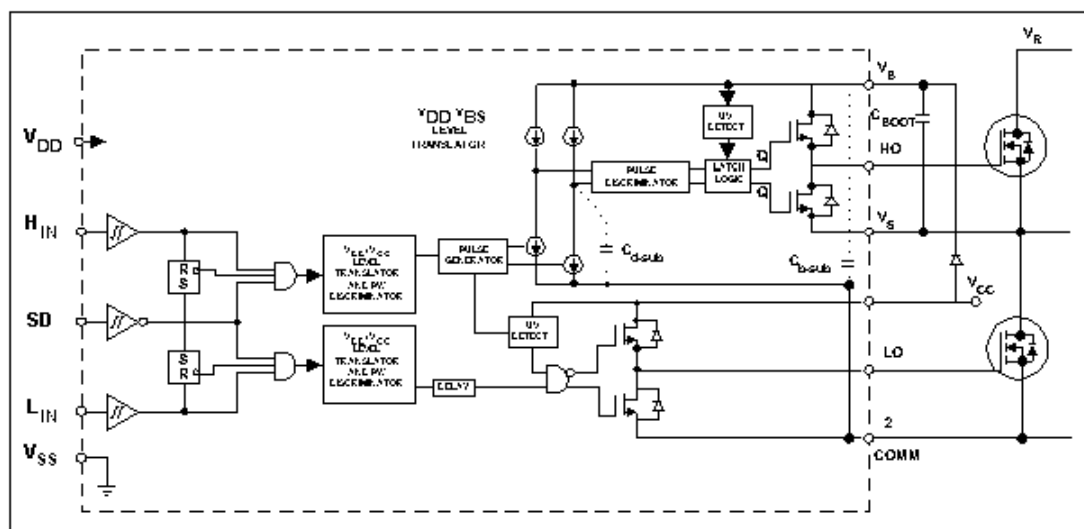


Figure 2. Block Diagram of the IR2110

电路。但并不是说任何高压侧驱动器也能够驱动低压侧器件, 这些 MGDs 有两个栅极驱动器, 它们的输入可以是两个相互独立的输入或者有补偿驱动和预置死区时间的单个输入。

如第 12 节所示，在需要有最小死区时间的应用场合中应当使用有独立驱动和经过很少无源元件传输可产生死区时间的 MGDs。在信号输入和栅极驱动输出之间的传输延迟大约等同于两通道开通时间（120ns）和关断时间（95 ns），这些时间如数据表中所示对温度有依赖性。关断功能的实现是内部锁定电路为高电平时使两功率器件关闭。

去除关断信号后的第一个输入信号清除锁定并激活其传输通道。这一锁定关闭有助于电流闭环控制的实现，如在第 12 节中所举的例子。从输入逻辑来的信号通过高抗噪声电平转换器被耦合到各自通道。这允许逻辑电源（在 13 脚的 v_{ss} ）的参考地可以相对于功率地（COM）摆动 $\pm 5V$ 。此特点对于处理典型功率调节电路接地布局不太理想的设计很有帮助。进一步的抗噪声措施是脉宽鉴别器屏蔽掉小于 50ns 左右的脉冲。

2.2 低压侧通道

输出级由两个 N 沟道 MOSFET 组成图腾柱结构（源极跟随器作为电流源和电流流入的共同源），或者由一个 N 沟道和一个 P 沟道的 CMOS 组成反相结构。因 MGD 的不同，每个 MOSFET 对栅极电流有 0.12A~2A 的拉、灌电流能力。低端驱动器的源单独由 2 脚引出，因此功率器件栅极驱动电流的返回源可以直接和 2 脚相连。关于这点可参考第 5 节。如果 V_{CC} 低于规定值（典型值 8.6/8.2V），欠压锁定将会阻断任何一个通道工作。

当欠压锁定被释放后出现在低压侧通道输入端的任何脉冲都会使功率晶体管在欠压锁定释放时刻导通。这点不同于将要在下一部分看到的高压侧通道。

2.3 高压侧通道

这个通道被做进一个“隔离槽”内（图 3），它能相对于功率地（COM）从 500V 或 600V 浮动到 -5V。这个槽在 V_S 电位上“浮动”，它是由加于 V_B 脚的电压所建立，一般地，此脚被连接至高压侧器件的源极，如图 2 所示，并且其电位在两干线电压间摆动。

如果将一隔离电源连接在 V_B 和 V_S 间，高压侧通道将与输入信号一致，在此电源的正极和它的地之间开关输出。

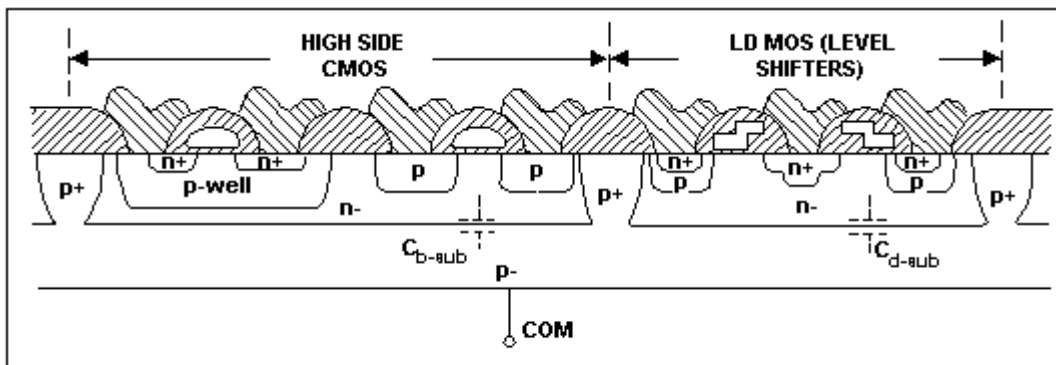


Figure 3. Silicon crosssection showing the parasitic capacitances.

MOS 器件栅极的一个显著特点是它们的容性输入特性，即它们是通过提供一些电荷给栅极而导通，而不是提供连续电流，如果高压侧通道驱动这种器件，隔离电源可由一电容取代，如图 2 所示。

高压侧 MOSFET 的栅电荷由自举电容提供，自举电容在器件断态时通过自举二极管被 15V 电源充电（假定 V_S 在那一时刻摆动到地，象它在绝大部分应用中那样）。由于电容是由一低压源充电，驱动栅极所消耗的功率很小。高压侧通道的输入信号不得不从 COM 电平抬升到“槽”所浮动的电位，可能高达 500V。如图 2 所示，开/关信号以窄脉冲的形式在输入信号的上升或下降边缘被传输。它们被以浮动电位为参考的复位/置位触发器所锁定。

使用脉冲方式大大减小了与电平转换相关的功耗。脉冲鉴别器可以从 V_S 节点上的快速 dv/dt 暂态中区分出置位/复位脉冲，因此在功率器件中，高达 50V/ns 的开关速率并不会对 MGD 的工作产生有害影响。

此通道具有自身的欠压自锁（在一些 MGDs 中），如果 V_S 和 V_B 之间电压低于它的限制值（典型值 8.7 / 8.3V），欠压自锁会关断栅极驱动。欠压自锁的运用与 V_{CC} 自锁时有些细微差别：欠压自锁释放通道后的第一个脉冲将改变输出状态。高压电平转换器电路被设计得即使在 V_S 节点电压摆动到 COM 脚以下如数据表中所示电压时也能正常工作，典型值为 5V。这之所以能发生是由于下侧功率二极管的正向恢复或是由于 Ldi/dt 感应的瞬态电压。

3. 如何选择自举元件

如图 2 所示，自举二极管和电容是仅有的在 PWM 应用中严格要求的外接元件，在实际应用中给 V_{CC} （和数字电路的）电源加一退耦电容用于补偿电源线的电感。

自举电容上的电压仅为 V_{CC} 电源电压。它的电容值由下列因素所决定：

1. 栅极需要增强 MGT
2. 高压侧驱动器电路的静态电流 - I_{qbs}
3. 电平转换器内的电流
4. MGT 的栅-源正向漏电流
5. 自举电容的漏电流

因素 5 仅与自举电容是电解电容时有关，如果使用其他的电容可以忽略此项因素的影响。因此尽可能使用非电解电容。关于有关自举电容的详细情况可参考 DT98-2 节“控制 IC 自举元件的选择”。

最小的自举电容值可由下式求出：

$$C = 15 \times \frac{2 \left[2Q_g + \frac{I_{qbs(max)}}{f} + (I_{lson} + I_{lsoff})t_w + \frac{I_{Cbs(leak)}}{f} \right]}{V_{cc} - V_f - V_{LS}}$$

此处: Q =高压侧 MOSFET 的栅极电荷

f =工作频率

$I_{CbS(Leak)}$ = 自举电容的漏电流

$I_{lson}=20mA$, $I_{lsoff}=20mA$, $t_w=200ns$

V_f =自举二极管的正向导通压降

V_{LS} =低压侧或负载的压降

Q_{LS} =每周期电平转换所需电荷, (对于 500V/600V 的 IC 为 5nC, 对于 1200V 的 IC 为 20nC)

自举二极管必须能够承受得住特定电路中的全部电压; 在图 25, 28 和 29 的电路中当上端器件导通且近似等于电源干线电压时就会发生此现象。二极管的电流额定值是栅极电荷与频率之积。对于 HEXFET 的功率 MOSFET IRF450 当工作频率为 100kHz 时, 二极管电流约为 12mA。自举二极管的高温反向漏电流特性对于那些电容在较长时间需要保持电荷的应用来说可能是一个重要的参数。同样, 为了减小由自举电容反馈进电源的电荷数量, 二极管应选用超快速恢复二极管。

4. 如何计算 MOS 栅极驱动器 (MGD) 的功率损耗

MGD 中的总功耗来自许多方面, 总体可分为“高压”和“低压”; “静态”和“动态”几方面。

a) 低压静态功耗 ($P_{D(1V)q}$): 是来自三个低压电源 VDD、VCC 和 VSS 的静态电流, 在一典型的 15V 应用中, 这些功耗在 25°C 时总计约为 3.5mW, 在 125°C 时为 5mW。

b) Vcc 电源上的低压动态功耗 ($P_{D(1V)sw}$) 来自两个分量:

b1) 当电容通过电阻充放电时, 流进电容能量的一半被电阻消耗掉。

因此 MGD 的内部和外接栅极驱动电阻在一个周期中的损耗为

$$P_G = V \cdot Q_G \cdot f$$

对于两个工作于 100kHz 的 HEXFET IRF450, $V_{GS}=15V$, 我们有:

$$P_G = 2 \times 15 \times 120 \times 10^{-9} \times 100 \times 10^3 = 0.36W$$

公式中的第二个因子在假定两个器件被驱动, 每通道一个器件的情况下是有效的。如果 V_{SS} 由一自举电容/二极管产生, 此功率由 V_{CC} 提供。使用栅极电阻后降低了栅极驱动功率值, 在 MGD 中消耗的栅极驱动功率由它们各自电阻的比值决定。如果内部电阻是 6Ω, 栅极驱动电阻是 10Ω 无论拉电流或者灌电流, MGD 的损耗仅是 P_G 的 6/16, 这些功耗与温度无关。

b2) 动态功耗与内部 CMOS 电路开关相关联, 它们能由下列公式近似得到:

$$P_{CMOS} = V_{CC} \cdot Q_{CMOS} \cdot f$$

Q_{CMOS} 在 5 到 30nC 之间, 因 MGD 的不同而不同. 在一典型的 100kHz 应用中, 这些功耗将总计为数十毫瓦, 与温度毫无关系。

c) 高压静态功耗 ($P_{D(hv)q}$) 主要来自电平转换级的漏电流。它们与施加于 V_S 脚的电压有关, 且与占空比成比例。只有在高压侧功率器件导通时才产生高压静态功耗。如果 V_S 被连续保持为 400V, 高压静态功耗在 25°C 时的典型值为 0.06mW, 在 125°C 时为 2.25mW。在推挽或相似的拓扑结构中, 如果 V_S 接地, 这些功耗实际上为零。

d) 高压开关功耗 ($P_{D(hv)sw}$) 由两项组成。一是电平转换电路(图 2), 另一个是高压侧 P 阱电容的充放电(图 3 中 $Cb-sub$)。

d1) 无论什么时候高压侧触发器被复位, 关断高压侧器件的信号(即使触发器置位的信号)引起电流流过电平转换电路。这些电荷来自于通过功率器件和自举电容的高压总线。如果高压侧触发器被置位, 并且低压侧功率器件处于通态, 复位信号使电流从 V_{CC} 通过二极管流出。因而, 对于一工作于干线电压 V_R 的半桥电路总的功耗为:

$$(V_R + V_{CC}) \cdot Q_P \cdot f$$

其中 Q_P 为电平转换器吸收的电荷。 f 为高压侧通道的开关频率, Q_P 在 $V_R = 50V$ 时近似为 4nC, 当干线电压增加至 500V 时, 变为 7nC。在一典型 400V, 100kHz 应用中, 这些功耗总计为 0.3W, 这包括 $Cd-sub$ 的充放电。当高压侧触发器被复位(即功率器件导通)且低压侧功率器件处于断态时, 就会出现 Q_P 的第三个来源。在此情况下, 电荷来自于通过器件电容、泄漏或负载的高压总线, 功率耗散稍高于由上面表达式所计算的值。在 V_S (5 脚) 接地的推挽或其它拓扑中, 由 V_{CC} 提供的两边的电平转换电荷产生的功耗很低。

d2) 在一高压/低压功率电路中, 阱电容 $Cb-sub$ 每当 V_S 在 V_R 和 COM 间摆动时被充电和放电。充电电流通过功率器件和外延电阻由高压干线提供, 经低端功率器件和外延电阻放电。通过电阻给电容充电或放电所引起的功耗等于 $QV/2$, 与电阻值无关。但是这些功耗的大部分发生在桥式驱动器外部, 因为在它们开、关状态的转换过程中, 外延电阻与功率器件的内部电阻相比可忽略。假定在 450V 时电荷值为 7nC, 工作频率为 100kHz。由阱电容充放电引起的总功耗总计为:

$$Q \cdot V \cdot f = 7 \cdot 10^{-9} \cdot 450 \cdot 10^5 = 0.31W$$

几乎全部由 IR2110 外部产生。对所有的实用目的而言, $Cb-sub$ 不可能与下侧功率器件的外部电容有区别。

如果 V_S 接地, 电容以一固定电压充电, 这些功耗将为零。

$Cb-sub$ (象 $Cd-sub$ 一样) 是一反偏结电容, 它的电容是电压的函数, 这些电荷与温度无关。

对以上功耗的讨论, 作如下总结:

- 在大于或等于 100kHz 的高压应用中, 主要功耗为开关损耗, a 项和 c 项的静态功耗可以完全忽略。
- 开关损耗与温度无关。
- 总损耗是控制方式及电参数和温度的函数。

如果知道了 MGD 中的功耗, 最高环境温度可由下式计算(反之亦然)

$$T_{amax} = T_{jmax} - P_D \cdot R_{thj-a}$$

其中 R_{thj-a} 就为结至环境的热阻。

下面的例子给出两个 IRF830 在 400V 干线电压、100kHz、无负载、无栅极电阻的半桥电路中的功耗组成。

PD(1V) q 0.004W
 PD(1V) sw: PCMOS=15 · 16 · 10⁻⁹ · 100 · 10³= 0.024
 PG=2 · 15 · 28 · 10⁻⁹ · 100 · 10³= 0.084
 PD(hv) q 0.002
 PD(hv) sw: (400+200) · 9 · 10⁻⁹ · 100 · 10³= 0.42
 总计: 0.534

计算 PD(hv) sw 时电压取 200V 在无负载情形下是合适的。因为，这种情形为 2.2d.1 节中的第三种。在运用中，在象 LM334 这样的可调电流源的帮助下，通过从关断脚抽取 1mA 电流可以测出实际结温。此脚电压在 25°C 时为 650mV，以 2mV/°C 减小。

5. 如何处理 v_s 脚上的瞬间负偏压

由寄生参数引起的问题中，对控制 IC 的一个最主要的影响结果是在开关过程中 v_s 节点对地有负过冲的趋势。相反，国际整流器公司发明的 HVIC 工艺的高差分电压能力不会使正过冲引起不良后果。

国际整流器公司的控制 IC 可以保证 v_s 对 COM 有至少 5V 的负偏压而不会引起问题。如果负过冲超过此电平，高压侧的输出会在当前状态下暂时锁定，倘若 v_s 仍在最大绝对极限值之内，IC 不会被损坏，然而当负过冲持续超过 5V 时，高压侧输出缓冲器将对输入转换不响应。应当注意这种模式，但是在开关过程中高压侧通常不需要立即改变状态，在许多应用中也证实了这一点。

下面列出的信号是在正常工作和诸如短路或过流关断等 di/dt 很高的非正常工作状态下观测到的。如图 4 所示，测试值直接由 IC 脚上得到，因此在测量中包含驱动耦合中的寄生参数的影响。

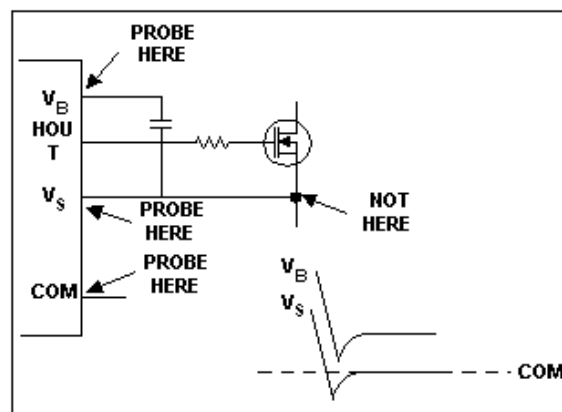


Figure 4. Look at the VS spike during the reverse recovery. Always probe right at the IC pin.

- 1) 高压侧相对于公共地的偏移量; V_S-COM
- 2) 浮动电源; V_B-V_S

应用手册

高压浮动 MOS 栅极驱动集成电路 (第二部份)

下面的措施给出了一些很实用的方法，不必考虑安全裕量。

使寄生参数最小

- 1a 开关之间的连线应粗而直，不应有环路或背离。
- 1b 避免互相连接，这会增加感应。
- 1c 降低器件在 PCB 上安装高度，减小引脚电感。
- 1d 考虑两功率开关的相互位置以减小导线长度。

减小控制 IC 与功率电路距离

- 2a 如图 6 所示连接 VS 和 COM
- 2b 在栅极驱动电路中使用短而直的导线使寄生参数最小
- 2c 使控制 IC 尽可能的靠近功率开关

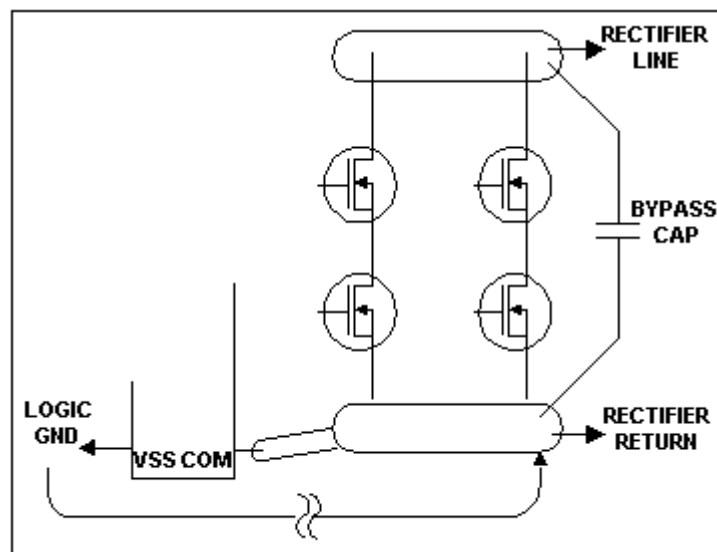


Figure 6. Ground connections and layout

改善局部退耦

- 3a 增加自举电容 (C_b) 的值使大于 $0.47\mu\text{F}$ ，且使用至少一个低 ESR 的电容。这样可以减小 V_S 严重负过冲时电容的过充电。
- 3b 在 V_{CC} 到 COM 使用第二个低 ESR 的电容，此电容维持低压侧缓冲器和自举的再充电，建议其值至少比 C_b 大 10 倍。
- 3c 如图 7 所示在适当的引脚上直接接上退耦电容。
- 3d 如果给自举二极管串联一个电阻，可以确保 VB 不会降落到 COM 电平下，尤其是在启动过程中和频率、占空比处在极端值的时候。

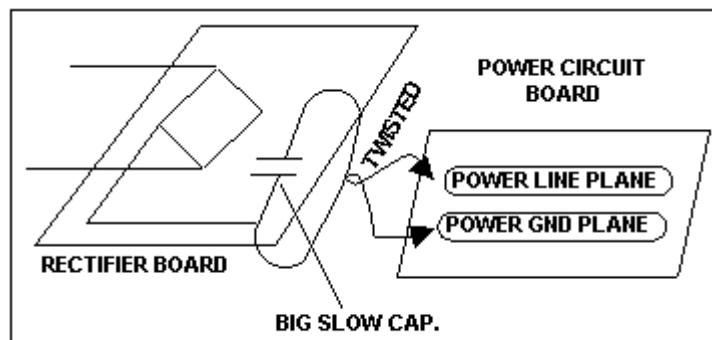


Figure7. Power Bypass Capacitor

若上面的措施应用恰当， V_S 在源极的负过冲的影响可减到最小。如果认为负过冲仍旧太高，就需要减小 dv/dt 。

外接吸收或稍稍增加栅极驱动电阻以牺牲效率来降低开关速率。如果系统不允许这样做，那么就适合使用反并联嵌位二极管，HEXFRED 二极管也是一个理想的选择。

有关暂态管理的更多的资料请参考 *DT97-3 “控制 IC 驱动功率级的暂态管理”*。

6.印制板设计和其它提示

如图 5a 所示是一个带有杂散电感的典型半桥电路。临界杂散电感位于会影响电路工作的高端电流通路上。 L_{D1} 和 L_{S2} 位于直流通路上，是由 MOSFET 和退耦电容之间的导线电感引起的； L_{S1} 和 L_{D2} 位于交流通路上，是由 MOSFET 之间的导线电感引起的。直流通路上的杂散电感可用一个电容抵消，而交流通路上的杂散电感不能够被补偿。

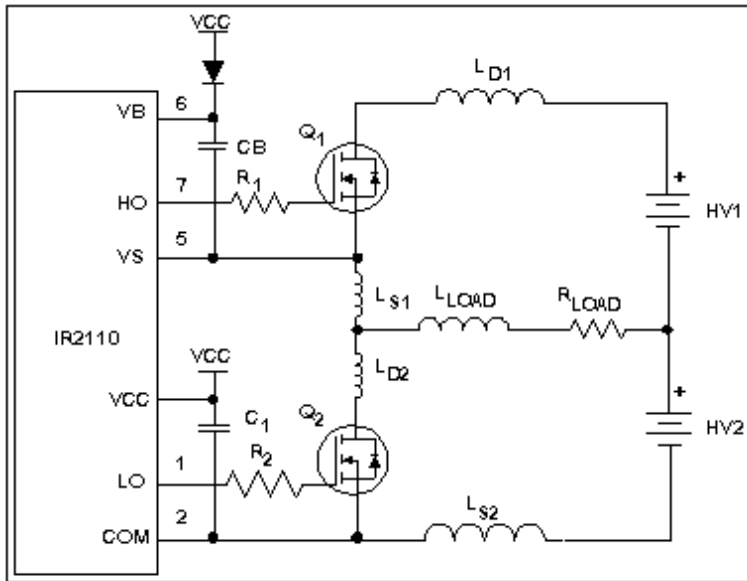


Figure 5a. A typical half-bridge circuit with stray inductances.

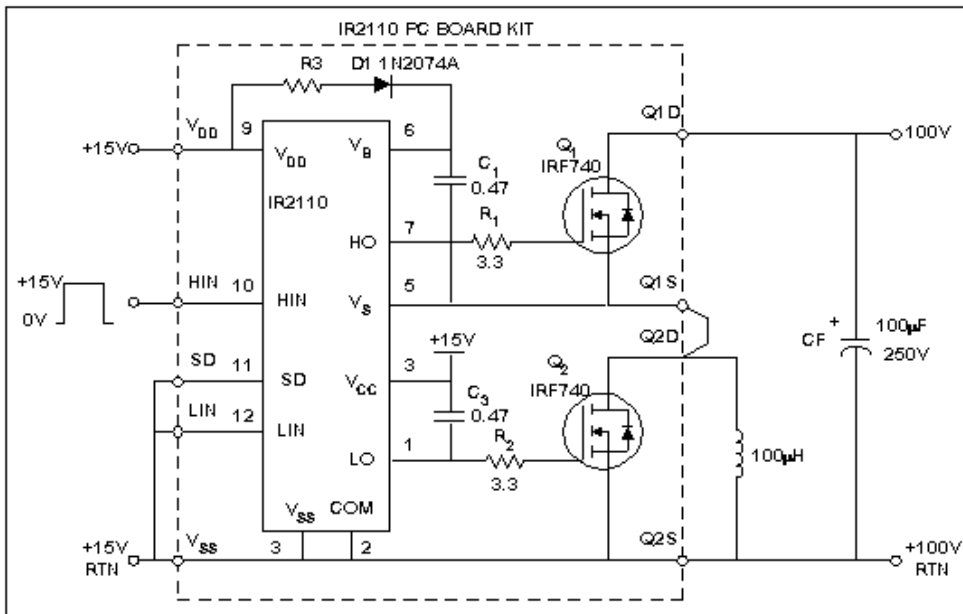


Figure 5b. Test Circuit

如图 5b 所示，在 IR2110 半桥驱动器设计师工具包（编号 IR2119）中给出了有 PCB 板的此电路的实现方法。为了消除功率电源和测试电路之间的引线电感的影响，在 Q1D 和 Q2S 之间接一个 100 μ F/250V 的电解电容，如图 6, 7 所示。事实上它消除了直流通路上的任何杂散电感。

图 8 给出了相关的波形，当 Q1 关断时，Q2 的体二极管继续流过电流，此二极管上的电压毛刺大约为 10V，如图中上面的曲线所示，其原因是二极管的正向恢复和内部封装电感所致。

然而，相应的在 IR2110 的 5 脚的负的冲击是 50V，如图中下面的曲线所示。这是由在交流通路上的杂散电感 L_{D2} 和 L_{S2} 的 di/dt 所引起的，因为这些电

感使 5 脚与体二极管隔离。以 10A, 20ns 开关, 并有 50nH 的杂散电感时就要考虑一个严重的问题, 那就是会产生 25V 的冲击。一个小回形针那样的就会有 50nH 的电感。

处理这种冲击的大多数有效的办法就是减小交流通路的杂散电感。也就是说, 使高压侧器件的源极或发射极非常靠近低压侧器件的漏极或集电极, 如图 10 所示。

在这些电感被减小到最低限度以后, 也可通过栅极电阻的方式降低开关速度以减小 di/dt 。直接用 IR2110 或相似的 MGD 来驱动 MOS 栅极功率晶体管可能引起不必要的高速度。如图 5b 所示电路可产生 4ns 的关断时间, 串联栅极电阻为 0Ω , 并在 IR2110 的 5 脚产生 90V 的负冲击电压。图 9 是负冲击和关断时间相对于串联栅极电阻的曲线。

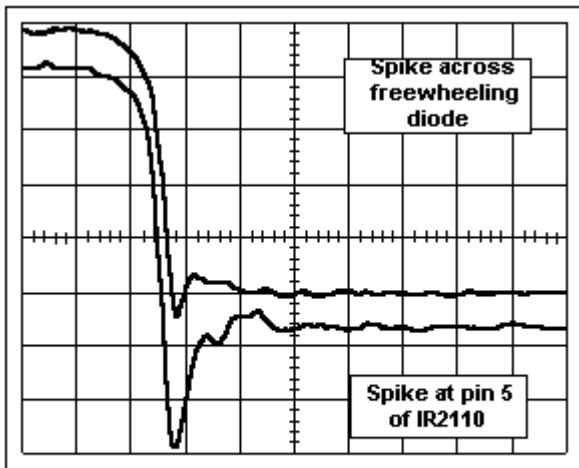


Figure 8. Waveform while Q1 turning off 20A inductive load (20ns/div and 20V/div)

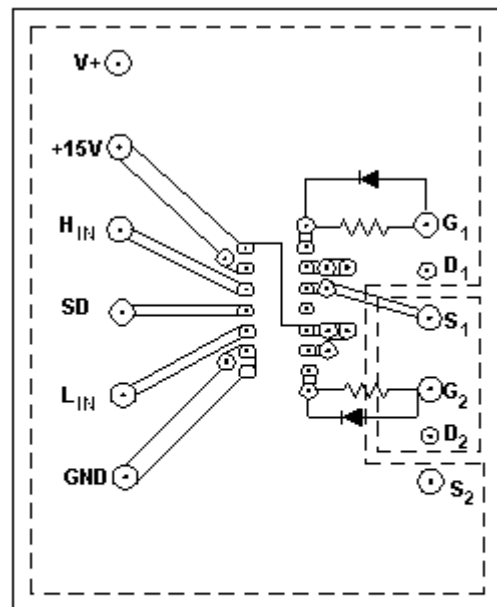


Figure 10. IR2110 test circuit Note: Dotted lines represent pads on bottom side of board. V+, GND, D1, S1, D2, S2, terminals have plated through holes

随着串联栅极电阻值的增加, 负冲击的幅值迅速减小, 而关断时间是串联栅极电阻的线性函数。选择图 9 两曲线交点处的串联栅极电阻值能够折衷冲击幅度和关断速度。在测试电路中选择 27Ω 速度的串联栅极电阻时, 冲击幅度为 18V, 关断时间为 48ns。建议在串联栅极电阻上并联一个阳极朝向栅极的二极管。此二极管在整个关断期间导通并使栅极很快关闭。降低导通速度可减小冲击的

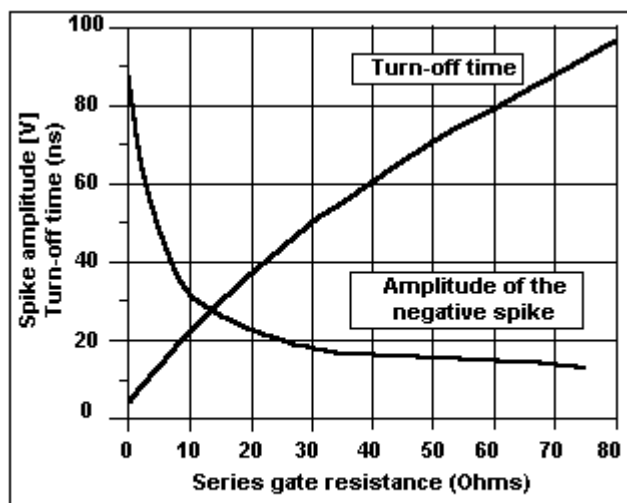


Figure 9. Series gate resistance vs. the amplitude of the negative voltage spike and the turn-off time.

反向恢复，有关解释可参考第 12 节（也可看参考资料 2）。栅极电阻值在设计允许时应尽可能的小，以限制在器件上的过电压和在 V_S 脚上的负冲击。

在设计中应使栅极充、放电回路的杂散电感最小，这样可减小振荡，改善开关速度，提高抗噪音能力，可参看“dv/dt 引起导通”。最后要说明的是每个 MOSFET 都应单独的直接和 MGD 栅极驱动信号的返回端引脚相连。使用一对双绞线连接可获得最佳效果，它的一端去栅极和源极，另一端去栅极驱动和栅极驱动返回端。

在 PCB 板上使用平行线。图 10 的设计中减小了交流通路中的杂散电感，在直流通路中的杂散电感也可同栅极驱动回路中一样的方法来减小。此电路中在很快的瞬态时间内，功率 MOSFET 的栅极引脚和 IR2110 的驱动引脚之间的电压超过了 2V。

7. 如何提高 MGD 的输出电流去驱动模块

模块和其它类似的 MOS 栅极功率晶体管需要更大的电流和更低的栅极驱动阻抗，这比一个典型的 MGD 所提供的要大的多。图 11 是一个能够输出 8A 峰值电流的高输入阻抗的功率缓冲器。缓冲级紧靠功率模块，这样可以减小栅极驱动回路的电感并改善开通时所产生的 dv/dt 的抗干扰性。缓冲级所需的静态电流可以忽略不计，它可由自举电容供给。

缓冲器的驱动信号来自 IR2110 或者更确切的说来自有较低栅极驱动能力的 MGD，该缓冲器可以驱动一个栅极总电荷为 600nC 的 IGBT 模块。Q1 和 Q2 对 Q3 和 Q4 来说是一个低电流的驱动器，Q3 和 Q4 大小依据输出峰值电流的需要适当选择。

当输入信号改变状态时，R1 限制在几纳秒时间内两晶体管同时导通时通过 Q1 和 Q2 的电流。当输入转变到一个新的状态时，驱动器晶体管迅速放掉栅极的电荷，强制输出晶体管转到关断状态。在此期间另一个输出晶体管的栅极通过 R1 被充电；由 R1 和输出晶体管的输入电容所构成的 RC 时间常数将会使导通延迟。

图 12 是一个驱动 60A 感性负载的典型开关参数。有 50ns 的导通和关断延迟，上升和下降时间小于 40ns，用一个 0.1 μ F 的电容负载测试缓冲器，如图 13 所示。振荡是因为输出谐振电路，谐振电路由负载电容和杂散电感构成。图 14 是电流消耗与频率的关系图。在后级尽可能使用低导通阻抗、低压的 HEXFETs，但是会发现 $R_{DS(on)}$ 大幅度减小时，峰值电流上升很大，这会在电路中引起很大的噪音和振荡。

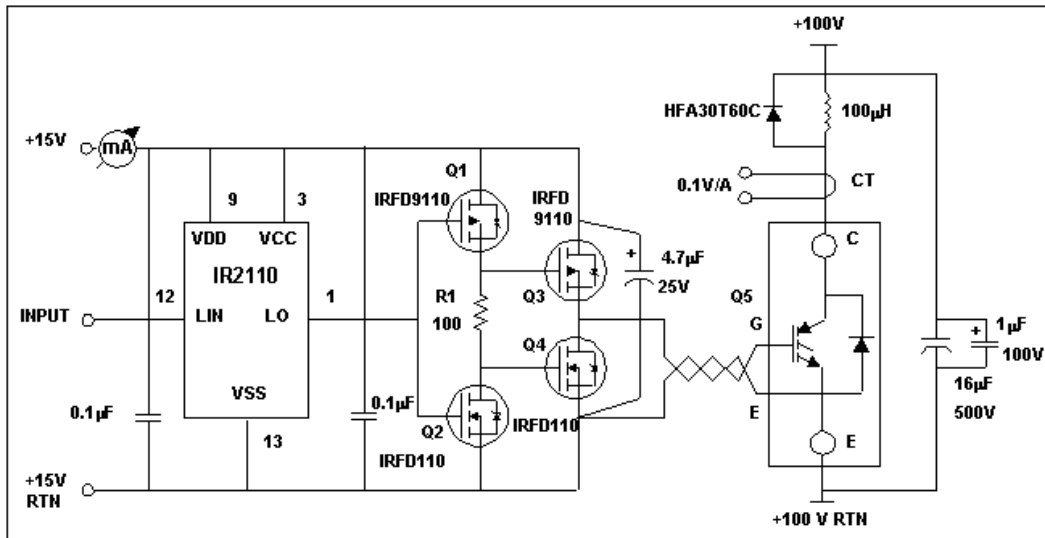


Figure 11. Test Circuit

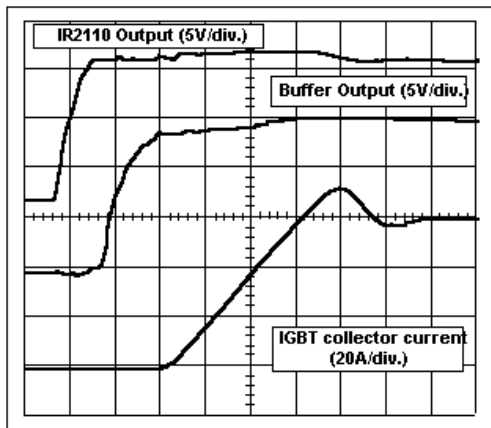


Figure 12a. Waveform, turn-on, IGBT module switching inductive load of 60A. (50ns/div.)

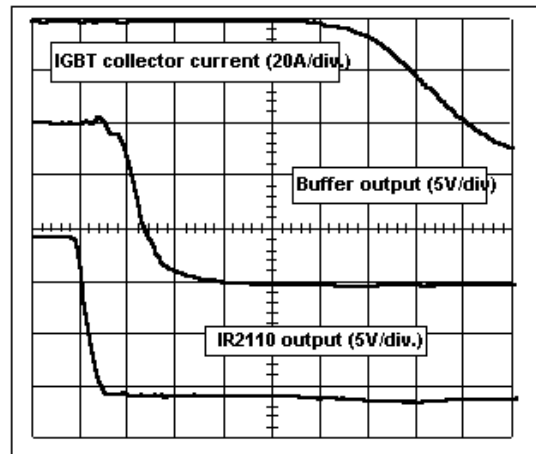


Figure 12b. Waveform, turn-off. Propagation delay is 50ns, fall time is less than 40ns when driving 600nC gate charge of the module 50ns/div.

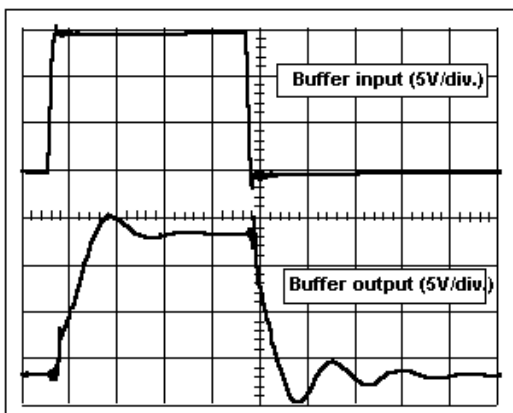


Figure 13. Waveform driving 0.1mF capacitor (250ns/div.)

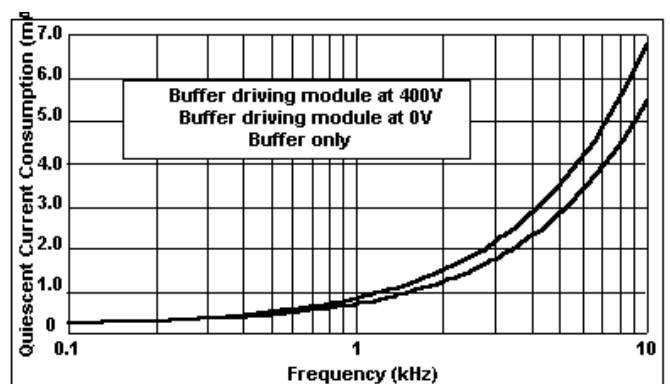


Figure 14. Current consumption vs. frequency

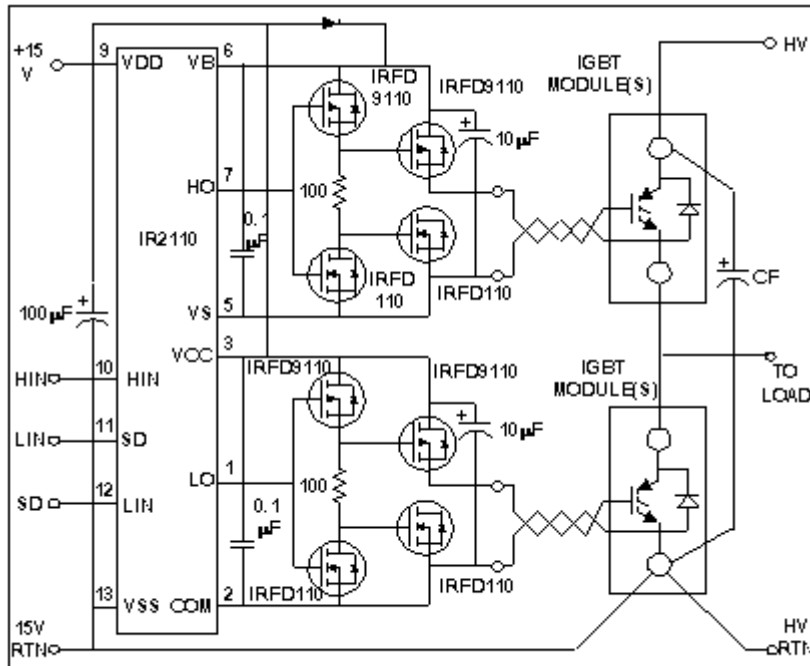


Figure 15. Application circuit schematic

图 15 给出了这个缓冲器的一个典型用法。在缓冲器的输出侧使用高品质的 $10\mu\text{F}$ 的钽电容或 $10\mu\text{F}$ 的电解电容和 $0.1\mu\text{F}$ 的陶瓷电容。这些退耦电容在物理位置上应靠近 HEXFET 放置，以便降低杂散电感的影响，此措施也会使在栅极导通期间减小振荡。在缓冲器输出和模块之间使用短的，紧密的绞合线。在底端 IGBT 模块的发射极处单点接地。在桥式结构中连接 IGBT 模块的发射极和公共地点之间的导线应短而粗，以此点作为公共地点。

8. 如何提供一个连续的栅极驱动

在象无刷直流电机一样的应用中，需要高压侧器件不定期开通。在此种情形下，电荷在自举电容中，为达到此目的，通常使用隔离电源。

这些措施会增加成本，经常导致功率器件假开通，这是因为通过它们变压器的匝间电容耦合过来的开关量 dv/dt 引起。图 16 是一个便宜的可选的隔离电源方案：充电泵电路。选择 IR2125 来示范说明充电泵和自举电路的协调工作，IR2125 也有线性电流限制和时间溢出关断功能，以此来保护 MOS 栅极器件。充电泵使用 CMOS 555 定时器给 IR2125 提供低的工作电流需要。

当 IGBT 关断时，自举电容通过自举二极管和负载电阻充电。当 IGBT 导通时，通过和地连接的 100K 电阻给接在 555 定时器 1、8 脚间的 100nF 的电容充电，产生以 IR2125 的 5 脚为参考点的 -15V 电压。充电泵电路由两个 1N4148 二极管和 10nF 的电容构成，它把 555 的 3 脚输出的 7.5KHz 的方波转变为以 V_S 点为参考的 $+15\text{V}$ 电压，并给自举电容充电。

图 17 给出了电路启动时的波形。当 IGBT 导通时，自举二极管阻断 IR2125 的 8 脚和 $+12\text{V}$ 电源相连接，自举电容上的电压开始降落。同时位于 555 定时器的

应用手册

高压浮动 MOS 栅极驱动集成电路 (第三部份)

9. 如何产生一个负的栅极偏置

不是 MOSFET 或 IGBT 需要一个栅极负偏压，关断时设置栅极电压为 0 以确保正常工作，或提供一个相对于器件极限电压的负偏压。然而在某些情况下需要负压栅极驱动：

- 半导体制造商指定了该器件的栅极负偏压
- 由于电路中噪声使栅极电压不能够安全地保持在门限电压之下
- 开关速度要求

尽管所涉及的是 IGBT，但是这些信息对功率 MOSFET 也同样适用。国际整流器公司制造的 IGBT 不需要负偏压。在数据表中公布的分立器件和模块的开关时间及能量损耗值是在栅极零压关断时测量的。当 IGBT 的集-射极电压快速增加时，就会出现“dv/dt 导致导通”的问题。

在暂态时栅-集（米勒）电容向栅极传送电荷，增加了栅极电压。在栅极电压“点”的高度和宽度由栅-集和栅-射的电容比值、与栅极相连接的驱动电路的阻抗及在集-射极间应用的 dv/dt 所决定。

下面的测试被用来测定极限电压和在高 dv/dt 应用中串联栅极电阻的影响。测试电路如图 18 所示。上端的 IGBT 的正偏压持续增加直到下端 IGBT 所显示的开关损耗超过击穿电流。在 15A 的感应电流和 6V/ns 的条件下测量导通损耗，结果示于图 19。

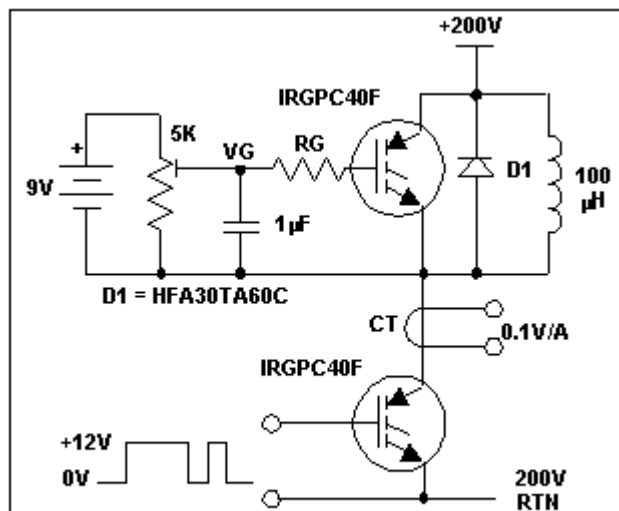


Figure 18. Test circuit

增加导通损耗的极限电压电平分别为 4V、5V 和 5.6V，它们的串联栅极电阻相应地是 47、10 和 0。在串联栅极电阻并联一个二极管（阳极朝向栅极）有助于轻微补偿栅极，因此串联栅极电阻的大小依照导通需求而定。给 IGBT 输出电容（ C_{OES} ）充电所产生的电流冲击经常会给传导电流带来麻烦。

IRGPC50F IGBT 在 20V/ns 的 dv/dt 下的电流冲击幅度大约为 5A。冲击的幅度不会因为使用负偏压而变化。

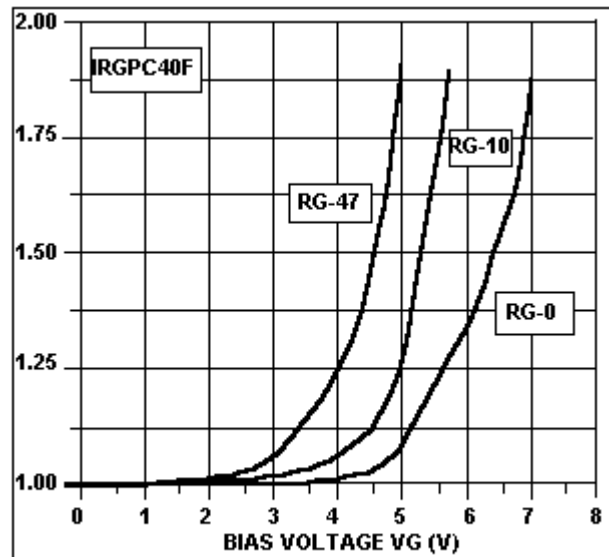


Figure 19. Turn-on losses vs. VG

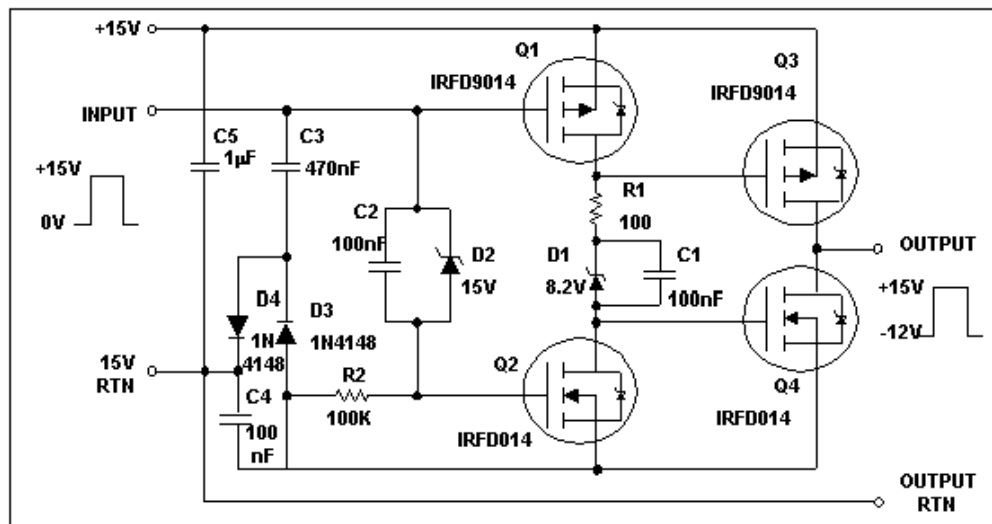


Figure 20. Buffer with negative charge pump

图 20 给出了基本的缓冲器电路和负压充电泵。缓冲器电路使用了两个 P 沟道和两个 N 沟道的 MOSFET。在 Q3 和 Q4 栅极之间的电阻 R1 减缓了输出晶体管的导通和限制了驱动器中的击穿电流。D1 减小了 Q3 和 Q4 的栅极电压。D2、C2 和 R2 对 Q2 来说形成了一个电平转换器，C3、C4、D3 和 D4 把输入信号转换成负的直流电压。在导通后负电压会存在少许周期，即使占空比在极小或极大的情况下也如此。负电压存在的时间和强度受信号源输出阻抗的影响。

图 21 利用了 IR2110 的高压电平转换能力，并结合了图 20 中 MOS 缓冲器的驱动能力和负压偏置。用两个栅极电荷为 600nC 的 270A IGBT 模块测试该电路。图 22 给出了测试波形，电路导通延迟为 1ms，关断延迟为 0.2ms。

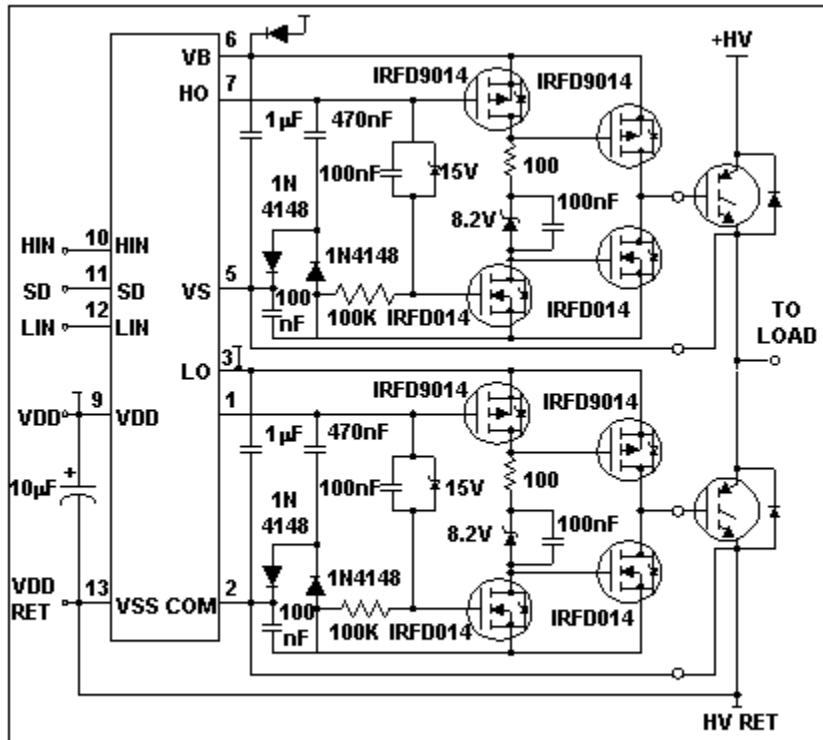


Figure 21 Half-Bridge drive that generates negative bias

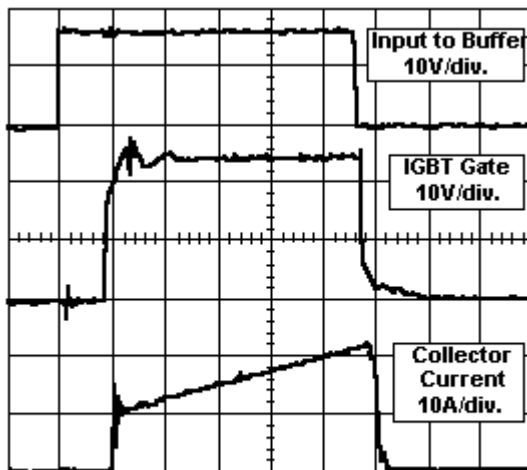


Figure 22. Waveform from negative bias Half-Bridge driver (1ms/div.)

开关频率为 5KHZ，占空比为 50%时负偏置电压持续时间约为 10ms。在启动时电路甚至在第一个周期结束后会传送一些负栅极电压。在功率下降期间，栅极电压仍保持负值直到蓄能电容放电。

重要声明： IR IGBT 和 IGBT 模块不需要负压栅极驱动。NPT 类型的 IGBT 需要负压栅极驱动，其值随 C_{cg} 与 C_{ge} 电容量的比值不同而显著变化。通过增加栅极电容可以消除负压栅极驱动的需要，即减小 C_{cg} 与 C_{ge} 的比值，因为消除米勒影响，可消除由在栅极上产生的米勒电压所引起的误导通。

如图 27 所示，增加电阻 R1 给自举电容提供了一个可供选择的充电路径。因为 V_{IN} 比 V_O 高，如果 VS 脚等同于 V_O 电位，一些充电电流总是流过 R1。

为了使 CB 保持充电，流经 R1 的平均电流应高于最坏情况下的泄漏电流。D3 应是一个在小电流时有很陡峭的拐点的低电平齐纳二极管，12V 和 15V 的推荐序列号分别为 1N4110 和 1N4107。

如果 BUCK 变换器的输出电压介于 10V 和 20V 之间，这一技术也可以用于 PWM 控制器电源，IR2110 和其它辅助电路中。

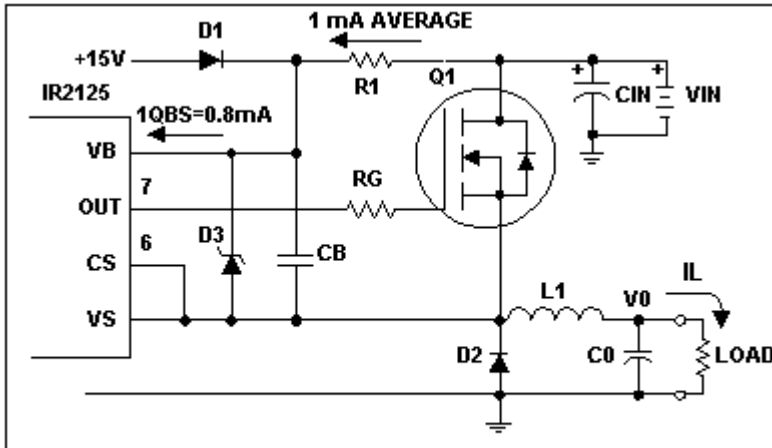


Figure 27. Adding R1 to the circuit, charging current can be derived from V_{IN} .

11. 双正激变换器和开关磁阻电机的驱动

图 28 所示的桥式排列经常用来驱动开关磁阻电动机的线圈或者双正激变换器中的变压器。

使用 IR2110 时需要增加 4 个元件以确保自举电容在导通时及以后的周期中被充电，并使续流二极管的传导时间变得非常的短。

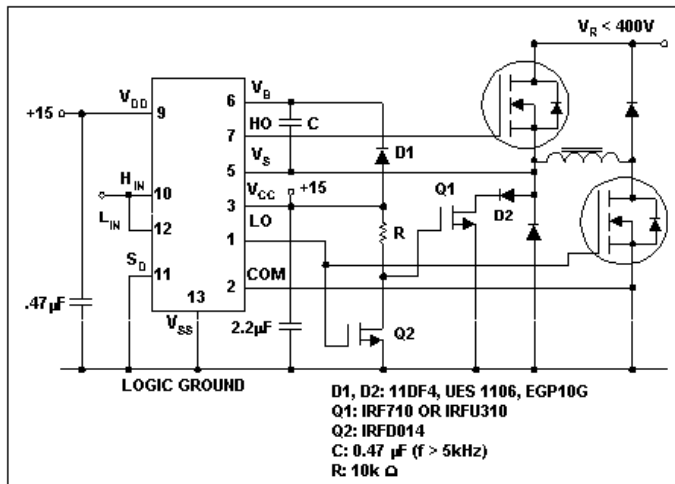


Figure 28. Dual forward converter and switched reluctance motors

12. 电流模式控制的全桥电路

图 29 示出具有闭环电流控制的 H 桥。电流控制是由在低压侧的电流检测器件与 IR2110 的关断引出脚相连来完成的。电流检测电路的具体实现取决于用来产生所需的输出电压、精确性、负电源的获得、带宽等的 PWM 技

术(参考文献 3、4 和 5,包括大量的这方面细节)。正如 2.1 节所阐述的,关断功能被锁定以便功率 MOSFET 在负载电流通过它们的内部二极管衰减时仍保持处于断态。这一锁定在下一周期开始时被复位,此时功率器件再次接受信号开通。如图 6 和图 7 所示,退耦电容减轻了 L1 的负压影响。另一方面,必须用紧凑设计减小 L2,如前面图 10 所示。IR2110 的导通和关断传输延迟应匹配(最坏的失配情况是 10ns),导通传输延迟比关断延迟长 25ns。通过它们自身,甚至在导通和关断输入信号一致时,这一措施可以确保功率器件不会发生直导通。

如图 29 中虚线所示,给栅极增加一个电阻二极管网络可以加大安全裕量。此网络的目的是进一步延迟导通,但对关断没有影响,因此就插入了一些附加的死区时间。这个电阻-二极管网络也有益于减小反向恢复期间电流冲击的峰值。如参考资料 2 中所述,这样会对功率损耗有影响,同样对 dv/dt 和 EMI 也有影响。图 30 给出了用图 10 所示的测试电路测试得到的波形。IRF830 HEXFET 的工作频率为 500KHZ,不会出现任何问题,也不会引起 IR2110 任何显著的发热。

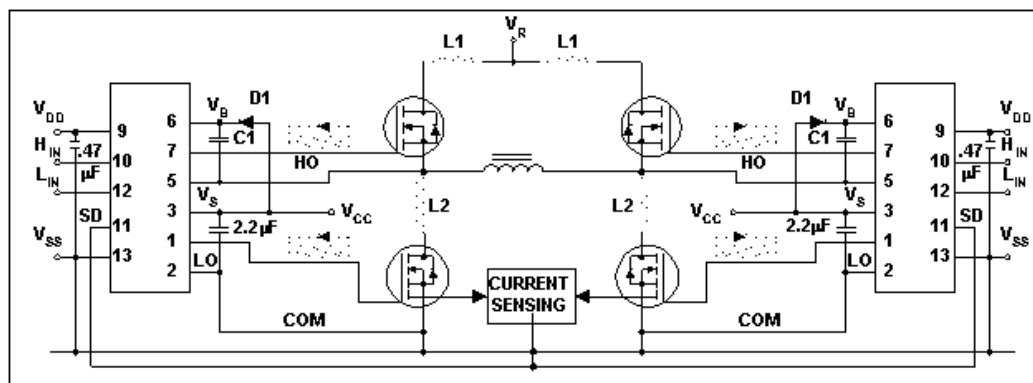


Figure 29. Typical implementation of all H-Bridge with cycle-by-cycle current mode control

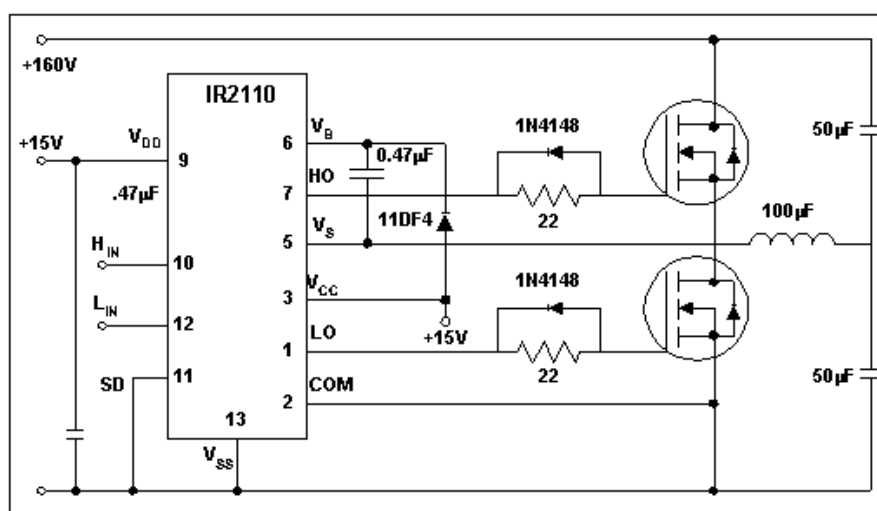


Figure 30a. Test circuit for waveforms shown in Figure 30b. IRF450 operated at approximately 100kHz in a 100 mH inductor.

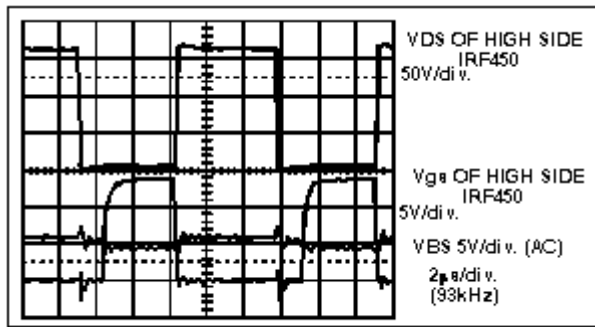


Figure 30b.

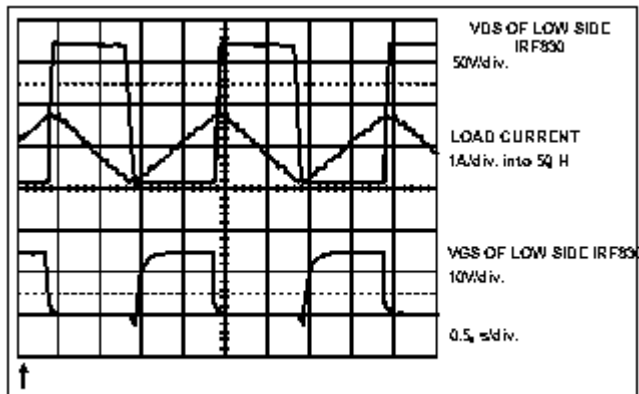


Figure 30c.

13. 无刷和感应电机驱动

用三相桥来驱动电机时需要严格注意布局设计，这是因为波形中含有很大的 di/dt 分量。特别地，离共地点最远的驱动器将在 COM 和参考地之间承受最大的电压降（参考资料 1）。

在三相驱动器的例子中，如 IR213x，第 5、6 节中的指导方针可由以下措施来实现：从 MGD 的 COM 端分别单独与三个器件的低端相连接，此外，有几个作为可能出现潜在问题的区域的工作条件需要严格详尽研究。

当一无刷直流电机在一个不定时间周期内，一转子被锁定，且桥的一臂断开情况下工作时，这种条件可能发生。

在此条件下，自举电容最终放电，这取决于在此期间由 VS 所承受的电压。结果，上侧功率器件将关断，在施加信号时并不工作。在绝大部分情况下，这将是故障的原因。因为下侧器件将在下一步被施加信号开通，并且自举电容将被充电，为下一周期的工作做好准备。总的说来，如果设计不能忽略这种工作方式，它可以用下述四种方式之一来避免：

1. 如第 8 节所描述，充电泵可以完成此目的
2. 控制被设置为有几微秒最小脉冲宽度的非常短的“正常”占空比
3. 如果一个电极在一个有限的和已知时间周期内能不被利用，那么自举电容可以依照在此期间所需维持的电荷来选择大小。

4. 为高端提供隔离电源，并增加自举电容

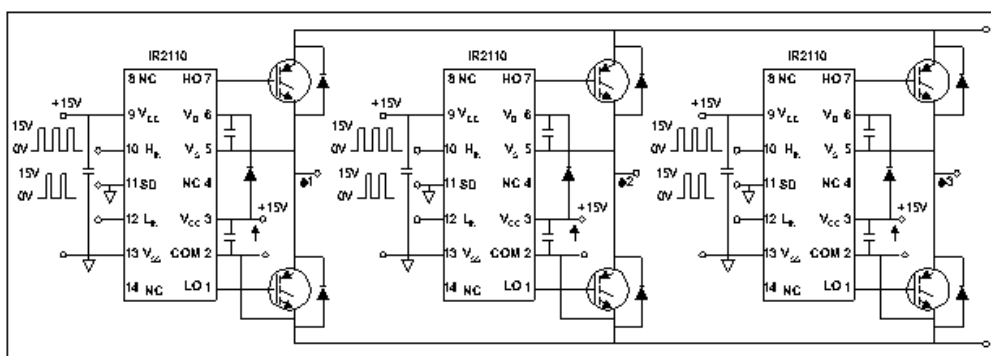


Figure 31. Three-Phase Inverter using three IR2110 devices to drive six IGBTs

如果桥路是感应电机驱动的一部分，而感应电机驱动应用 PWM 技术合成的正弦波，每一电极在低频时以零或非常低的占空比通过被延长了的时间周期。自举电容大小的选定，以据其在这些时间周期中保持有足够的电荷而不需重新充电为原则。在图 31 所示的电路中，高压电源和逻辑电路之间的电绝缘是出于安全考虑或者在逆变失败时抑制损害的一种需要形式。

通常使用光电隔离器或者脉冲变压器来达到此目的。对于 5KW 以上的驱动，在 INT-985 所示的电路中提供的绝缘方法可能是最简单和性价比最高的方式。MGD 的使用保护了高电压 dv/dt 下的光电隔离器，并当需要提供高性能栅极驱动能力时减小了成本。

14. 推挽

高压 MGD 在不需利用它们关键功能、高压电平转换和浮动栅极驱动的一些应用场合中也是极其有用的。

适当的时候，VSS 和 COM 间的噪声弹性和高速驱动能力，在绝大部分功率调节应用中是个吸引人的特点。简单地附加一个退耦电容，它们就能完成接口和栅驱动功能，如图 32 所示。

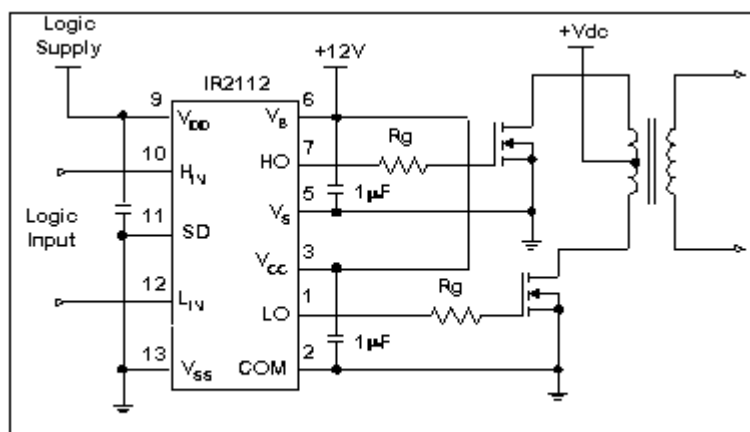


Figure 32. Push Pull Drive Circuit

15. 高端 P 沟道

如图 33 所示，如果可获得以正干线为参考点的负电源的话，MGD 也能驱动高压侧开关的 P 沟道器件。当工作在这种方式时， H_{IN} 输入变为低电平有效，即输入的逻辑 0 开启了 P 沟道 MOSFET。

无论 V_S (或 V_B) 处于相对于地的一固定的电位，在 4.2d.2 节中所提的功耗都为零。

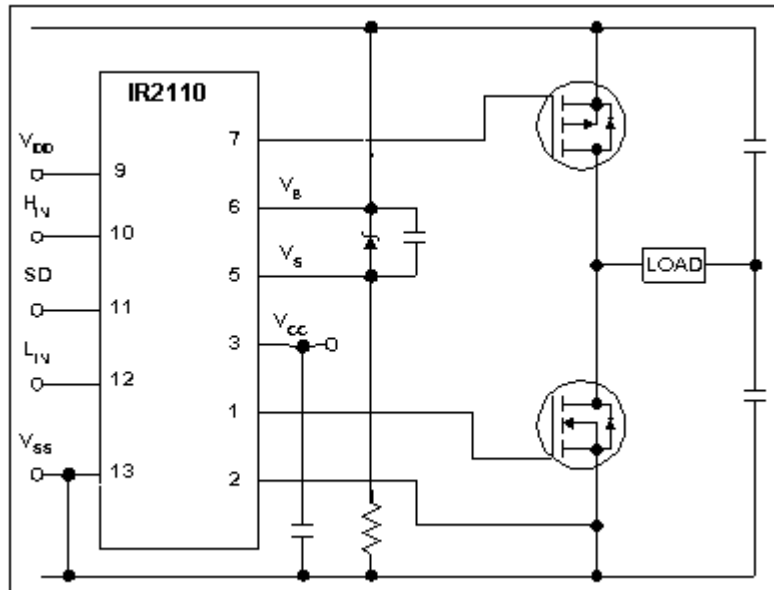


Figure 33. IR2110 driving a high side P-Channel

16. 闸流管栅极的驱动

图 34 所示的电路对一个闸流管能够提供绝缘栅极驱动，并有固定反馈。变比为 2:1 的栅极驱动变压器能够使由 MGD 传送给栅极的电流加倍。

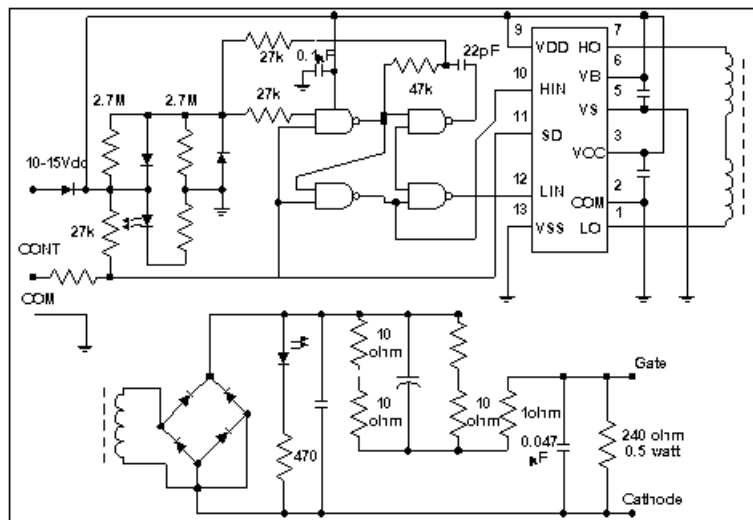


Figure 34. Isolated SCR Gate Drive Circuit

17. 故障排除提示

为了分析 IR2110 浮动通道的波形，需要一差分输入示波器。任何不以地为参考的电位差以此方式测出。

也假定已经做了明确的检查，例如：

- 管脚是正确连接的，电源是已退耦的；
- 自举充电二极管是超快速的，具有干线电压的额定值；
- 关闭管脚无效；
- 除非拓扑结构需要，逻辑输入并不引起器件同时导通。

现象	可能原因
无栅极驱动脉冲	验证 Vcc 是否在欠压锁定电平值之上
仅低端有栅极驱动脉冲	测量自举电容两端电压，它应该在自锁电平以上。如果不是，检查为什么电容没有被充电，确保电容在开通时被充电。
上端通道工作不稳定	验证 Vs 不能比 COM 低 5-10V 以上。 验证高压侧通道没有进入欠压锁定。 验证相对于 COM 的 Vs 上的 dv/dt 不要超过 50V/ns。如超了，开关速度需要降低。 验证逻辑输入相对 VSS 应是无噪音。 验证输入逻辑信号要大于 50ns。
栅极驱动信号过度振荡	减少栅极驱动回路电感，用双绞线，缩短长度。如果减少回路电感不能将振荡降至一个可接受水平，那么增加栅电阻。

参考资料：

1. "New High Voltage Bridge Driver Simplifies PWM Inverter Design," by D. Grant, B. Pelly. PCIM Conference 1989
2. Application Note AN-967 "PWM Motor Drive with HEXFET III"
3. Application Note AN-961 "Using HEXSense in Current-Mode Control Power Supplies"
4. Application Note AN-959 "An Introduction to the HEXSense"
5. "Dynamic Performance of Current Sensing Power MOSFETs" by D. Grant and R. Pearce, Electronic Letters, Vol. 24 No. 18, Sept 1, 1988