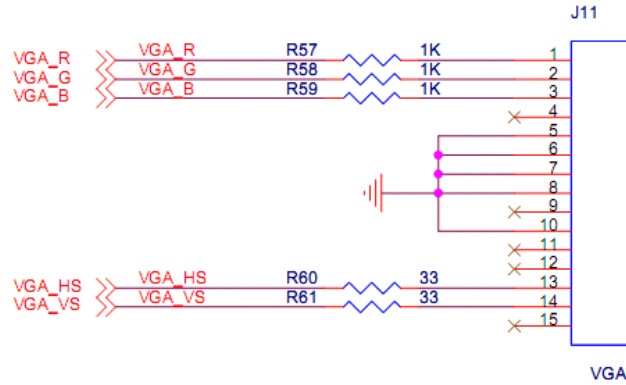


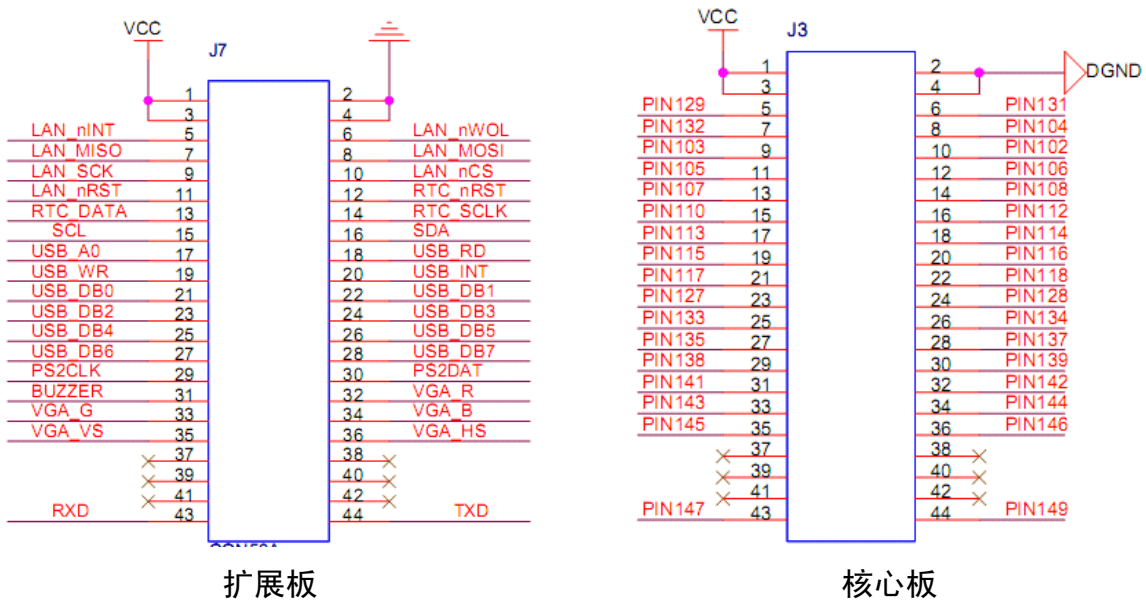
实验九配置:

黑金版的 FPGA 型号: CYCLONE II EP2C8Q208C8

硬件相关和引脚配置:



实验九所使用的硬件资源。

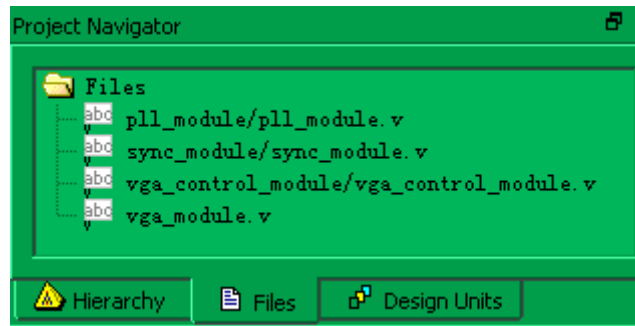


VGA_HS - Pin146, VGA_VS-145, VGA_R - Pin142, VGA_G - Pin143, VGA_B - Pin145。

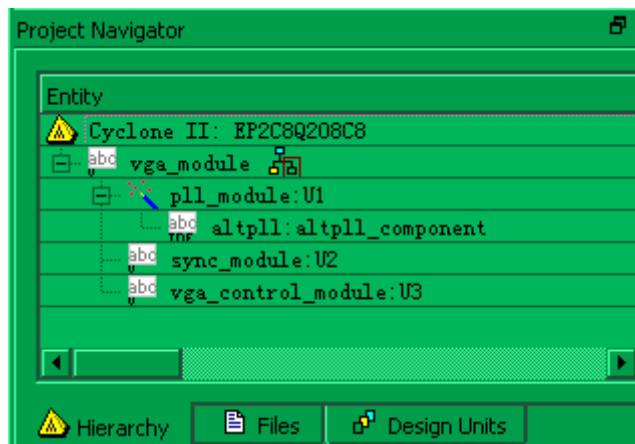
Node Name	Direction	Location	I/O Standard	Reserved
Blue_Sig	Output	PIN_144	3.3-V ...fault)	
CLK	Input	PIN_28	3.3-V ...fault)	
Green_Sig	Output	PIN_143	3.3-V ...fault)	
HSYNC_Sig	Output	PIN_146	3.3-V ...fault)	
RSTn	Input	PIN_23	3.3-V ...fault)	
Red_Sig	Output	PIN_142	3.3-V ...fault)	
VSYNC_Sig	Output	PIN_145	3.3-V ...fault)	

引脚配置。

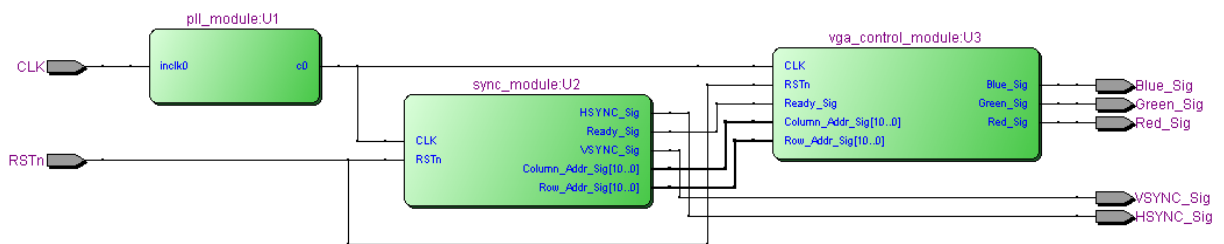
实验九之一配置:



实验所包含的.v 文件。

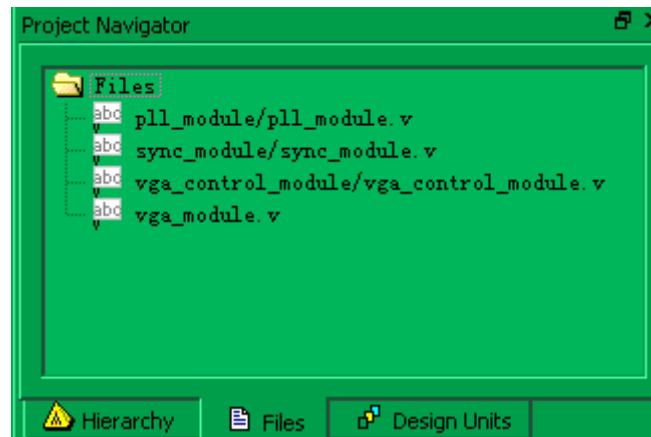


编译成功后的层次关系。

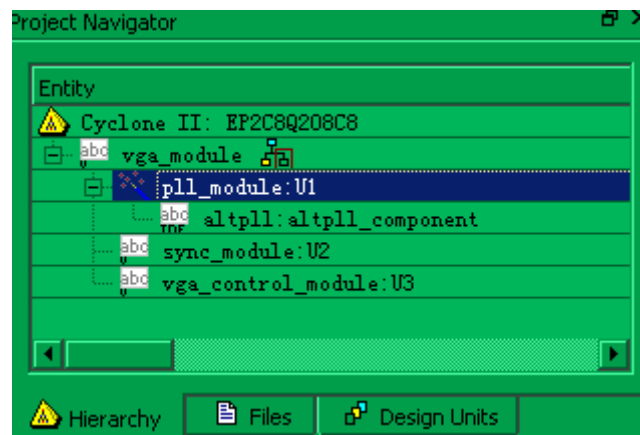


完成后扩展图。

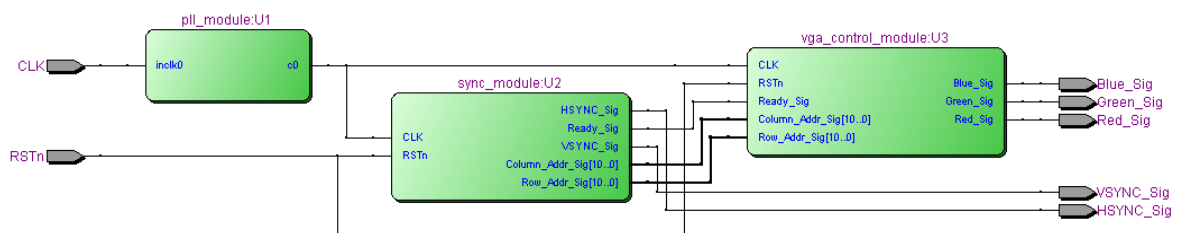
实验九之二配置:



实验所包含的.v 文件。

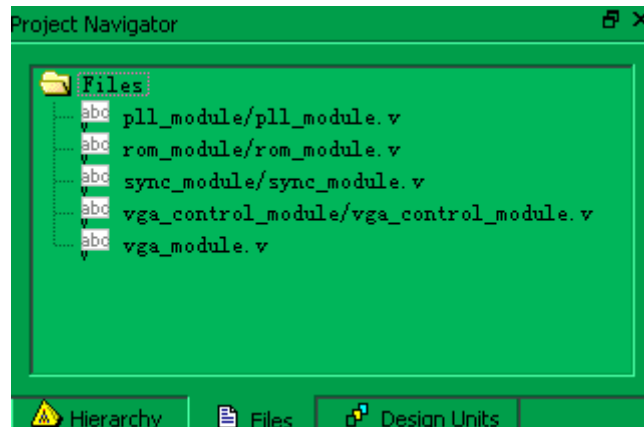


编译成功后的层次关系。

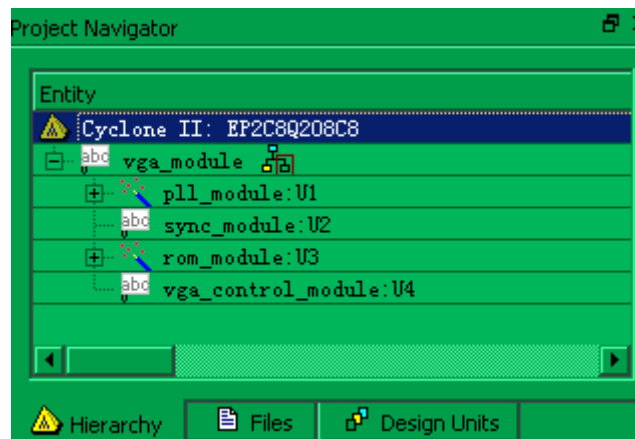


完成后扩展图。

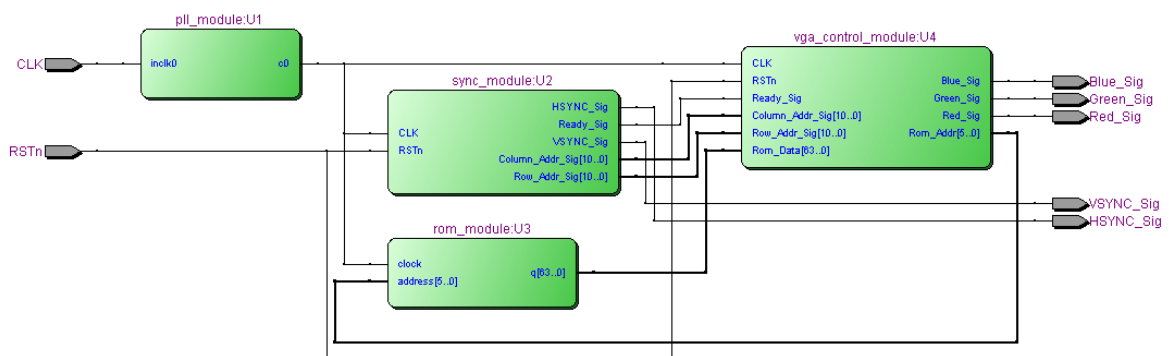
实验九之三配置:



实验所包含的.v 文件。

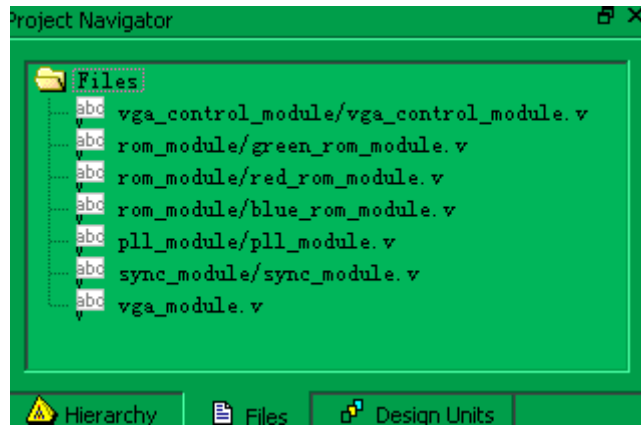


编译成功后的层次关系。

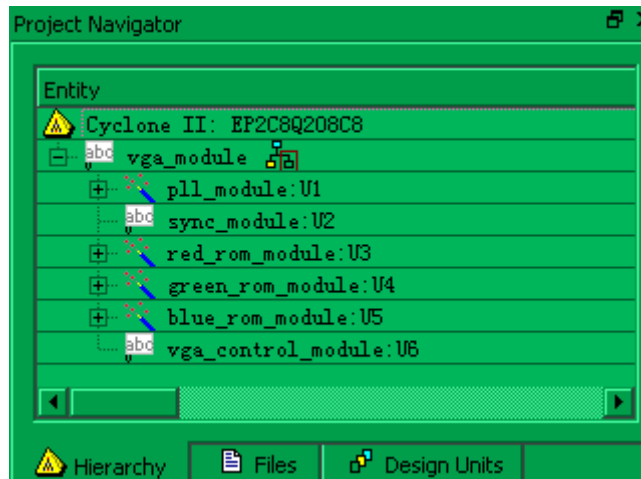


完成后扩展图。

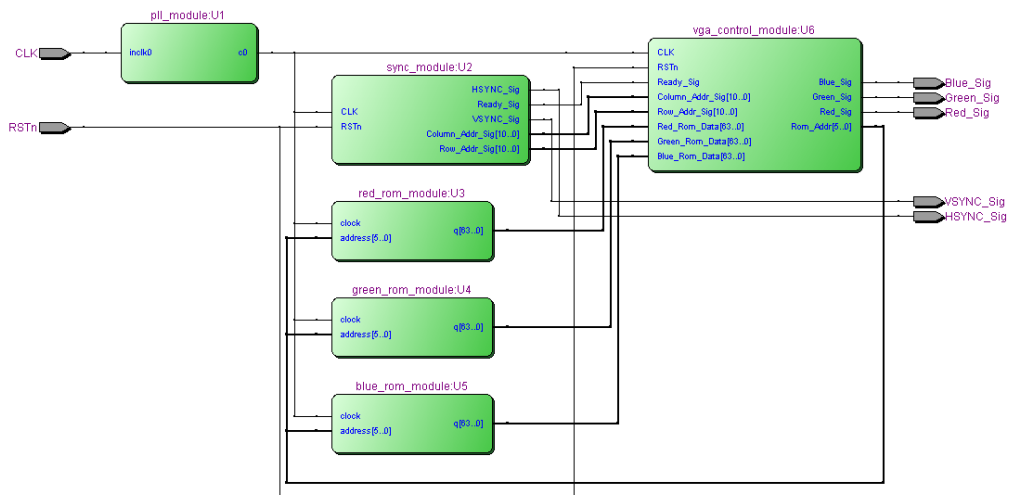
实验九之四配置:



实验所包含的.v 文件。

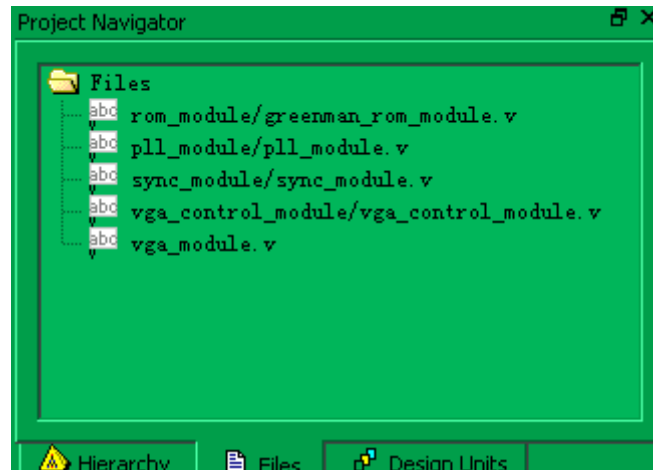


编译成功后的层次关系。

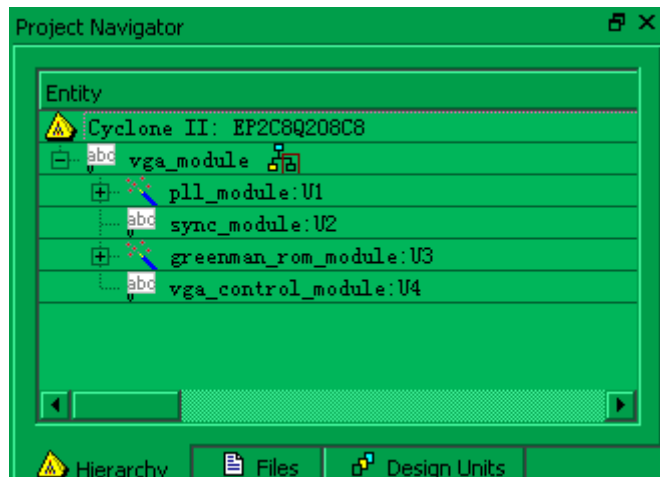


完成后扩展图。

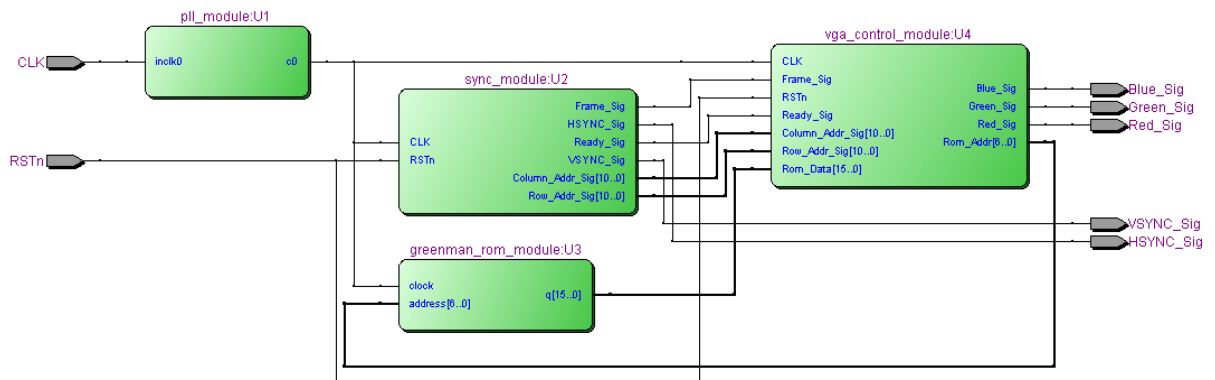
实验九之五配置:



实验所包含的.v 文件。



编译成功后的层次关系。



完成后扩展图。