



# 宿州学院

2010 届本科生毕业论文

分类号: \_\_\_\_\_

题目 数据采集系统中 20MHz 模拟通道设计

系别、专业 电子与电气工程系 电气工程及其自动化

研究方向 \_\_\_\_\_

学生姓名 孙文中

学号 2006080140

指导教师姓名 曹宝银

指导教师职称 \_\_\_\_\_

# SuZhou University

Year 2010 Bachelor Graduation Design

Title: The 20MHz Band Width Signal Adjust Circuit in  
Data acquisition system

Author: WenZhong Sun

Student ID: 2008080140

Department: Electronic and Electrical  
Engineering

Major: Electrical Engineering and Automation

Instructor: BaoYin Cao

Professional Title:

## 摘 要

数据采集系统就是为了完成数据采集过程，由为了完成某些特定信号，或一组信号而由一系列软件和硬件组成的软硬件系统。模拟通道作为数据采集系统中的关键部分组成部分之一，其性能指标直接制约了数据采集系统的发展，如何是模拟通道具有更高的带宽，更好的交直流性能，更低的噪声，成为了数据采集系统中模拟通道设计研究的主要内容和关键内容。

本课题围绕数据采集系统中模拟通道设计展开，研究和解决如何实现一个实用化的带宽为 20MHz 模拟通道。其主要任务是输入信号调理通道设计，触发通道设计，偏置调节设计，通道控制程控数字接口设计，电路保护，以及电路板设计中的噪声抑制和抗干扰设计等。

在信号调理通道设计中主要使用了无源衰减网络+高输入阻抗 FET 高速运放运放+VGA (Variable Gain Amplifier) + 移位电路的结构，完全满足而且超出了既定的 20MHz 带宽的设计要求。触发电路主要使用了高速比较器+程控触发电平设置电路的结构， 移位电路同样实现了程控设计而且移位电路的特殊设计使得电路的调试和器件的选择变的简单。这样使移位电路和触发电路不但可以通过后端数字控制器件直接控制，而且不受信号调理通道输入量程的限制，实现了全动态范围的程控调节，整个电路不存在任何需要人工控制的开关，使实现自动测量成为可能。

硬件器件的选择和 PCB (Print Circuit Board) 的设计在保证交直流性能，抗噪声和抗干扰能力的同时还尽可能的降低了电路的功耗，供电的要求，以及电路板的体积，使得该模拟通道可以应用于低功耗，便携式数据采集设备中。在设计，调试和验证的过程中主要涉及到的理论和技术有：传输线理论，高速 PCB 设计和运算放大器的应用等。

**关键词：**信号调理，高速运算放大器，模数转换器，VGA，高速比较器，触发

UnRegistered

## Abstract

Data acquisition system is to complete the data collection process, from order to complete some specific signal, or a group of signals consists of a series of software and hardware components of the software and hardware systems. Analog channel data acquisition system as a key component of some of its performance constraints for the development of data acquisition system, how is the analog channels with higher bandwidth, better AC and DC performance, lower noise, as the data acquisition system design of analog channels the main content and key content.

The issue surrounding the data collection system launched in analog design, research, and resolve how to implement a practical bandwidth of 20MHz analog channels. Its main task is to input signal conditioning channel design, trigger channel design, bias adjustment design, access control program-controlled digital interface design, circuit protection, and circuit board design of noise reduction and anti-jamming design.

In the design of the main channel signal conditioning using the passive attenuation network + high input impedance FET high-speed op amp + VGA (Variable Gain Amplifier) + shift circuit structure, fully meet and exceed the established design requirements 20MHz bandwidth. Trigger circuit mainly used in high-speed comparator + programmed trigger level setting circuit structure, the same shift circuit design to achieve a program-controlled circuit and the special shift circuit design makes the debugging and choice of devices easier. This will enable the shift circuit and trigger circuit not only can be directly controlled by the back-end digital devices, and signal conditioning channel input range from restrictions to achieve the full dynamic range of program-controlled adjustment, the circuit there is no need to manually control the switch. That can be used in automatic measurement.

The choice of hardware devices and the PCB (Print Circuit Board) design in ensuring AC and DC performance, anti-noise and anti-jamming performance, but also as low as possible power consumption of the circuit, power supply requirements, and circuit board size, which makes the analog channel can be used in low power, portable data collection devices. In the design, debug and validation process are mainly related to the theory and technology are: transmission line theory, high-speed PCB design and operational amplifier applications.

**Keywords:** Signal conditioning, high-speed operational amplifier, ADC, VGA, high-speed comparator, triggering

## 目录

<b>第一章 前言</b> .....	<b>1</b>
1.2 国外发展现状 .....	2
1.3 国内发展现状 .....	3
1.4 设计任务 .....	3
1.5 总体设计 .....	4
1.5.1 信号调理通道 .....	4
1.5.1.1 信号调理通道的作用 .....	4
1.5.1.2 信号调理通道的结构框图 .....	4
1.5.1.3 框图说明 .....	4
1.5.2 触发通道 .....	4
1.5.2.1 触发通道的作用 .....	4
1.5.2.2 触发通道框图 .....	5
1.5.2.3 框图说明 .....	5
1.5.3 控制通道 .....	5
<b>第二章 信号调理通道</b> .....	<b>7</b>
2.1 设计方案 .....	7
2.2 详细设计 .....	7
2.2.1 无源元件和继电器组成的高压衰减级 .....	7
2.2.2 信号的耦合切换 .....	8
2.2.2.1 无源衰减网络 .....	8
2.2.2.2 衰减系数的切换 .....	9
2.2.2.3 衰减网络元件选择: .....	10
2.2.3 输入缓冲级: .....	11
2.2.3.1 运放的选择 .....	11
2.2.4 程控放大级 .....	12
2.2.4.1 程控放大级的设计方案 .....	12
2.2.4.2 程控增益的设计 .....	14
2.2.4.3 本级的带宽 .....	15
2.2.5 程控移位级设计 .....	15
2.2.5.1 电路分析 .....	16
2.2.5.2 不同移位电路的优势和弊端: .....	17
2.2.6 信号调理通道的总体电压增益公式 .....	18
2.2.7 信号调理通道的总体带宽估算 .....	18

2.2.1	信号调理通道的上升时间估算 .....	19
2.2.2	关于放大器的级间匹配 .....	19
<b>第三章</b>	<b>触发通道设计 .....</b>	<b>20</b>
2.1	触发通道的作用 .....	20
2.1.1	本设计中的触发设计: .....	20
2.1.1.1	高速比较器 ADCMP600.....	21
2.1.1.2	触发通道电路分析 .....	21
<b>第四章</b>	<b>控制通道设计 .....</b>	<b>23</b>
4.1	控制通道的作用 .....	23
4.2	本设计的控制通道 .....	23
4.2.1	对信号调理通道的控制 .....	23
4.2.1.1	对耦合方式的控制以及前前端衰减的控制.....	23
4.2.1.2	对程控增益放大级的控制 .....	24
4.2.1.3	对移位级的控制 .....	26
4.2.1.4	对触发电路的控制 .....	26
<b>第五章</b>	<b>PCB 设计 .....</b>	<b>27</b>
5.1	噪声及抗噪声设计 .....	27
5.1.1	噪声的来源 .....	27
5.1.1.1	电阻热噪声 .....	27
5.1.1.2	三极管的热噪声 .....	27
5.1.1.3	数字电路的噪声 .....	27
5.1.1.4	电源噪声 .....	28
5.1.2	抗干扰设计 .....	28
5.1.2.1	相邻导线的干扰 .....	28
5.1.2.2	外界电磁干扰 .....	28
5.2	高速运放布线 .....	28
5.2.1	减小寄生效应 .....	28
5.2.2	电源旁路设计 .....	30
5.2.3	地平面设计 .....	30
	结论 .....	32
	参考文献 .....	33
	致 谢 .....	34

## 第一章 前言

### 1.1 概述

广义上说数据采集是指为了测量电压、电流、温度、压力或声音等物理现象。工业时代的数据采集过程需要大量的人工参与，过程复杂，精度低，耗时长，由于过多的人工的参与所以必然导致错误率的提升，随着技术的发展，人类进入信息化时代，以计算机和数字化器件为代表的信息计算发展迅速，数据采集技术自然而然的与现代信息技术融为一体，通过模块化硬件、应用软件和计算机的结合进行测量，成为了当今现代数据采集系统的普遍特征。典型的数据采集系统结构如下：

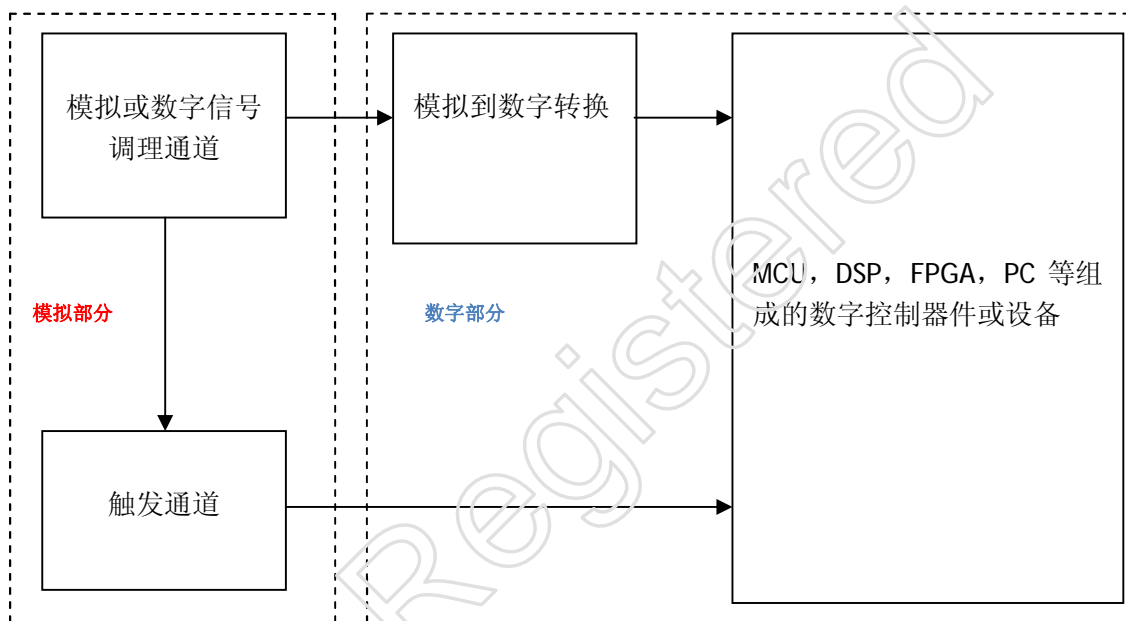


图 1-1

如上图所示一个基本数据采集系统主要有两大部分组成：模拟部分和数字部分，模拟部分的组要由信号调理通道和触发通道以及一些附属的控制电路组成，他们的功能是把被测信号可控的调节到模数转换器的输入量程之内，以适应模数转换的要求。数字部分主要完成两大功能：1.控制整个系统的运行；2.采集存储，处理发送经过数字化的数据信息。其主要由 MCU, DSP, FPGA, PC 或工控机等组成。在某些应用中，数据采集系统可以配有显示屏，触摸板等人机交互系统。同时可能带有以太网, RS-485, RS-232, USB 等通信总线，由此数据采集系统可以独立主机的形式或是集群节点的形式运行，以满足不同的应用需求。以数字存储示波器为例谈谈其所具有的传统模拟示波器所不具有的特点：单次信号捕捉：数字示波器能够捕捉像电源开关，或故障发生瞬这样的单次瞬态时事件。波形处理：数字存储示波器内部内嵌一个微处理器，它能够对被测试信号完成幅度和时



间等参数的测量以及波形运算等功能。

(3) 数据存储: 数字存储示波器带有非易失的存储器, 他们能够提供与数字存储示波器兼容的存储卡或优盘。示波器也能够容易地与许多绘图仪或打印机相连接进行高质量的阴拷贝。

(4) 更多的触发功能: 数字存储示波器能够提供许多模拟示波器没有的触发功能。如预触发, 触发释抑等。

(5) 自动测试: 数字存储示波器能够提供自动测试功能, 简化了使用者的操作, 使仪器更加智能化。

对于数字存储示波器来说, 模拟带宽是其重要指标之一, 它取决于示波器的前端器件, 如探头, 放大器和模数转换器等, 因此, 模拟通道的带宽成为数字示波器的发展瓶颈, 制约着数字存储示波器的发展。

具有较高带宽的数字存储示波器比低带宽仪器能更好的深入了解信号的特性, 能更好地在更短的上升时间内进行测量并捕捉和存储大量的数据。在使用高带宽仪器时, 地弹、噪声、串扰以及其他许多偏差都更易于观察到, 不容易被忽略。带宽越高再现信号就越准确。

从这几年的发展来看, 示波器的带宽越做越高, 当示波器带宽到达一定程度时, 模拟通道部分保持良好的幅频响应和相位响应就越来越难, 另外, 由于进入高频段, 对于触发电路的要求也同样更加严格。如何能够有一个良好的模拟通道时数字存储示波器设计的重要内容。

所以, 如何使模拟通道有更宽的频宽、更低的噪声、更好的交直流特性是数字存储示波器研究的重要内容, 模拟通道的设计也就成为数字存储示波器设计以及其他数据采集系统设计的关键环节。

## 1.2 国外发展现状

美国国家仪器公司, National Instruments (以下简称 NI) 是一家以数据采集软硬件设备为主产品的高科技公司, 该公司是虚拟仪器概念的提出者和倡导者, NI 在多功能数据采集卡, 虚拟仪器软件 (LabView) 等软硬件集成系统的开发和产品的应用上一直处于世界领先地位, 其数据采集卡设备有面向工业数据采集的, 面向民用如视频采集, 音频采集等, 面向医疗设备的如 B 超, 心电, CT 等设备中的应用, 以及一些应用于实验室和自动化测试的采集卡硬件, 如多通道高精度, 和多通道高实时采样率的 PCI 接口, USB 接口等通用采集卡, 这些硬件设备通过和 LabView 软件的联合应用大大降低设计难度, 缩短了产品的研发周期, 提高了工程设计人员的效率。

数字化仪器是数据采集的另一重要应用领域, 不得不提到的就是美国泰克公

司和美国安捷伦公司,他们作为世界领先的数字存储设备以及其他数字化仪器的先进供应商,其数字存储示波器的模拟带宽和采样率不短刷新业界记录,模拟通道作为数字存储示波器的关键部件,其性能的高低一直是制约数字存储示波器的关键因素。泰克和安捷伦公司都使用了集成化模拟通道设计,目前泰克公司提供的数字存储示波器的模拟带宽已经达到了 20GHz,采样率达到了 50GSPS,其售价一般在单台 20W 美元。高性能数字存储示波器广泛的应用于高速系统的信号抖动测量,高数差分串行信号测量,射频信号测量等。安捷伦公司作为另一家全球先进的仪器制造厂商,其产品涉及军事,医疗,工业,民用,实验室,以及教育领域。其在数字存储示波器产品上也代表了全球最高水平其目前产品中有模拟带宽为 13GHz,实时采样率为 40GSPS 的数字存储示波器。

### 1.3 国内发展现状

相对于国外水平国内数据采集技术尚处于起步阶段,具有代表性的国内厂商主要是北京普源和扬州绿杨,北京普源是一家本土的一起制造厂商,其数字存储示波的模拟带宽从 20MHz-----300MHz,采样率从 200MSPS----2GSPS,这已经是国内的最高水平但是相对与国外产品还是有非常大的差距,扬州绿杨是另一家本土仪器设备厂商,其产品性能略低于北京普源的产品。造成国内产品在性能上与国外有巨大差距的原因主要是:国内的芯片研发和制造技术严重落后与国外,国外的数字仪器的模拟通道设计往往是把各种分立的运放,比较器甚至是连同模数转换器集成于一块独立的芯片中,而国内现在还处于基于分立元件的组合设计上,高频段的信号对电路的连线长度,通道的一致性,温度的一致性,电路基板的介电常数的一致性有非常苛刻的要求,而这些要求是分立元件难以满足的,所以目前国内产品在性能上严重受制于芯片设计和制造这一基础科学和技术上;另一方面国内在自主创新上相对国外有较大差距,设计上缺乏特点,往往是千篇一律的设计,或者是寄托于靠国外芯片厂商来来提供设计方案。国内高性能仪器产业与国外产品存在巨大差距这一现状可能在相当长一段时间不会有明显改观。

### 1.4 设计任务

本设计的任务是设计带宽为 20MHz 的应用于数据采集系统,如数字存储示波器模拟通道,要达到以下指标:

- (1) 模拟带宽: 20MHz
- (2) 垂直灵敏度范围: 2mV/div ---- 5V/div (1-2-5 步进)
- (3) 上升时间: <17.5ns
- (4) 过冲阻尼: <5%
- (5) 输入信号类型: 电压
- (6) 输入信号极性: 双极性
- (7) 输入阻抗: 1Mohm 与 25pF 并联
- (8) 输入耦合: 直流或交流
- (9) 电平移位: 覆盖全部档位的全部量程
- (10) 触发 : 边沿触发
- (11) 触发电平: 程控可调, 步进 2mV
- (12) 触发源 : 本通道被测信号

(13) 触发极性：上升沿，下降沿

## 1.5 总体设计

信号调理通道，触发通道，控制通道是本设计的主要内容，下面就三个部分分块说明：

### 1.5.1 信号调理通道

#### 1.5.1.1 信号调理通道的作用

数字采集系统的必须环节是模拟信号的数字化处理，所以模数转换器(ADC，以下简称 ADC) 是系统中必须器件，然而 ADC 对输入信号的幅度，基线，频率有一定要求，所以信号调理通道的作用就是把不能满足 ADC 输入要求的待测信号调节到 ADC 的输入范围之内，并且这种调节是可以人为定量控制的。

#### 1.5.1.2 信号调理通道的结构框图

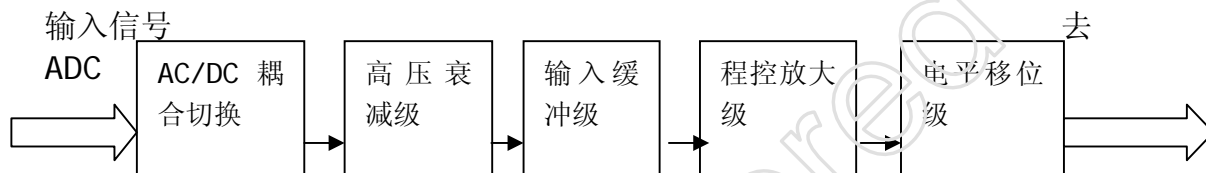


图 1-2

#### 1.5.1.3 框图说明

待测信号先经过耦合切换，来决定信号进入系统的耦合方式，由于信号调理通道工作在正负 5V 电源轨上，所以如果输入的信号大于系统电源轨，则需要预先分压，另一方面组成信号调理通道的高速运放往往在信号幅度较小的时候，会取得更好的性能，所以信号调理通道是按照先衰减再放大工作的。

信号在经过程控放大后进入电平移位级，电平移位级将放大到适合幅度的信号的基线移位至 ADC 的要求后，信号被送往 ADC 完成量化。在其后的章节中还会对信号调理单元的功能做进一步分析

### 1.5.2 触发通道

#### 1.5.2.1 触发通道的作用

数据采集系统采集的数据量是巨大，然而我们并不一定对所有的数据都感兴趣，如果我们只想关查电源上电那一瞬间的过程，或者是当发现信号上偶发的毛刺之后，才开始记录。另一方面由于数据采集系统所配备的高速存储器是有限的，而在采样速度非常快时，就无法一直不停的连续采样，这是数据采集系统会工作在采样，缓存，发送，这样的循环中，如果此时我们采集的是一个正弦信号，那么在每次数据采集，采集系统必须从同一个起始点开始采集，这样发送到屏幕的波形才是一个稳定的信号波形，否者可能会出现波形重叠，抖动等现象，这样的问题在数字存储示波器中是时常发生的。

### 1.5.2.2 触发通道框图

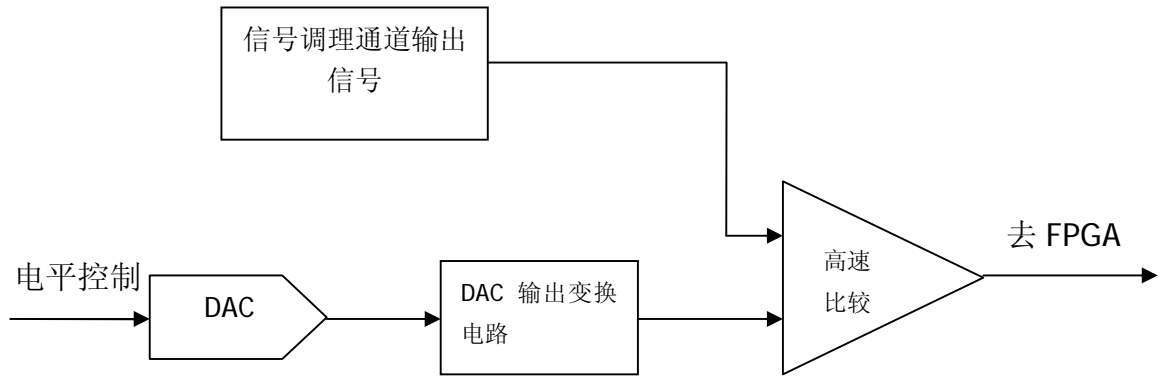


图 1-3

### 1.5.2.3 框图说明

每个信号调理通道的触发信号是来自高速比较器中待测信号的当前值与系统预设的电平值比较而来的，触发信号将被馈送到数据采集系统的负责采集控制的 FPGA 或者是 MCU, DSP 等数字器件作为启动采样的信号。数据采集系统的控制部分通过操作 DAC 来产生一个系统预设电压作为高速比较器的一个输入，而高速比较器的另一个输入来自信号调理电源的输出，也就是调理后的待测信号，如果信号调理的输出大于系统的预设电平，则比较器输出高电平，反之输出低电平，在本设计中比较器的输出电平是 3.3V-LVTTL 兼容的。这种电平标准时当今最广泛的电平标准之一。在其后的章节中还会对触发单元作进一步分析。

## 1.5.3 控制通道

### 1.5.3.1 控制通道的作用

如果把数据采集系统的组成硬件分成模拟部分和数字部分两大类，那么控制通道的作用就是提供一个适合的接口可是数字部分控制模拟部分。

本系统中对控制通道的设计大致分为 4 部分：

- (1) 对高压衰减级的控制
- (2) 对程控放大级的控制
- (3) 对程控移位级的控制
- (4) 对触发通道的控制

## 1.5.3.2 控制通道框图

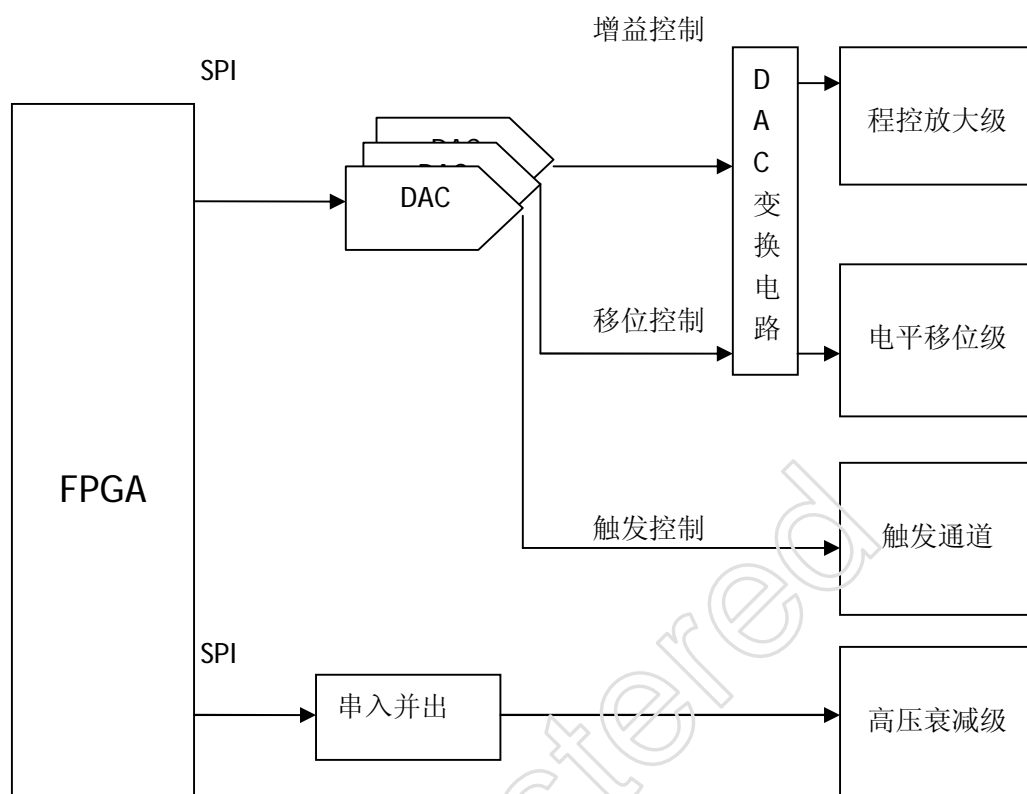


图 1-4

## 1.5.3.3 框图说明

FPGA 发出两类控制信号：其一是通过 DAC 产生的电压信号用于控制信号调理通道程控放大级的增益，以及电平移位级的移位电平，还有触发通道的触发比较电平；其二是通过串并准换后的开关信号，用于信号调理通路前段的高压衰减级控制。在其后的章节还会对控制通道做进一步分析。

## 第二章 信号调理通道

### 2.1 设计方案

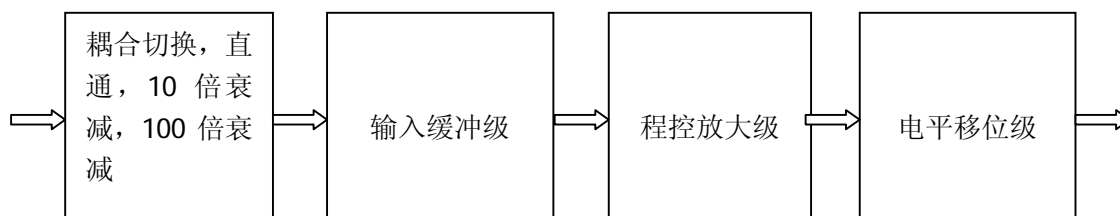


图 1-5

信号调理通道共有 4 级，第一级为无源元件和继电器组成的衰减网络，第二级是由高速 FET 运放 AD8065 组成的缓冲级，第三级为 VGA-----AD8337 组成的程控放大级，第四级为电平移位级，同时该级作为固定增益放大器提供 2 倍增益。

### 2.2 详细设计

#### 2.2.1 无源元件和继电器组成的高压衰减级

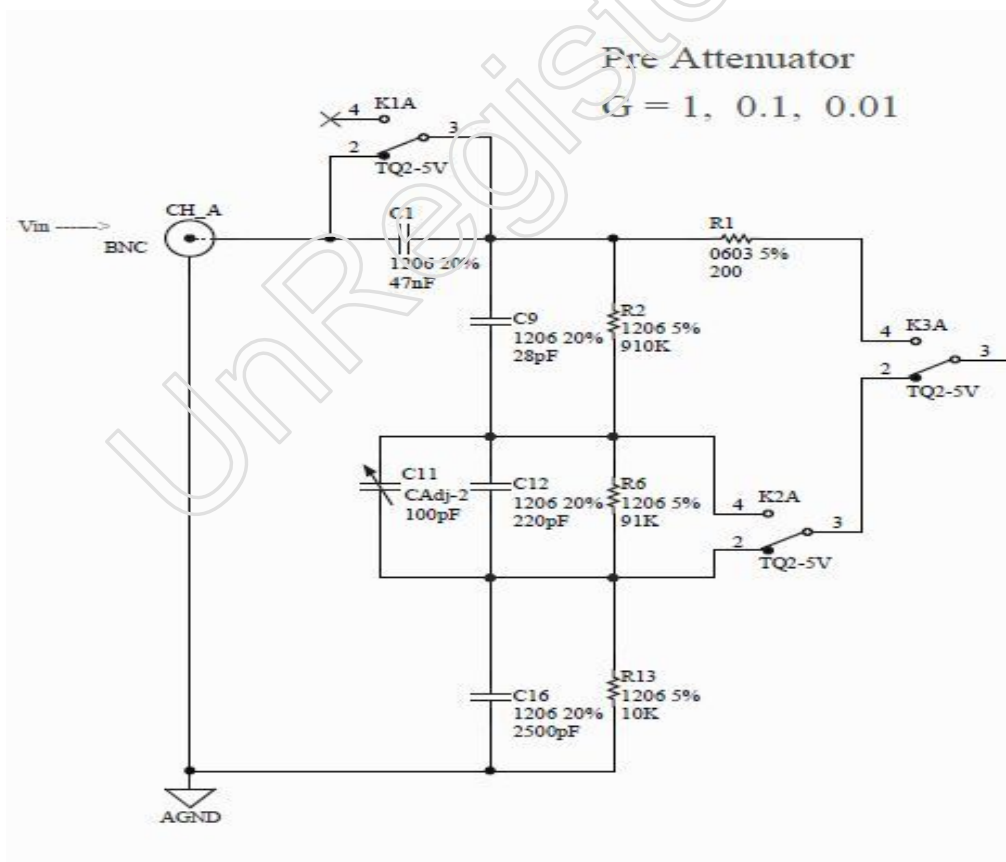


图 2-6

在文章的开头曾经提到高压衰减级的作用：1.对于幅度过大的信号，先分压衰减然后再放大，这样可以扩大信号调理通道的量程范围；2.信号经过分压衰减到小信号后有利于后端高速运放性能的发挥。高压衰减级由继电器 K1, K2, K3 以及其无源元件组成。

### 2.2.2 信号的耦合切换

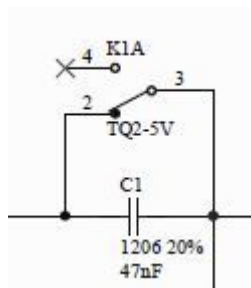


图 2-7

当继电器 K1 吸合时，继电器触电 3 接触点 4，信号的耦合方式为交流耦合，反之继电器触电 3 接触点 2，信号的耦合方式为直流耦合。

#### 2.2.2.1 无源衰减网络

无源衰减网络提供三中衰减系数：无衰减 ( $G=1$ )，衰减到 0.1 ( $G=0.1$ )，衰减到 0.01 ( $G=0.01$ )。在低频时，衰减网络可以是单纯的电阻分压，信号衰减的系数根据欧姆定理可以很容易的计算得到，但是当信号的频率比较高的时候，单纯的用电阻分压就无法满足要求了，这是因为频率比较高时系统不再是线性集总系统，而应该以分布系统视之。

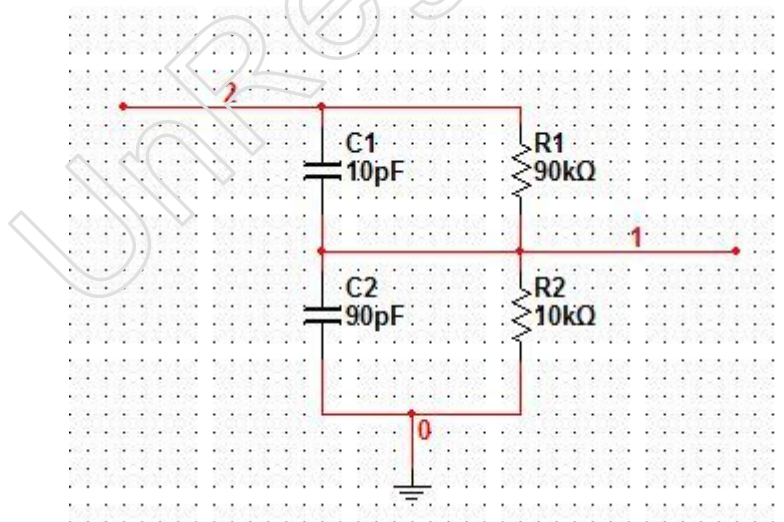


图 2-8

根据图 2-8 分析，假设有一个输入信号  $V_{in}$  从图中 2 点接入，1 点处的抽头应该是  $V_{in}$  衰减 20db 后的值，这是在低频时的情况，如果高频时呢？

我们可以如此计算：

设  $Z_1 = R_1 // C_1, Z_2 = R_2 // C_2$

则有  $Z_1 = R_1 + \frac{1}{j\omega C_1}$

$$Z_2 = R_2 + \frac{1}{j\omega C_2}$$

$$\text{且 } V_{out} = V_{in} \times \frac{Z_2}{Z_1 + Z_2} \quad (1)$$

(1) 为高频时的分压公式

低频时我们不考虑电路的电容效应那么可得低频时的分压公式为：

$$V_{out} = V_{in} \times \frac{R_2}{R_1 + R_2} \quad (2)$$

联立 (1) (2) 可以得到：

$$R_1 X C_1 = R_2 X C_2 \quad (3)$$

(3) 说明了高频分压网络各个无源元件的关系

在图 2-6 中，分压网络有三个节，每个节应满足  $R_2 \times C_9 = R_6 \times C_{12} = R_{13} \times C_{16}$  这个这三个节提供的衰减系数为 1, 0.1, 0.01

同时我们可以得到系统的输入阻抗为：

$R_{in} = R_2, R_6, R_{13}$  串联 约为 1Mohm

$C_{in} = C_9, C_{12}, C_{16}$  串联 约为 25pF

### 2.2.2.2 衰减系数的切换

衰减系数的切换通过图 1-6 中的继电器 K2, K3 实现，K2 和 K3 的组合决定了信号衰减的幅度。

K2	K3	衰减系数
OFF	OFF	0.01
ON	OFF	0.1
----	ON	1

模拟通道上电时，继电器全部处于 OFF 状态，此时系统的耦合方式为直流，衰减系数为 0.01



### 2.2.2.3 衰减网络元件选择:

系统设计的输入最大电压是 100V(峰峰值), 考虑到 400V 过压时的情景。

可计算出, 电阻串上的电流为:

$$I = 400V / 1\text{Mohm} = 0.0004A$$

最大电阻值为 910K, 则其上功率消耗为:

$$P_{\max} = I^2 \times 910\text{Kohm}$$

如此可以得出 最大功率耗散为:

$$P_{\max} = 0.146W$$

元件采用 SMT 安装, 常用 SMT 金属膜电阻分装对应的功率为:

0603 对应 1/10 W

0805 对应 1/8 W

1206 对应 1/4W

本设计选择 1206 分装。

电容的选择关键在于一定要满足:

额定耐压值>系统最高输入电压

继电器的选择:

继电器的选择要从三方面考虑:

- (1) 功耗
- (2) 额定电压
- (3) 高频插入损耗

本设计选择的是松下公司的微型信号继电器 TQ2-5V, 5V 供电, 额定吸合电流为 18mA, 高频信号的插入损耗在 100MHz 时小于 0.2dB, 完全满足本设计的要求。

### 2.2.3 输入缓冲级:

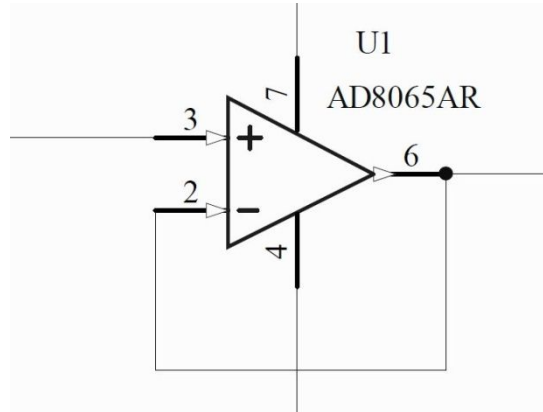


图 2-9

输入缓冲级由单运放组成的电压跟随器担当。

#### 2.2.3.1 运放的选择

由于这级运放所处的位置是在高压衰减级之后,所以能够提供给本级运放的偏置电流  $I_b$  非常小,所以该级运放必须有很小的偏置电流,或者说这级运放的共模,差模阻抗要非常高才行,另一方面该级运放在速度上也有要求,信号调理通路的带宽不小于 20MHz,那么该级运放的-3dB 带宽绝不能小于 20MHz。

本设计选择的运放是 AD8065AR,这是一款有 ADI 公司出品的 FET 输入级运放,由于运放的差分输入级由场效应管组成,所以该运放的输入偏置电流非常低,手册给出的  $I_b$  为 1pA,另一方面这款运放的带宽达到了 145MHz,压摆率达到了 180V/us,在本设计缓冲级工作在  $G=+1$  模式下,所以 AD8065 在输入阻抗和带宽方面完全满足本设计的要求。

在供电上,这款运放的工作电压区间为 5—24V ( $V_{CC}-V_{EE}$ ),本设计中运放为正负 5V 供电,所以在供电要求上,AD8065 也是适合的。

最后数据采集系统中不得不考虑的就是噪声问题,运放的输出噪声一定要低于 ADC 的噪底这样才不至于劣化系统的噪声性能。

如果本设计应用于 8bits 采集系统中,ADC 的输入量程为 1V,那么 ADC 的噪底约为:

$$1\text{LSB} = 1\text{V}/256 = 3.9\text{mV}$$

AD8065 的噪声谱密度为  $7\text{nV}/\sqrt{\text{Hz}}$ ,计算在 20MHz 带宽上运放的最大噪声为:

$$7\text{nV}/\sqrt{\text{Hz}} \times \sqrt{20\text{MHz}} = 3.13\mu\text{V}$$

由于运放所产生的噪声远远小于 ADC 的噪底

所以 AD8065 在本设计中是合适的。

## 2.2.4 程控放大级

### 2.2.4.1 程控放大级的设计方案

方案一 采用继电器切换运放反馈电阻，以改变增益

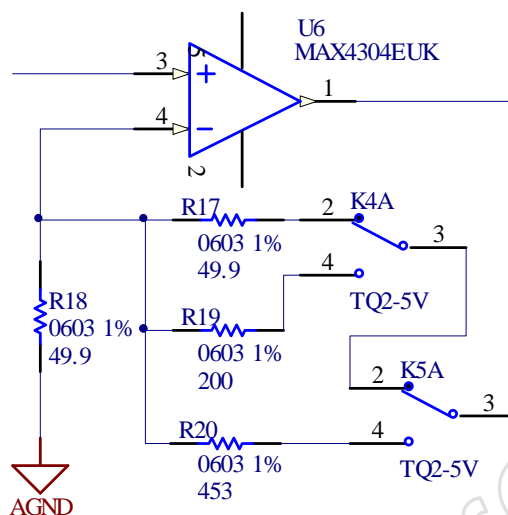


图 2-10

上图是一个同向输入的比例放大器

可以推导出放大倍数的表达式：

对于运放电路两条金科玉律就是：

- (1) 任何施加在运放上的负反馈，都是迫使运放的同向输入端电压趋近于反向输入端电压
- (2) 运放索取的偏置电流非常小，可以认为是零。

$V_{in}$  从同向输入端进入,根据 (1) 那么运放的反向输入端电压也是  $V_{in}$

同时根据 (2) 认为  $I_{b-} = 0$

这样就有： $(V_{out}-V_{in}) / R_f = V_{in} / R_g$  ( $R_f$  为反馈电阻， $R_g$  为反向端到地电阻)

那么： $G = V_{out}/V_{in} = 1 + R_f / R_g$

根据上边推到的公式可以得出图 2-10 所示电路的可选增益为：

$$G = 2, 5, 10$$

接着讨论下电路的-3dB 带宽：

MAX4304 是一个电压反馈运放，电压反馈运放闭环放大电路的带宽与增益的积是一个常数，称为增益带宽积。（电流反馈型运放并不满足这一规律）。

那么就可以得出图 2-10 所示电路的带宽在不同增益下是变化的，在最小增益时带宽最大，在最大增益时带宽最小。带宽的不一致性是本方案的主要缺点之

一。其实与方案一类似的思想就是用 DAC 内部的 R-2R 电阻网络作为运放的反馈支路代替  $R_f$ ，这与用继电器切换的思想是一致的，而且优点在于可以实现连续的增益变化，但同样带宽是变化的，而且这类 DAC+运放的程控增益设计不适合用在高速电路中。

方案二 采用模拟开关的分压电阻串调节增益

采用这类设计的产品很多，大致分为两小类：

(1) 采用固定增益放大器 + 模拟开关切换的线性衰减器

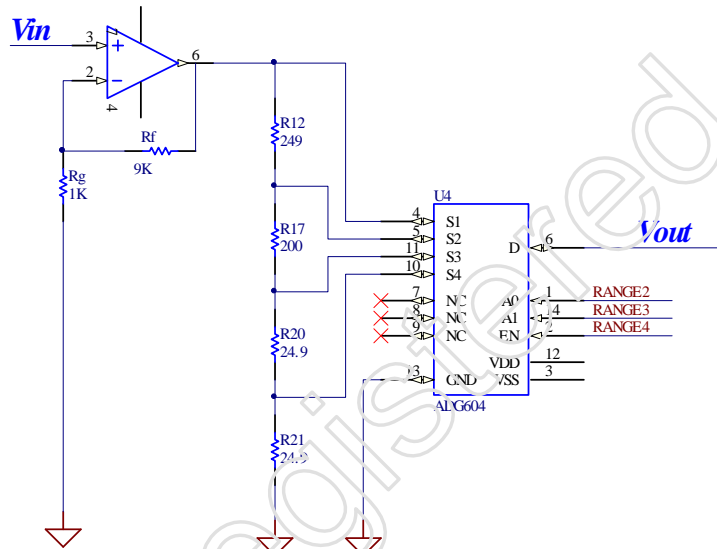


图 2-11

上图的运放被配置成  $G=+10$  的固定增益放大器，运放的输出接到一个电阻串上被衰减 1, 0.5, 0.1, 0.02，所以电路的总增益可以是：

$$G = 10, 5, 1, 0.2$$

这个电路相对与方案一来说，最大的改进就在于这个电路的带宽是固定的，不会随着增益的变化而变化。但是这个电路的弊端在于电阻串的匹配和补偿是一件非常麻烦的事情，特别是在高频的时候，而且这个电路增加了一枚多路模拟开关。

(2) 采用固定增益放大器 + 集成线性衰减器

这类设计的思想和上图是完全一致的，前段采用固定增益放大器，然后再对运放的输出进行衰减，只是衰减的器件采用了集成的线性衰减器也叫数字步进衰减器 DSA (Digital Steps Attenuator)，因为是集成电路工艺，所以 DSA 可以完成高精度衰减，而且具有很高的带宽 (GHz 级) 方案三 采用可变增益运放 (VGA)

VGA 按照增益的控制方式大致可以分成两类：

(1) 电压控制型:

总的来说电压控制型 VGA 居多

如 AD600 ---- AD605, AD8330 ---- AD8337.....

(2) 数字控制型:

AD8369, AD8372, AD8375, AD8376.....

相比较而言电压控制型 VGA 与数字控制型 VGA 各有优势:

电压控制型 VGA 需要用 DAC 控制,而数字接口的 VGA 则可以直接由 MCU, FPGA 等控制,但是电压控制型的 VGA 可以实现连续的增益调节,而数字控制型 VGA 一般不方便做增益连续的调节。

考虑三种方案,他们各有利弊,方案一增益调节最简单,但是由于使用了继电器,导致电路的面积过大,且带宽会随增益变化,方案二具有带宽恒定的优点,但线性衰减部分可提供的增益并不丰富,所以最终本设计选择了方案三。

#### 2.2.4.2 程控增益的设计

本设计选择了 ADI 公司的电压控制型 VGA----AD8337

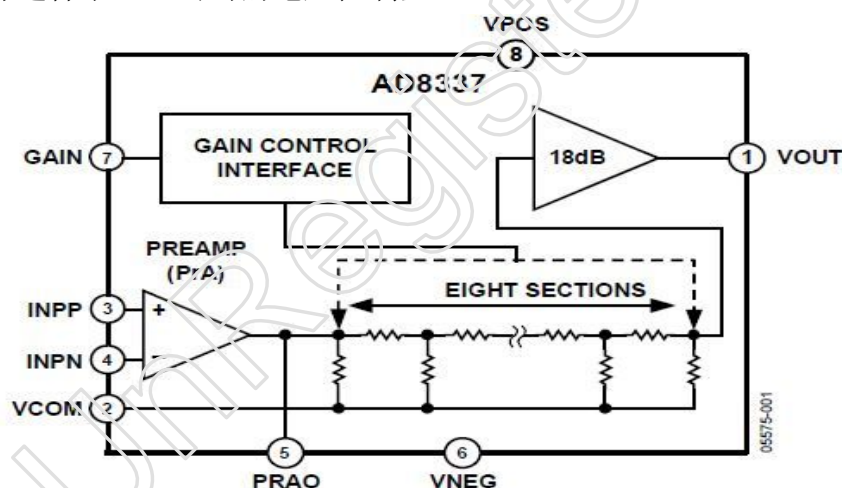


图 2-12

图 2-12 所示为 AD8337 功能结构,从图中可以看出 AD8337 的放大通路主要由三部分组成:一个可配置的前置放大器或叫预放大器 (PREAMP), 8 个节的 R-2R 分压网络,固定增益为 18dB 的后置放大器

AD8337 的前置放大器 PREAMP 为电流反馈型运放,电流反馈型运放的幅频响应极易受反馈电阻  $R_f$  的影响,同时注意电流反馈型运放只有  $IN+$  是高阻输入的,而  $IN-$  是低阻输入的。这是电流反馈运放与电压反馈运放最大的不同之一。

AD8337 信号通路的第二级为电压控制的衰减级,用来完成 -24dB ----- 0dB

的信号衰减，第三级为 18dB 的固定增益放大器。

以下是本设计中以 AD8337 为核心的程控放大级电路：

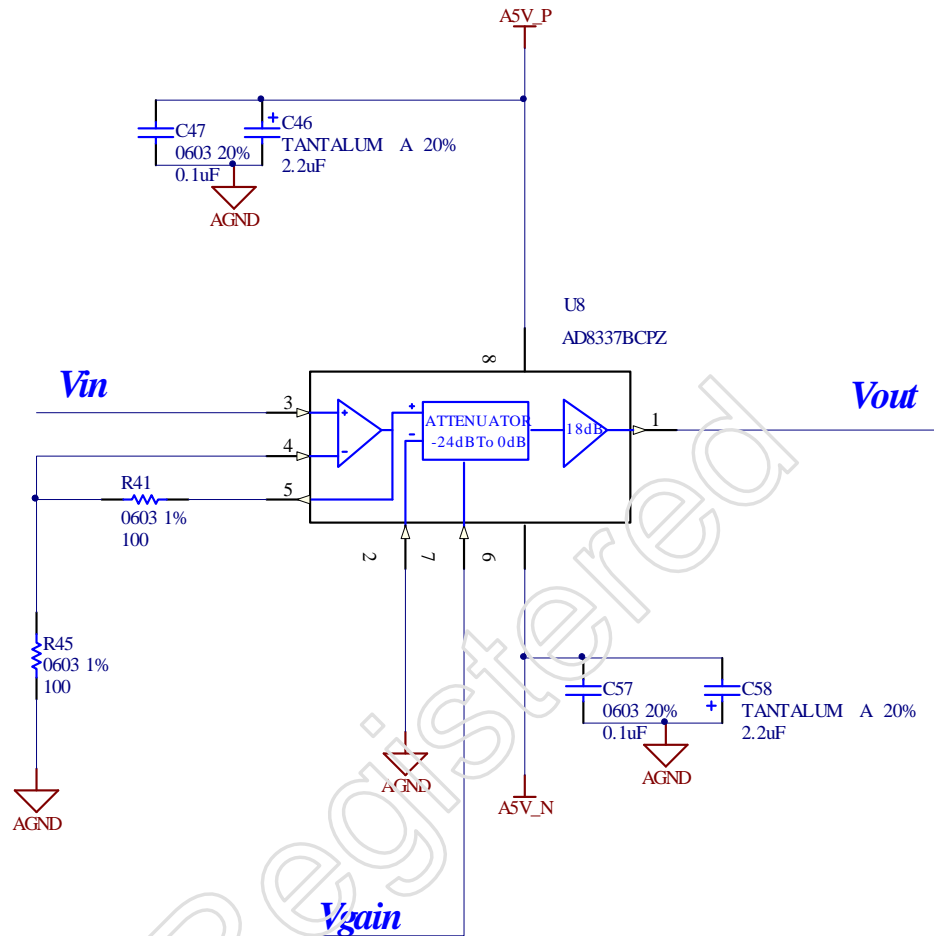


图 2-13

来自缓冲级的信号从 AD8337 的 3 脚输入，信号送入 AD8337 的同向输入端，同时 AD8337 被配置成增益为 6dB 的固定增益放大器，再考虑中间衰减器的衰减系数和后端放大级的放大倍数，可以推出整个电路的放大增益为：

$$G = 6\text{dB} + (-24 \text{ --- } 0\text{dB}) + 18\text{dB} = 0 - 24\text{dB} \text{ 或 } 1 - 16 \text{ 倍}$$

AD8337 的 1 脚为信号输出脚，7 脚为增益控制电压输入脚，增益控制电压有控制通道产生，范围为-1V ----- +1V，控制电压的产生会在控制通道设计中详细分析。

#### 2.2.4.3 本级的带宽

参考 AD8337 手册 AD8337 的-3dB 带宽为 280MHz，中间衰减器不会影响运放的带宽，所以在性能上 AD8337 是完全满足设计要求的。

#### 2.2.5 程控移位级设计

程控移位级完成对前端程控增益级的输出信号做电平移位操作。

下图为程控移位级的电路：

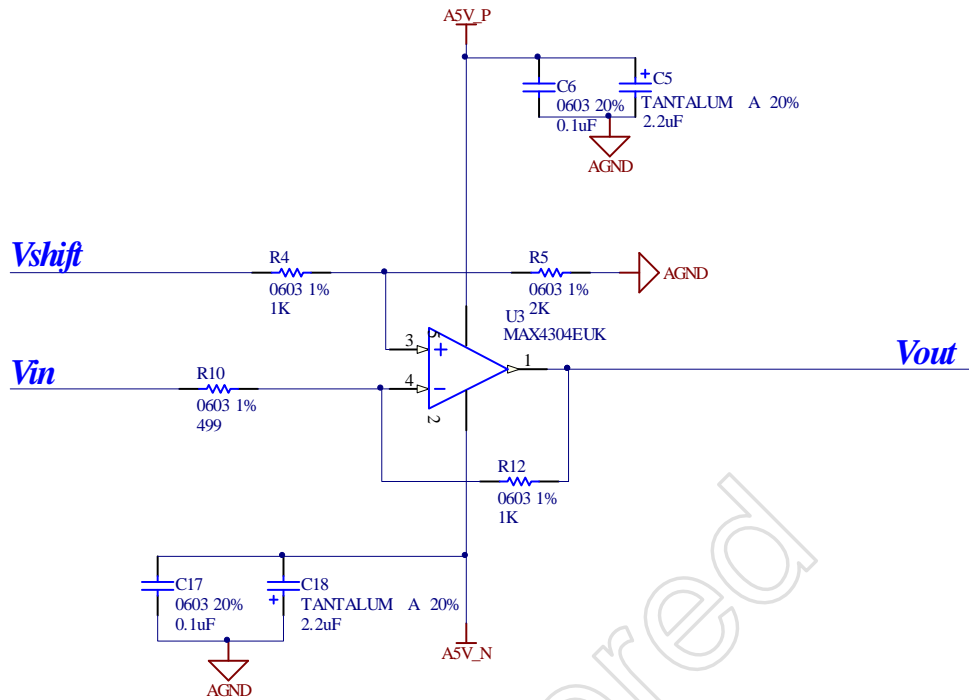


图 2-14

### 2.2.5.1 电路分析

程控增益级的输出作为图 2-14 所示电路的  $V_{in}$ ，移位电压为  $V_{shift}$ ，移位电路的输出为  $V_{out}$ 。

下面分析一下电路，推导出  $V_{out}$  与  $V_{in}$  和  $V_{shift}$  的关系：

$V_{in}$  为反向端输入，对于运放的反向输入分析起来与运放的同向输入的方法是一致的：

首先由  $V_{in+} = V_{in-}$  得出  $V_{in-} = 0V$

然后  $i_{in-} = 0$  得出等式： $V_{out}/R_f = -V_{in}/R_g$

由此推导出： $G = V_{out} / V_{in} = -R_f/R_g$

这是反向输入的电压增益公式。

图 2-14 中  $V_{in}$  为反向输入， $V_{shift}$  为同向输入，对于同向输入的电压增益公式，我在前边已经分析过了。此时运放为线性工作状态，所以可以用叠加定理得出图 2-14 中  $V_{out}$  的表达式为：

$$V_{out} = -R_{12}/R_{10} \times V_{in} + V_{shift} \times R_5/(R_4 + R_5) \times (1 + R_{12}/R_{10})$$

$$V_{out} = -2V_{in} + 2V_{shift} \quad (1)$$

由 (1) 可以看出，图 2-14 所示电路对  $V_{in}$  的操作为放大 -2 倍，并对放大后的信号做两倍  $V_{shift}$  幅度的移位操作。

$V_{shift}$  是由控制通道产生的电压信号，幅度为  $-1V \sim +1V$ 。所以可以看出，程控移位级对信号的移位范围为  $-2V \sim +2V$ 。

### 2.2.5.2 不同移位电路的优势和弊端：

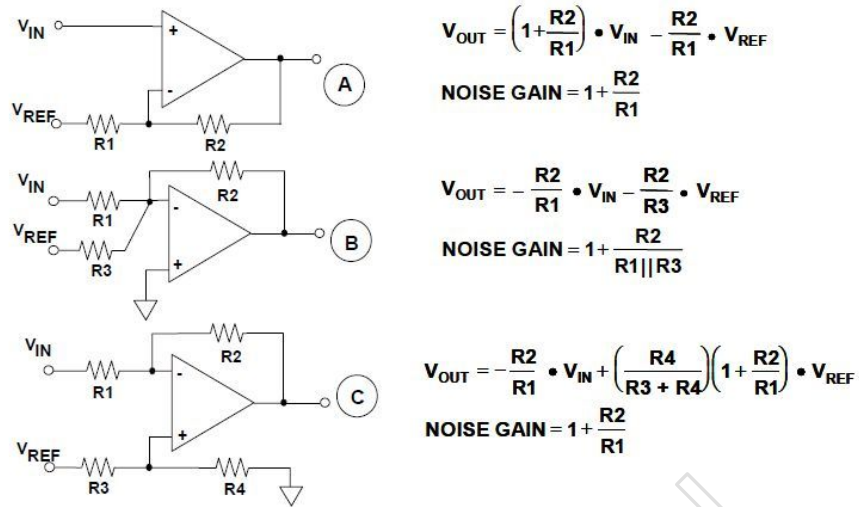


图 2-15

图 2-15 展示了三种电平移位电路的组态。

B 工作在反向放大模式，其信号增益与偏置互相独立。该电路的缺点是，引入了 R3 后增大了噪声增益，因此他对运放失调电压和噪声很敏感。

C 电路也就是本设计所使用的电路，也工作在反向放大模式，其偏置电压 Vref 加在同向输入端，因此不会增大噪声增益。该电路还是用于单电源供电应用 (Vref>0)。

A 电路对 Vref 的阻抗很敏感，而图 B,C 则不受其影响。这取决于信号的电流是流入还是流出 Vref，还取决于 Vin 是否超过了运放的共模输入范围。后两个电路的共模电压是固定的，并且没有电流流入 Vref，因此它们对 Vref 的阻抗不敏感。

### 2.2.5.3 本级的带宽

该级采用 MAX4304 电压反馈型运放，下面估算一下本级的带宽。

手册给出 MAX4304 的 -3dB 带宽为 740MHz。

可以计算出运放的增益带宽积为：BWA = 740MHz X 0.707 = 523MHz

该级的交流信号电压增益是 G=2

可以估算出本级的带宽为：BWA/G = 261MHz

所以本级的带宽是满足设计要求的。



### 2.2.6 信号调理通道的总体电压增益公式

- (1) 高压衰减级增益  $G = 1, 0.1, 0.01$
- (2) 缓冲级增益与阻抗匹配的后增益为  $G = 0.5$
- (3) VGA 放大级  $G = 1 \sim 16$
- (4) 移位级增益为  $G = -2$

分析各级电压增益后可得出总的电压增益公式为：

$$V_{out} = V_{in} \times (1, 0.1, 0.01) \times 0.5 \times (1 \sim 16) \times (-2)$$

$$V_{out} = -(1, 0.1, 0.01) \times (1 \sim 16) V_{in}$$

由上式可以得出信号通路的三个档位为

- (1)  $V_{out} = (1 \sim 16) V_{in}$  对应 100mV, 200mV, 500mV 档
- (2)  $V_{out} = (0.1 \sim 1.6) V_{in}$  对应 1V, 2V, 5V 档
- (3)  $V_{out} = (0.01 \sim 0.16) V_{in}$  对应 10V, 20V, 50V, 100V 档

注意上式是在使用 1X 探头的前提下成立的。

### 2.2.7 信号调理通道的总体带宽估算

在估算本设计的总带宽前，不得不先推导多级放大器的带宽计算公式：  
先推导-3dB 上限频率  $f_h$ ：

$$\text{设第一级放大器的增益表达式为：} A_1(j2\pi f) = A_1(1 + j(f/f_1))$$

其中： $f_1$  为第一级-3dB 带宽

$$\text{同理第二级增益表达式为：} A_2(j2\pi f) = A_2(1 + j(f/f_2))$$

其中： $f_2$  为第二级-3dB 带宽

那么级联运放的总增益表达式为：

$$\begin{aligned} A_1(j2\pi f) &= A_1(j2\pi f) \times A_2(j2\pi f) \\ &= A_1(1 + j(f/f_1)) \times A_2(1 + j(f/f_2)) \end{aligned}$$

$$\text{设：} |A(j2\pi f_h)| = |A|/\sqrt{2}, \text{ 所以 } [1 + (f_h/f_1)^2] \times [1 + (f_h/f_2)^2] = 2$$

其中： $f_h$  为级联运放的-3dB 带宽的上限

$$\text{所以 } f_h = 1 / \sqrt{\frac{1}{f_1^2} + \frac{1}{f_2^2}}$$

这是两级上限频率公式，其实亦可以推广到到多级。

有上边的推导可以估算出本设计的-3dB 带宽为:

$$BW = 1 / (1/145^2 + 1 /280^2 + 1/260^2 )^{0.5}$$

$$BW = 115\text{MHz}$$

完全满足设计要求。

### 2.2.1 信号调理通道的上升时间估算

首先推导上升时间与带宽的关系,可以用一阶 RC 电路模型为例(模型适用于本设计),一阶 RC 电路的越阶响应为:

$$V_{out} = V_{in} (1 - e^{-t/RC})$$

$$e^{-t/RC} = V_{in} - V_{out}$$

$$t = -RC \times \ln(V_{in} - V_{out})$$

$$\text{上升时间} = 90\%V_{in} \text{ 时间} - 10\%V_{in} \text{ 时间}$$

$$T_{10} = 2.3RC$$

$$T_{90} = 0.1RC$$

$$\text{上升时间 } T_r = T_{10} - T_{90} = 2.2/2\pi f = 0.35/f (f \text{ 为上限频率})$$

由上式可以看出上升时间与带宽的关系为:上升时间与带宽的乘积为 0.35  
由此可以推导出本设计的上升时间为:  $T_r = 0.35/115\text{MHz} = 3.04\text{ns}$   
满足设计要求。

### 2.2.2 关于放大器的级间匹配

放大器的级间匹配主要出现的在高频设计中,因为在高频信号的波长很短,电路里导线的长度相对于波长已经很长,所以此时导线不再称为导线,应该称为传输线。信号在传输线上的传递会出现反射,反射波在终端的叠加会使信号出现过冲振荡问题,解决的方法就是使源端的输出阻抗等于负载的输入阻抗,实现所谓的最大功率传输,这就是阻抗匹配。但是阻抗匹配也不是必须的,关键在于是不是把导线当做传输线处理传输线的理解就是信号的波长远远短于导线的波长。

(1) 现在分析下本设计中信号的最小波长

以一个 100MHz 正弦为例:信号在微带线(本设计 PCB 设计中传输线为微带线)中的传输延迟约为 6.6ns/m,那么可以计算出信号的波长约为: 1.5m

(2) 然而本设计中 PCB 中的走线的长度远远小于波长

结合(1)(2)可以认为本设计不做阻抗匹配对信号的影响很小。

## 第三章 触发通道设计

### 2.1 触发通道的作用

给系统一个正确的采集起始点。例如在数字存储示波器中示波器的触发功能可以在信号的正确点处同步水平扫描，这对表现清晰的信号特性非常重要。触发控制可以稳定重复波形，采集单脉冲波形。触发器使重复波形能够在示波器屏幕上稳定显示，实现方法是不断地显示输入信号的相同部分。可以想象，如果每一次扫描的起始都从信号的不同位置开始，那么屏幕上的图象会很混乱，就像下图一样：

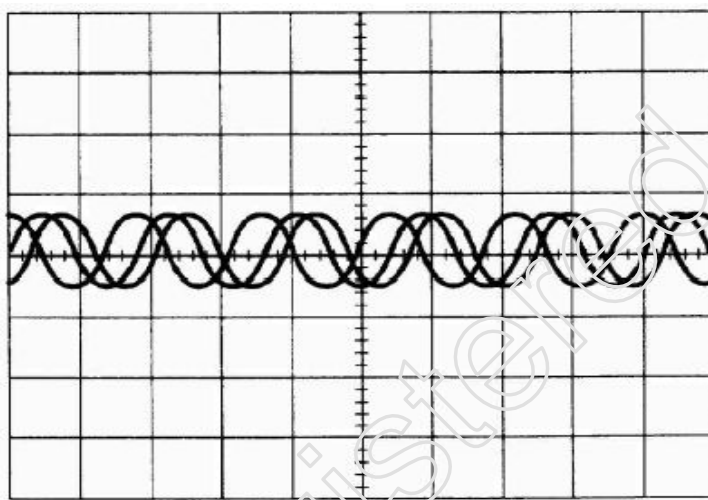


图 3-16

#### 2.1.1 本设计中的触发设计：

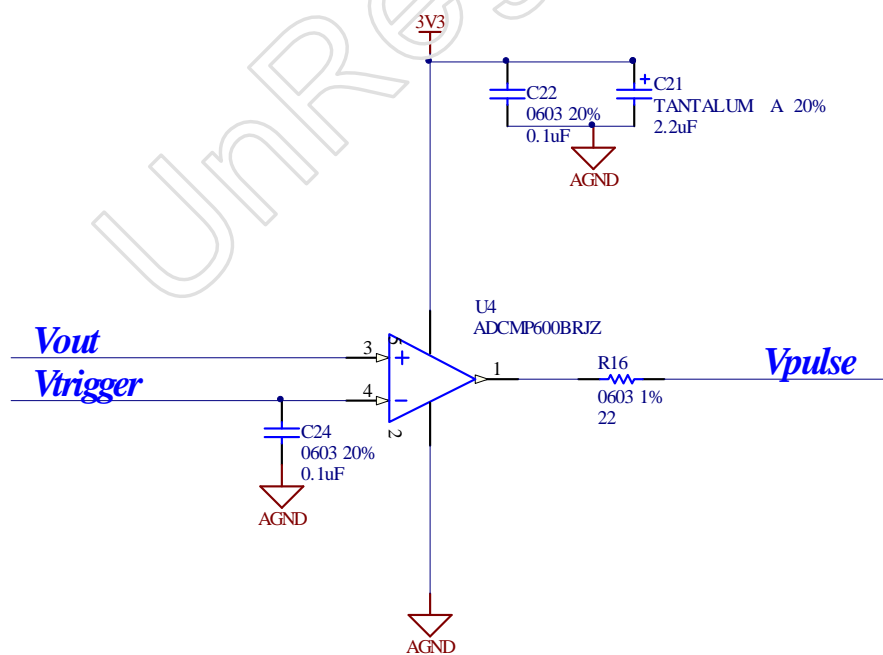


图 3-17

### 2.1.1.1 高速比较器 ADCMP600

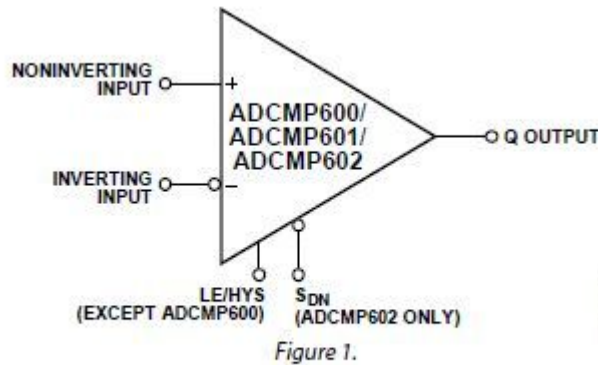


图 3-18

- (1) ADCMP600 是 ADI 出品的一款高速比较器，它主要具有以下特征：
- (a) 输入电源范围 2.5V-5.5V 且输入信号范围可以轨到轨；
  - (b) 比较器输出的脉冲的传输延迟小于 3.5ns；
  - (c) 输入信号的毛刺低于 500ps，且输出电容兼容 TTL 或 CMOS。
- (2) ADCMP600 手册给出了该器件适合的应用范围如下：
- (a) 高速仪器
  - (b) 电平信号移位或转换
  - (c) 差分信号接收器
  - (d) 自动测试设备

以上只列出了部分适合应用，应根据手册和设计要求选择。

### 3.3.1.2 触发通道电路分析

图 3-17 中 ADCMP 电源电压为 3.3V，那么芯片的比较输出则可以兼容 3.3V-LVTTL 电平规范，可以和 FPGA 直接接口，比较器的两个输入，其中同向端输入为信号调理通道的输入  $V_{out}$ ，反向输入为控制通道的触发电平  $V_{trigger}$ 。另一方面可以看出触发信号为 DC 耦合方式。当  $V_{out} > V_{trigger}$  时触发器在经过 3.5ns 的传输延迟后输出高电平，反之则输出低电平。

触发电平信号进入 FPGA 后经同步 D 触发器延迟一拍，然后将延迟后的信号与原触发信号做异或运算，这样可产生两个脉冲，前脉冲对应波形的上升沿，后脉冲对应波形的下降沿。

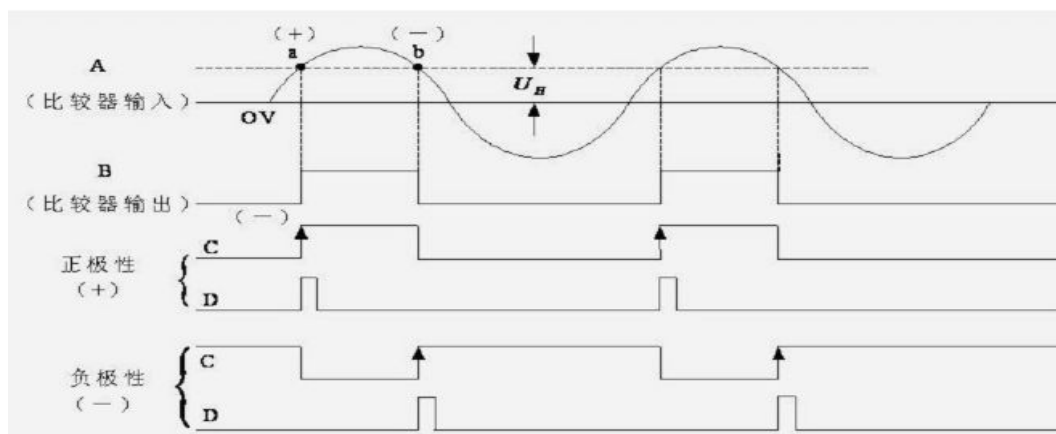


图 3-19

图 3-19 描述了触发的过程：

图中 A 所示输入信号是一个正弦信号，触发电平设置在 0V

图中 B 所示为触发器的输出，当正弦信号大于触发电平（0V）是输出为高电平，反之为低电平

图中的 C,D 为 FPGA 内部的检测过程，正极性为上升沿检测，负极性为下降沿检测。

## 第四章 控制通道设计

### 4.1 控制通道的作用

控制通道的作用是给采集系统里的数字器件提供一个接口去控制模拟通道。

在本设计中，控制通道的作用就是给 FPGA 提供一个接口来控制信号调理通道的信号耦合方式，前端衰减级的衰减系数，程控放大级的放大增益，电平移位级的移位幅度，以及触发通道的触发电平。

### 4.2 本设计的控制通道

#### 4.2.1 对信号调理通道的控制

##### 4.2.1.1 对耦合方式的控制以及前前端衰减的控制

控制原理在前面的章节已经介绍，这里不再叙述。

下边仅介绍一下继电器的驱动电路：

本设计所选用的电磁继电器线圈额定电流为 18mA，额定电压 5V 所以不能直接用 FPGA 的 IO 直接控制，这里采用如下图所示的电路驱动继电器线圈：

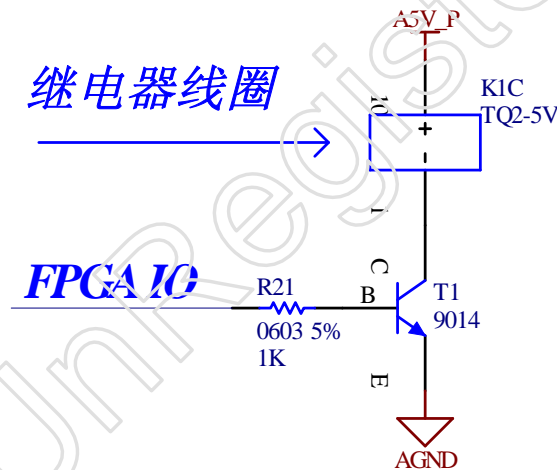


图 4-20

如上图所示，当 FPGA IO 输出为高电平时 NPN 管 9014 饱和和开通，继电器线圈上电，继电器触点吸合，当 FPGA IO 输出为低电平时 NPN 管 9014 截止，继电器线圈掉电，继电器触点释放。

需要说明的是图中并没有为继电器线圈加保护蓄流二极管，这是因为本设计所选择的 TQ2-5V 继电器内部并联有保护蓄流二极管。

9014 集电极额定电流  $I_c$  为 100mA 远大于继电器线圈额定动作电流，同时考虑 TQ2-5V 吸合电压最小值为 75% 电源电压约为 3.75V，而 9014 饱和时  $U_{ce}$  小于

0.2V，则继电器线圈电压将大于 4.8V 而大于 3.75V。

所以选择 9014 管是符合设计要求的。

#### 4. 2. 1. 2对程控增益放大级的控制

程控放大级使用电压控制型 VGA 最为放大器件，所以控制的关键是产生一个精确幅度的电压信号用以调节增益。

再提 VGA----AD8337:

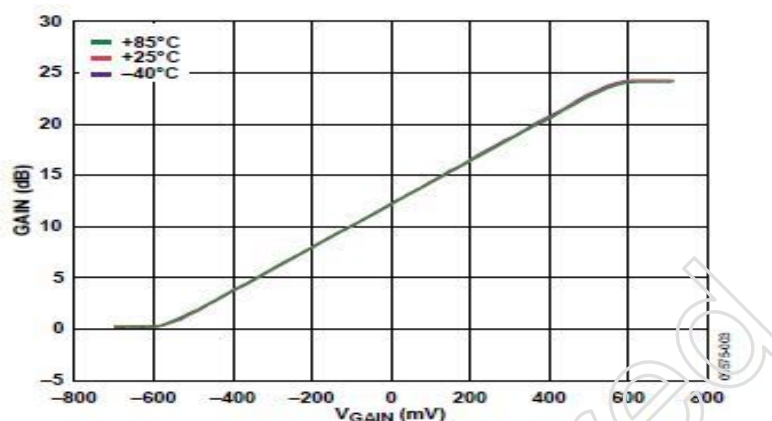


图 4-21

图中可以看出 AD8337 的增益控制电压对应增益是呈线性分布的斜率为 9.7dB/V，当控制电压为 -700mV 时增益为 0dB 即放大倍数为 1 当电压大于 +700mV 时增益为 24dB 即放大倍数为 16 所以由上图可以得出如果要使用 AD8337 的全部增益则控制电压范围应少为 -700mV~+700mV，本设计可以产生增益电压的范围为：-1000mV~+1000mV。本设计的增益控制电压由 DAC TLV5631 和运放 OP07 以及其他外围元件组成。

#### DAC-----TLV5631

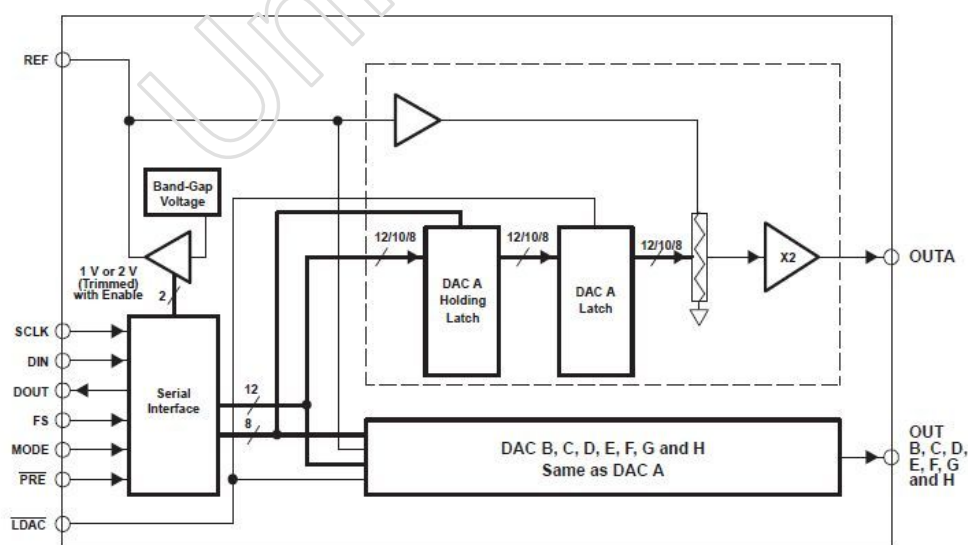


图 4-22

TLV5631 是 TI 出品的 8 通道 10bits DAC 数字接口为 SPI, TLV5631 供电电压为 3~5V, 如大部分 DAC 一样仅支持正电压供电。从图 4-22 可以看出 TLV5631 集成了 8 个 DAC 核也就是 8 通道设计, 以其中一个通道为例分析:

每个 DAC 通道由数字接口 DAC 保持锁存器, DAC 核锁存器, 10bits 电阻串, 以及一个 2 倍增益的输出放大器组成。FPGA 将电压控制字经 SPI 总线送达 DAC 的数字接口, 然后电压控制字被锁入 DAC 保持锁存器, 然后 FPGA 拉低 LDAC 线, 电压控制字被锁入 DAC 核锁存器, 之后 DAC 立即更新输出电压。

DAC 的输出电压是轨到轨的, 本设计的 DAC 供电为 3.3V, 则 DAC 的输出范围可以是 0-3.3V。

TLV5631 内建一个间隙参考源, 可配置为 2V 或 1V 参考。本设计使用内部参考并被配置为 1V。

DAC 的输出电压公式为  $V_{out} = V_{ref} \times \text{CODE} / 0x3FF \times 2$

$V_{ref}$  为参考电压, 本设计为 1V, CODE 为 10bits 电压控制字, X2 是因为 DAC 核的输出被输出放大器放大了 2 倍。

此时可以得出本设计中 DAC 的输出电压为 0-2V。

本设计的增益电压输出电路:

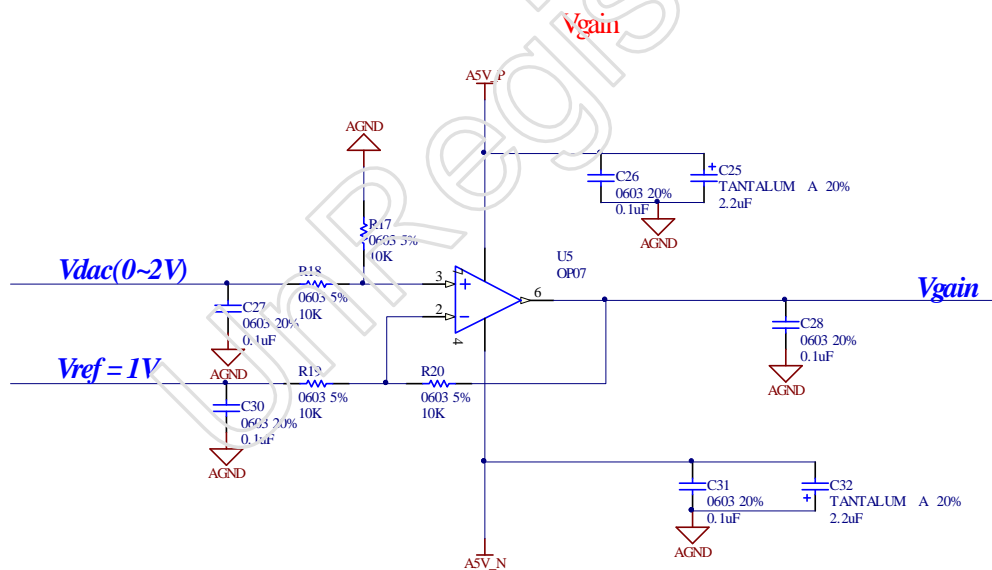


图 4-23

图 4-23 中  $V_{dac}$  为 TLV5631 的输出为 0-2V,  $V_{ref}$  为 DAC 内建的间隙参考源为 1V 输出,  $V_{gain}$  为程控放大器 AD8337 的增益控制电压。OP07 是一款精密通用运放, 工作在正负 5V 电源下, 输出失调  $V_{os}$  典型值为 60uV。

下面分析  $V_{gain}$  与  $V_{dac}$  和  $V_{ref}$  的关系

$V_{dac}$  从 OP07 的同向端输入,  $V_{ref}$  从运放的反向端输入,  $V_{gain}$  是  $V_{dac}$  与  $V_{ref}$  的相减值。具体的分析在前面的章节有详细介绍, 这里就不再介绍了。

直接给出关系式:  $V_{gain} = V_{dac} - V_{ref} = V_{dac} - 1V$ 。



从上式可以得出  $V_{gain}$  的范围为  $-1V \sim +1V$ ，满足 AD8337 增益控制电压的  $-700mV \sim +700mV$  的要求。另一方面在上电时  $V_{dac}$  为  $0V$ ，则  $V_{gain} = -1V$ ，则 AD8337 增益为  $0dB$ （最小），系统处于最大量程下。

注意事项：

TLV5631 输出负载电阻最小为  $2K$ ，图 4-23 运放同向端的输入电阻  $R18$  一定不要小于  $2K$ ，否则会超过 TLV5631 的输出能力，有可能会损坏芯片。同样 TLV5631 的内建参考源的输出电流最大为  $1mA$ ，图 4-23 中 OP07 反向输入电阻为  $10K$ ，则可以得出对 TLV5631 参考源的电流索取为  $1V/10K = 0.1mA$ ，在参考的负载范围之内。

#### 4. 2. 1. 3 对移位级的控制

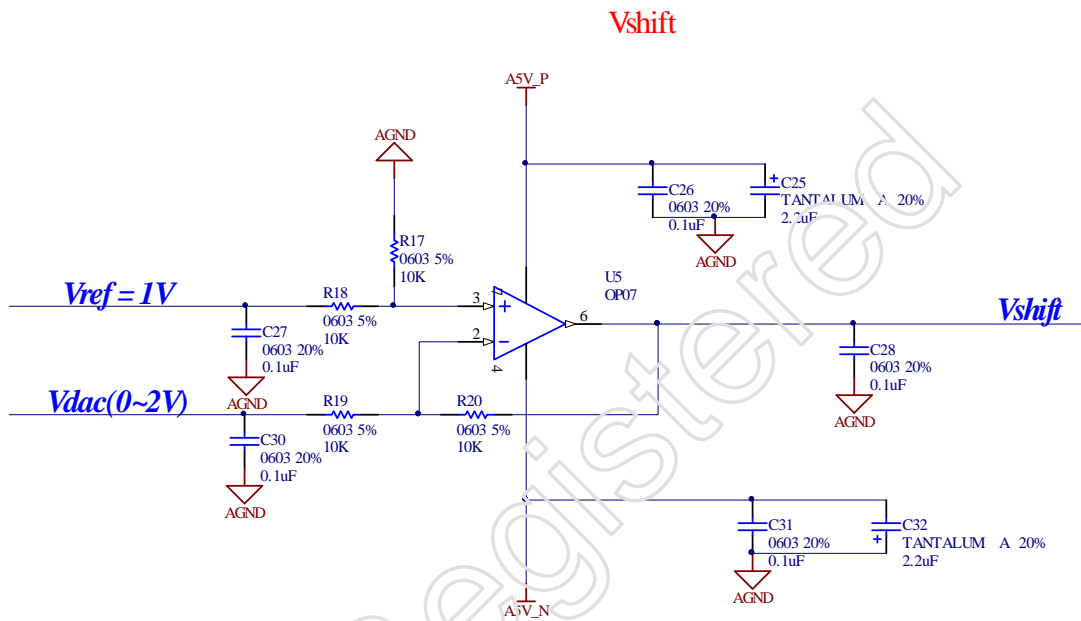


图 4-24

上图为移位电压输出电路， $V_{dac}$  为 DAC 输出， $V_{ref}$  为 DAC 参考， $V_{shift}$  为移位电压输出，该电路与图 4-23 的电路原理上是一致的，只是  $V_{dac}$  与  $V_{ref}$  的位置调换了，这里不再做重复分析了，直接给出  $V_{shift}$  表达式：

$$V_{shift} = V_{ref} - V_{dac} = 1V - V_{dac}$$

$V_{shift}$  的输出范围为  $1V \sim -1V$

上电时  $V_{dac}$  为  $0V$ ，则  $V_{shift} = 1V$

信号调理通路的移位级对  $V_{shift}$  放大两倍后加入被测信号，所以系统的移位范围为  $-2V \sim +2V$

#### 4. 2. 1. 4 对触发电路的控制

对触发电路的控制非常简单，TLV5631 的输入电压直接作为触发电压从高速比较器 ADCMP600 的反向端灌入。触发电平的设置范围为  $0 \sim 2V$ 。

## 第五章 PCB 设计

由于本设计属于高速电路设计，设计上难度较大，而且大部分器件属于高频模拟器件，所以本设计性能对 PCB 上杂散参数十分敏感，如果不了解高速 PCB 设计方面的知识，很可能造成设计失败。

### 5.1 噪声及抗噪声设计

#### 5.1.1 噪声的来源

##### 5.1.1.1 电阻热噪声

电阻即使不与电源接通，其两端也会产生电压，这是由于电阻中自由电随机热运动造成的，电子的由于运动而不会平均的分布在电阻中就会产生电势，这个电动势称为热噪声电压。

一个阻值为  $R$  的电阻未接入电路时，在频带宽度为  $B$  内所产生的热噪声电压的均方值为：

$$V_n^2 = 4KT^*R*B$$

其中  $K$  为波尔兹曼常数，其值为  $1.37*10^{-23}J/K$ ， $T$  是绝对温度 (K)， $B$  为频宽 (Hz)

对该公式的直观的理解是：

噪声是统计分布参数，在 100 个人当中出现 2 米身高的数量与 10000 个人当中出现 2 米身高的数量是不一样的。你统计的人数越多，出现 2 米身高的机会越大，你把这个值折算到一个人身上，他出现 2 米身高的几率，就是你看到的参数。电阻热噪声公式也是一个统计公式，含义和上边叙述的统计身高的例子类似。

频宽越大，也就是说统计的范围越大，则最后折算出的电阻热噪声越大，同时阻值越大则电阻的噪声越大，电阻噪声会随着放大器逐级放大，污染被测信号。

所以可以做到就是尽可能见小电阻的阻值，同时应做好滤波设计，在信号调理电路的输出串接一个单极点 RC 滤波器，尽可能的压低频带  $B$ ，这样可以最大限度的减小电阻热噪声。

##### 5.1.1.2 三极管的热噪声

三极管本身也具有会产生噪声，但是在本设计的放大通路上不含有分立三极管，在继电器驱动电路上虽然有分立三极管其上噪声虽作为攻击噪声源本身噪声并不大，且远离信号通路对测试信号的印象很小，所以就不做分析了。在 PCB 布局是注意三极管的分布就可以了。

##### 5.1.1.3 数字电路的噪声

模拟电路工作时产生的噪声是极小的，而数字电路靠信号的翻转工作其上的噪声是非常大的，这种噪声对于数字电路本身的影响不大，因为数字电路高低电

平之间有较大间隔，所以数字电路的噪声容限较大，而模拟电路就完全不同了，这样的噪声对其是完全不能接受的。在 PCB 布局上要做到数模分开，不要混叠在一起。

#### 5.1.1.4 电源噪声

特别注意开关电源的滤波设计，去耦设计，因为在本设计的测试板上有一个由开关电源芯片完成的+5V 到-5V 的电源反转电路，开关电源的噪声远大于线性稳压芯片。在开关电源的输出端并接一个几百  $\mu\text{F}$  的钽电容到地作为本地旁路，同时在远端芯片的电源脚附近做一个  $0.1\mu\text{F}$  的高频旁路，可以最大限度的去除电源噪声。这些设计在 PCB 原理图中可以看到。

### 5.1.2 抗干扰设计

#### 5.1.2.1 相邻导线的干扰

在布线时应遵守 3W 原则，即线间距要大于线宽的 3 倍，同时应在 PCB 底面连续覆铜，这样可以阻断导线周围磁场，也能在一定程度上减小线间干扰。本设计为双通道设计，在 PCB 布局上两个通道要尽量远离，这样可以防止通道串扰。

#### 5.1.2.2 外界电磁干扰

在电路板上方焊接金属壳，并将金属壳接地，作为对外电磁波的屏蔽体，可以减少外界电磁干扰。

## 5.2 高速运放布线

### 5.2.1 减小寄生效应

寄生效应就是当电路工作频率升高到一定程度后，线性元件变成了非线性元件，比如电容，电阻，导线，焊盘，过孔等等，有他们产生的寄生电容和寄生电感对高速模拟电路的破坏巨大。

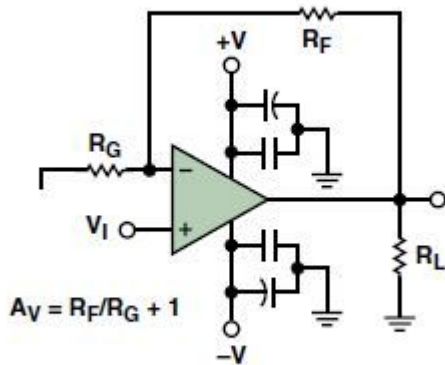


图 5-25

上图为典型运放电路在不考虑寄生效时的电路

UnRegistered

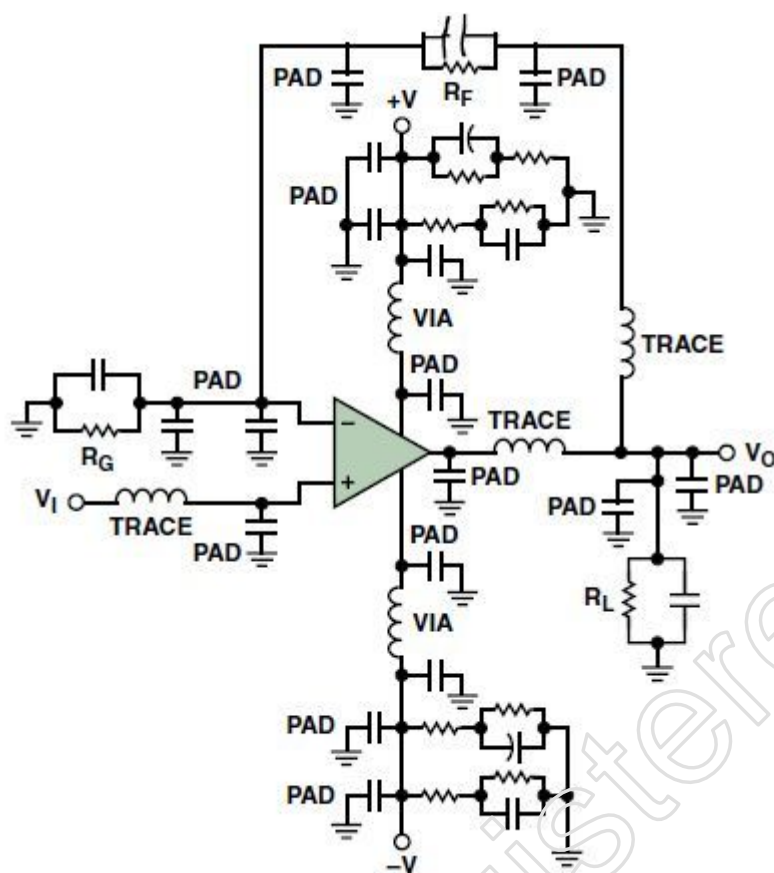
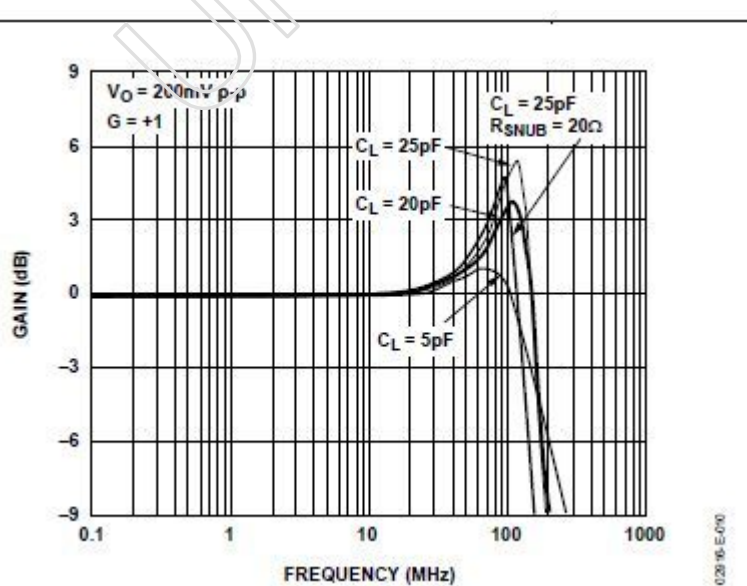


图 5-26

上图为高频时考虑电路寄生效应后的图

总的来说寄生效应主要来这些方面方面，导线上的寄生电感，焊盘的寄生电容，导线与地平面的寄生电容。

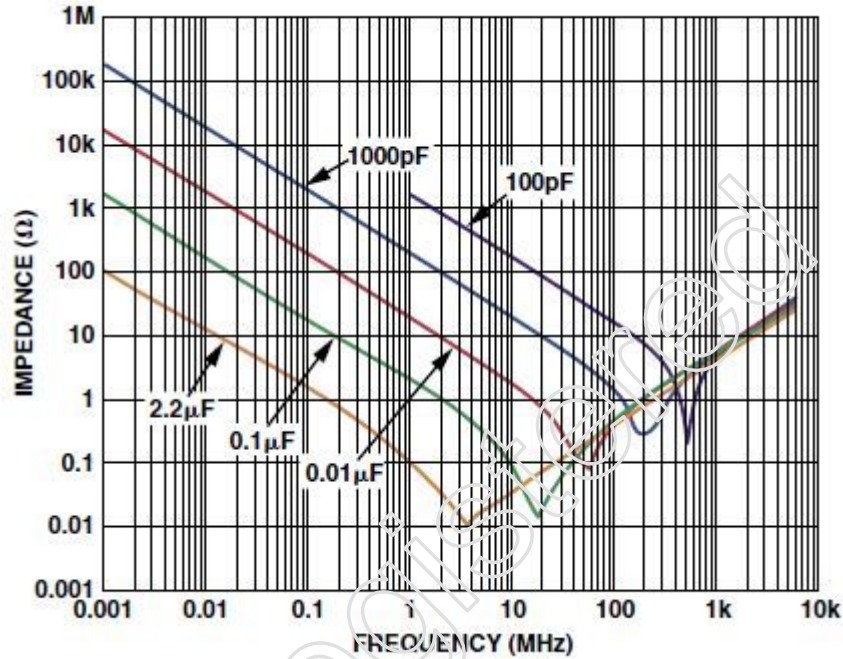
AD8065 的幅频响应曲线可以帮助我们直观的了解寄生效应的带来危害，如下图所示：



从上图可以看出运放的负载电容越大，幅频曲线上的峰越高，这会造成信号的过冲和震荡。而寄生电容会进一步恶化这种情况。在设计 PCB 时高速运放下部的覆铜一定要挖掉，尽量少打过孔。这样可减轻寄生效应。

### 5.2.2 电源旁路设计

前边的段落中提到，电源旁路可以减少电源噪声的影响，这里给出不同电容阻抗与噪声频率的曲线。



可以看出电容越小其高频阻抗越小，可以在运放的电源脚放在不同容值电容的组合从而形成一个宽屏带的噪声低阻通路用于旁路噪声信号，减少对运放的干扰。本设计中使用的是 2.2μF 钽电容与 0.1μF 陶瓷电容并联做为运放电源旁路。

### 5.2.3 地平面设计

接地平面起到公共基准电压的作用，提供屏蔽，能够散热和减小寄生电感(但它也会增加寄生电容)的功能。虽然使用接地平面有许多好处，但是在实现时也必须小心，因为它对能够做的和不能够做的都有一些限制。

理想情况下，PCB 有一层应该专门用作接地平面。这样当整个平面不被破坏时才会产生最好的结果。千万不要挪用此专用层中接地平面的区域用于连接其它信号。由于接地平面可以消除导体和接地平面之间的磁场，所以可以减小印制线电感。如果破坏接地平面的某个区域，会给接地平面上面或下面的印制线引入意想不到的寄生电感，接地面和除了寄生电感有关之外，还和信号的环路噪声有关，信号在远端发出，到达终端后通过接地平面返回，高速信号的返回路径就在发射路径下方的接地面上，如果返回路径的接地面不完整，则返回信号就会绕道，那么发射信号与返回信号环绕的面积就会增大，所产生的噪声也就会增大，同时也

更易受外界的干扰。所以在本设计中所有的关键信号布线尽可能走 PCB 顶层，这样尽可能的保证 PCB 底层接地覆铜完整。在本设计中所有的关键信号路径下的接地面都是完整的，为的就是尽可能做到最佳的接地平面设计。

UnRegistered

## 结论

经过半年多的论证，设计，制作，调试。本设计已经达到了既定的设计指标，编写了基于 FPGA 以及上位机调试校正软件，该设计已经应用于基于 ARM 和 FPGA 的便携数据采集系统中。

UnRegistered



## 参考文献

- [1] Sergio. Franco, 基于运算放大器和模拟集成电路的电路设计, 西安交通大学出版社, 2004
- [2] 吴大正, 信号与线性系统分析, 高等教育出版社, 2006
- [3] 市川裕一, 高频电路设计与制作, 科学出版社, 2004
- [4] Walt. Jung, 运算放大器应用技术手册, 人民邮电出版社, 2008
- [5] Eric. Bogatin, 信号完整性分析, 电子工业出版社, 2003
- [6] Michael D. Ciletti, Verilog HDL 高级数字设计, 电子工业出版社, 2003
- [7] John Ardizzoni, 高速 PCB 布线指南, 美国模拟器件公司 (ADI), 2008
- [8] Brad Brannon&Rob Reeder, 高速 ADC 测试和评估, 美国模拟器件公司 (ADI), 2008

## 致 谢

衷心感谢我的导师曹宝银老师，半年来曹老师解答了我很多设计上的疑问，曹老师治学严谨，视野开阔，学识渊博，这些给我留下了深刻印象，他对工作和学习的态度将是我终生学习的榜样。

UnRegistered