

第 1 章：我眼中的 FPGA 和 Verilog HDL

当接触一门新知识的时候，如果在心中没有任何形状，掌握的感觉都是遥不可及的。当然，FPGA 也好 Verilog HDL 也好也是一回事儿。今天我就将这个秘密 告诉你!(=^_^=)

在新手之间有一个很普遍的问题 “FPGA 和 Verilog HDL 是什么？”。在我的心里，FPGA 和 Verilog HDL 宛如 “**自己 and 一堆乐高积木**”，自己可以随心所欲的要怎么拆就怎么拆。

这句话说包含的意义又是什么呢？

第一 “**形状**”。很多的新手都疑惑 FPGA 到底什么，对于我的看法，FPGA 就是一堆**乐高积木**而已。但是这堆乐高积木又能做什么。我相信很多朋友接触 FPGA 之前，都有接触过单片机。当学习 FPGA 的时候，不知不觉把 FPGA 当成 “**控制器**” 的形状。这样的想法并非完全正确也非完全正解。无论是 “接口”，“控制器”，“IC”，从最简单的到最复杂的，都是 FPGA 都可以涉及的范围。FPGA 就是一堆乐高积木，只要方法得到，手段有效，就没有拆不出来的 “**形状**”

第二 “**学习的形状**”。我们应该用什么的形状来学习 FPGA 呢？我的答案都很肯定，就是什么都涉及，但是不求最困难的，只求最相似和最简单的。如：一个接口的设计，可以是一个数码管驱动程式。我的众多学习，都会从 “控制器” 的形状入门开始，当掌握驱动方法后，尝试建模，最后学习接口封装。如此的学习次序，渐渐的就会熟悉许许多多的 “学习形状”

第三 “**组合 FPGA 的一双手**”。Verilog HDL 语言就如 “**组合乐高积木的一双手**”，没有了 “这双手” 我们就无法使 FPGA 组装起来。有一句话我一直都在强调，硬件描述语言是基本功，必须很好的掌握。

第四 “**建模技巧**”。建模技巧可以看成是 “**组合乐高积木的手段**”，这也是就是这本笔记要讨论的东西。事实上是诸多新手面对最大的瓶颈。建模这东西原本就没有具体的规则，我也是按照自己建模习惯，作为一个基础，希望可以帮助到更多的手越过这段瓶颈。

第五 “**要掌握到何种的地步才算足够？**” 作为曾经是新手的我，对于这问题我表示压力很大。但是经过一轮的思考，发现自己真的是笨极了，这些 “杞人忧天” 的问题，还是顺其自然的好。最重要就是学习的心态，学习是一件快乐的事情，为什么要搞得如此忧郁呢？从我的角度来看，最起码的，也是最重要的就是 “**掌握基本功**”。

事实上这本笔记仅是讨论 “**基本功的一部分**”，因为 FPGA 涉及的知识实在是太广泛了，如时序分析等相关的知识。所以呀，希望大家可以保持 “**学习的心态**”，好好的阅读这本笔记。这本笔记不会涉及太多专业的知识，而是焦距在建模的基础之上。“学习如同玩具，要一点一滴的去享受，才能体会到乐趣，如果只是单纯的为了目的或者是匆忙来去，无论是多么有趣的玩具在你的手中，你永远也不会体验到当中的乐趣”。学习应该时时刻刻保持正向的心态。