3　USB 接口的步进电机控制板的电路设计

USB 接口控制芯片分为两种，一种是 USB 主控接口芯片，它集成了主控制器和集线器，通常是作为 PC 机中的部件，直接焊接在 PC 机的主板上（例如 SL811S）；另一种是 USB 从控接口芯片，它用作外部设备接入 USB 总线的接口器件，起到了数据收发和协议转换的作用。目前流行的 USB 接口芯片比较多，主要有 CYPRESS 公司的 EZ-USB 系列，但是该系列芯片以主控接口芯片为主，而且其从控接口芯片价格比较昂贵。相比而言，Philips 公司的从控接口芯片 PDIUSBD12，以其优异的性能和较低的价格为系统硬件平台合理节约了成本，成为本系统开发的首选。

3. 1　PDIUSBD12 芯片特性介绍

3. 1. 1　PDIUSBD12 芯片特点和内部结构

PDIUSBD12 是一款性价比很高的 USB 器件。它通常用作微控制器系统中，实现与微控制器进行通信的高速通用并行接口。它还支持本地的 DMA 传输。

这种实现 USB 接口的标准组件使得设计者可以在各种不同类型微控制器中选择出最合适的微控制器。这种灵活性减小了开发的时间、风险、以及费用。(通过使用已有的结构和减少固件上的投资)从而用最快捷的方法实现最经济的 USB 外设的解决方案。

PDIUSBD12 完全符合 USB1.1 版的规范。它还符合大多数器件的分类规格：成像类、海量存储器件、通信器件、打印设备、以及人机接口设备。同样地、PDIUSBD12 理想地适用于许多外设，例如、打印机、扫描仪、外部的存储设备（Zip 驱动器）和数码相机等等。它使得当前使用 SCSI 的系统可以立即降低成本。

PDIUSBD12 所具有的低挂起功耗连同 LazyClock 输出可以满足使用 ACPI OnNOW 和 USB 电源管理的要求。低的操作功耗可以应用于使用总线供电的外设。

此外它还集成了许多特性，包括 SoftConnet 、GoodLink 、可编程时钟输出、低频晶振和终止寄存器集合。所有这些特性都为系统显著节约了成本，同时使 USB 功能在外设上的应用变得容易。

管脚配置

PDIUSBD12 的器件引脚如图 3-1

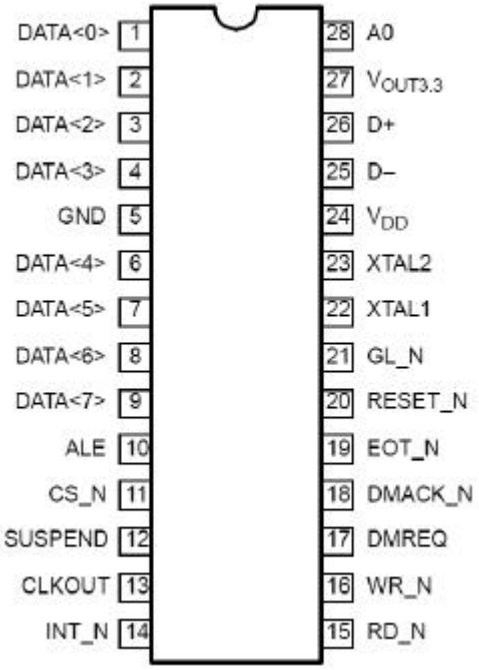

图 3-1 器件引脚图

各管脚功能，见表 3-1

表 3-1 PDIUSBD12 管脚功能表

管脚	符号	类型	描述
1	DATA<0>	IO2	双向数据位 0
2	DATA<1>	IO2	双向数据位 1
3	DATA<2>	IO2	双向数据位 2
4	DATA<3>	IO2	双向数据位 3
5	GND	P	地
6	DATA<4>	IO2	双向数据位 4
7	DATA<5>	IO2	双向数据位 5
8	DATA<6>	IO2	双向数据位 6
9	DATA<7>	IO2	双向数据位 7
10	ALE	I	地址锁存使能。在多路地址/数据总线，中下降沿关闭地址信息锁存。将其固定为低电平，用于单地址/数据总线配置。

续表 3-1

11	CS_N	I	片选（低有效）
12	SUSPEND	I,OD4	器件处于挂起状态
13	CLKOUT	O2	可编程时钟输出
14	INT_N	OD4	中断（低有效）
15	RD_N	I	读选通（低有效）
16	WR_N	I	写选通（低有效）
17	DMREQ	O4	DMA 请求
18	DMACK_N	I DMA	应答（低有效）
19	EOT_N	I	DMA 传输结束（低有效）。EOT_N 仅当 DMACK_N 和 RD_N 或 WR_N 一起激活时才有效。
20	RESET_N	I	复位（低有效且不同步）。片内上电复位电路，该管脚可固定接 VCC。
21	GL_N	OD8	GoodLink LED 指示器低有效
22	XTAL1	I	晶振连接端 1 （6MHz）
23	XTAL2	O	晶振连接端 2（6MHz）。如果采用外部时钟信号取代晶振，可连接 XTAL1，XTAL2 应当悬空。
24	VCC	P	电源电压（4.0V~5.5V）。 要使器件工作在 3.3V ，对 VCC 和 VOUT3.3 脚都提供 3.3V。
25	D-	A	USB D-数据线
26	D+	A	USB D+数据线
27	VOUT3.3	P	3.3V 调整输出。要使器件工作在 3.3V，对 VCC 和 VOUT3.3 脚都提供 3.3V。
28	A0	I	地址位。A0=1， 选择命令。指令 A0=0，选择数据。该位在多路地址/数据总线配置时可忽略，应将其接高电平。

注: O2 ： 2mA 驱动输出 OD4 ： 4mA 驱动开漏输出

OD8 ： 8mA 驱动开漏输出 IO2 ： 4mA 输出

特性

- 符合通用串行总线 USB 1.1 版规范
- 高性能 USB 接口器件集成了 SIE FIFO 存储器收发器以及电压调整器
- 符合大多数器件的分类规格
- 可与任何外部微控制器/微处理实现高速并行接口 2M 字节/秒
- 完全自治的直接内存存取 DMA 操作
- 集成 320 字节多结构 FIFO 存储器
- 主端点的双缓冲配置增加了数据吞吐量并轻松实现实时数据传输
- 在批量模式和同步模式下均可实现 1M 字节/秒的数据传输速率
- 具有良好 EMI 特性的总线供电能力
- 在挂起时可控制 LazyClock 输出
- 可通过软件控制与 USB 的连接
- 采用 GoodLink 技术的连接指示器,在通讯时使 LED 闪烁
- 可编程的时钟频率输出
- 符合 ACPI OnNOW 和 USB 电源管理的要求
- 内部上电复位和低电压复位电路
- 有 SO28 和 TSSOP28 封装
- 工业级操作温度 40 +85
- 高于 8kV 的在片静电防护电路减少了额外元件的费用
- 具有高错误恢复率(>99%)的全扫描设计确保了高品质
- 双电源操作 3.3± 0.3V 或扩展的 5V 电源,范围为 3.6~5.5V
- 多中断模式实现批量和同步传输

功能框图

PDIUSBD12 的功能框图如图 3-2 所示。

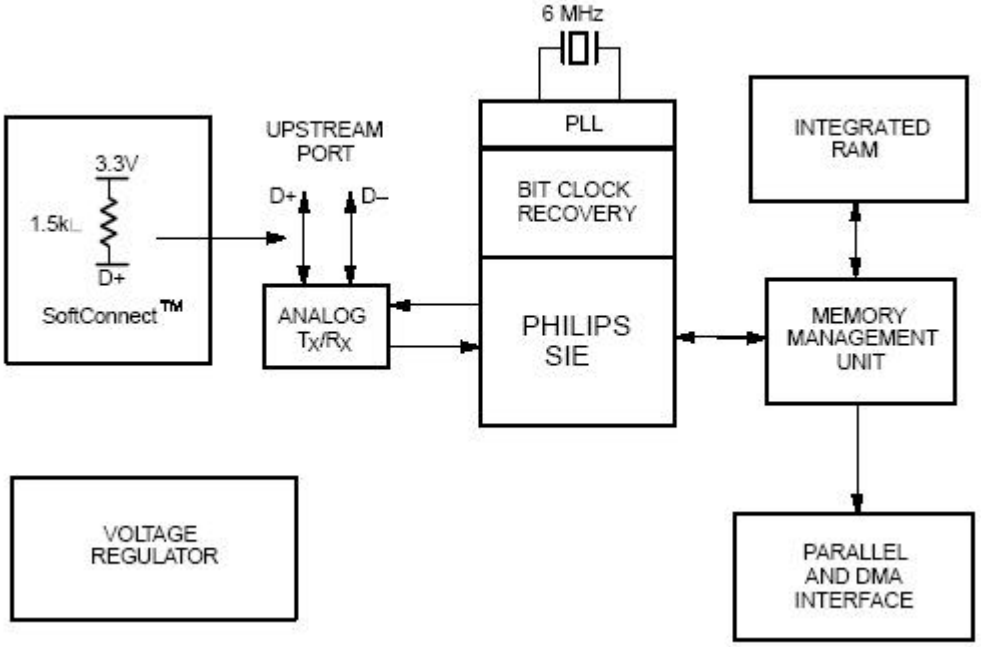

图 3-2 PDIUSBD12 的功能框图

说明如下：

·模拟收发器

集成的收发器接口可通过终端电阻直接与 USB 电缆相连。

·电压调整器

片内集成了一个 3.3V 的调整器用于模拟收发器的供电。该电压还作为输出连接到外部 1.5k? 的上拉电阻。可选择 PDIUSBD12 提供的带 1.5k? 内部上拉电阻的软件连接技术。

·PLL 锁像环

片内集成了 6M 到 48M 时钟乘法 PLL ，这样就可使用低成本的 6MHZ 晶振，EMI 也随之降低。PLL 的工作不需要外部元件。

·位时钟恢复

位时钟恢复电路使用 4X 过采样规则，从进入的 USB 数据流中恢复时钟，它能跟踪 USB 规定范围内的抖动和频漂。

·Philips 串行接口引擎 PSIE

Philips SIE 实现了全部的 USB 协议层，且完全由硬件实现而不需要固件的参与。该模块的功能包括同步模式的识别、并行/串行转换、位填充/解除填充、CRC 校验/产生、PID 校验/产生、地址识别和握手评估/产生。

·SoftConnect

SoftConnect 与 USB 的连接是通过 1.5k? 上拉电阻将 D+ （用于高速 USB 器件）置为高实现的。1.5k? 上拉电阻集成在 PDIUSBD12 片内，默认状态下不与 VCC 相连，连接的建立通过外部/系统微控制器发送命令来实现。这就允许系统微控制器在决定与 USB 建立连接之前完成初始化时序。USB 总线连接可以重新初始化，而不需要拔出电缆。

PDIUSBD12 在连接可以建立之前，会检测 USB VBUS 是否可用。VBUS 可通过 EOT_N 管脚进行检测。

需要注意的是，内部电阻的误差（25%）大于 USB 规格的 5% 。但用于连接的 VSE 电压规格仍然有足够的余量。SoftConnect 是 Philips 半导体一项尚未获批准的专利技术。

·GoodLink

GoodLink 技术可提供良好的 USB 连接指示。在枚举中，LED 指示根据通信的状况间歇闪烁。当 PDIUSBD12 成功地枚举和配置后，LED 指示将一直点亮。随后与 PDIUSBD12 之间成功的传输（带应答）将关闭 LED。 处于挂起状态时，LED 将会关闭。

该特性为 USB 器件、集线器和 USB 通信状态提供了用户友好的指示。作为一个诊断工具，它对隔离故障的设备是很有用的。该特性降低了现场支持和热线的成本。

·存储器管理单元（MMU）和集成 RAM

在以 12M/s 的速率传输并与微控制器的数据并口相连时，MMU 和集成 RAM 作为 USB 之间速度差异的缓冲区。这就允许微控制器以它自己的速率对 USB 信息包进行读写。

·并行和 DMA 接口

一个普通的并行接口定义成易于使用、快速、而且可以与主流的微控制器直接接口。对一个微控制器而言，PDIUSBD12 看起来就象一个带 8 位数据总线和一个地址位（占用 2 个位置）的存储器件。PDIUSBD12 支持多路复用和非复用的地址和数据总线；还支持主端点与本地共享 RAM 之间直接读取的 DMA 传输；支持单周期和突发模式的 DMA 传输。

3. 1. 2 PDIUSBD12 芯片的端点配置

通过 Set Mode 命令可以将 PDIUSBD12 的设备端点配置为 4 种不同的模式，分别为：

模式 0 （Non-ISO 模式）： 非同步传输

模式 1 （ISO-OUT 模式）： 同步输出传输

模式 2 （ISO-IN 模式）： 同步输入传输

模式 3 （ISO-IO 模式）： 同步输入输出传输

具体对应到本装置而言，装置并不需要同步传输特性，并且 USB 总线上的同步数据传输，在传输物理层上没有数据握手阶段（具体细节见 2.4.4 节），这就无法保证数据传输的可靠性。同步传输特性是为音频、视频类设备准备的。在音频、视频类设备中，缓冲区会不断的被数据所填充，主机和设备都必须及时取走或填充数据，并且相互之间有非常严格的配合时序。一旦，一方未能及时取走缓冲区中的数据，数据将会被另一方在循环填充时所覆盖，这就导致了数据丢失。这对音频、视频类设备的影响很小，无非是声音的一次抖动或图像的一次局部花屏而已，不影响视听。但对于控制步进电机的设备来说，一次这样的情况出现便是致命的。况且，采用批量和中断传输方式时的数据传输速度，对本系统的控制而言已经足够。

本装置因此选用模式 0(非同步模式)。该模式下，具体的 PDIUSBD12 芯片端点配置如表 3-3 所示。

表 3-3 模式 0 (非同步模式)配置

端点数	端点索引	传输类型	端点类型	方向	最大信息包规格（字节）
0	0	控制输出	默认	输出	16
	1	控制输入		输入	16
1	2	普通输出	普通	输出	16
	3	普通输入	普通	输入	16
2	4	普通输出	普通	输出	64
	5	普通输入	普通	输入	64

其实在四种模式下，端点 0、1 是完全相同的。主端点（端点 2） 在有些方面是比较特别的，它是进行吞吐大数据的主要端点，同样地它执行主机的特性以减轻传输大数据的任务。当处于本系统选择的模式 0 配置时，主端点具体行为细节如下：

(1) 双缓冲。允许 USB 与本地 CPU 之间的并行读写操作。这样就增加了数据的吞吐量。缓冲区切换是自动处理的，这导致了透明的缓冲区操作。

(2) 支持 DMA （直接存储器访问）操作。可以和对其它端点的正常 I/O 操作交叉进行。

(3) DMA 操作中的自动指针处理。在跨过缓冲区边界时不需要本地 CPU 的干预。

(4) 可配置为同步传输或非同步(批量和中断)传输。

3. 2 AT89C52 与 PDIUSBD12 接口电路设计

控制板上的 AT89C52 与 PDIUSBD12 的接口如图 3-4 所示。本图仅限于 AT89C52 与 PDIUSBD12 的接口部分分析用，步进电机控制板的完整电路图见附录 1。

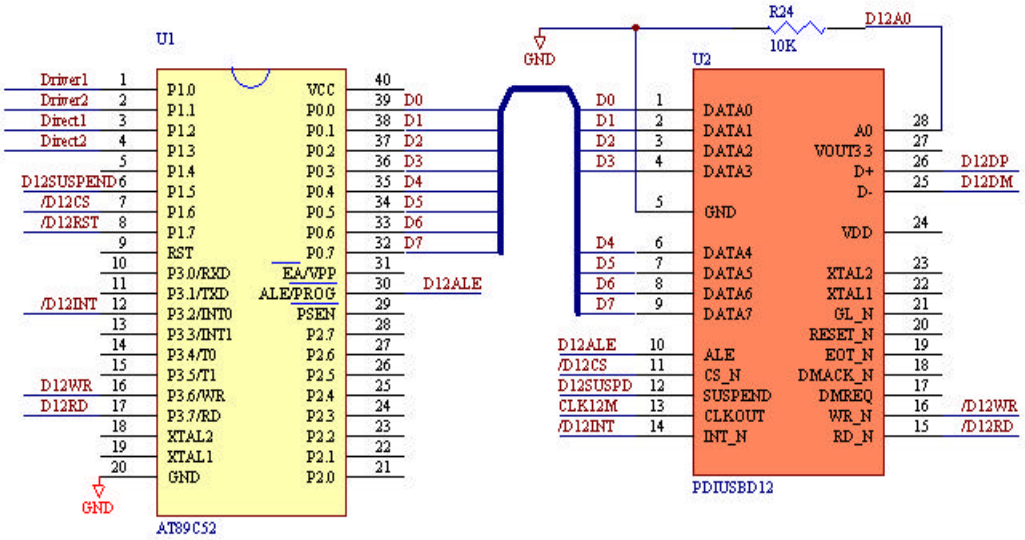

图 3-4 AT89C52 与 PDIUSBD12 的接口电路图

本系统中 PDIUSBD12 芯片采用多路地址/数据总线方式。具体的电路接口原理分析如下：

(1)数据总线连接

AT89C52 用 P0 口（P0.0～P0.7）与 PDIUSBD12 的 DATA 口(DATA0～DATA7)作为数据总线顺次连接。这将作为 AT89C52 与 PDIUSBD12 之间数据传输的主要通道。当主机有数据下传到 PDIUSBD12 的端点缓冲区中时，AT89C52 会在得到中断通知后，通过该数据总线读取端点缓冲区中的数据；当 AT89C52 将有数据上传给主机时，会将要上传的数据通过该数据总线写入端点缓冲区中，以便在下次主机读取命令下达时上传到主机。

(2)命令接口选择

将 PDIUSBD12 的 A0 接地，而其 ALE 与 AT89C52 的 ALE/PROG 相连。在这种连接模式下，使用 MOVX 指令可以与 D12 接口，对 D12 的操作就像对 RAM 操作一样。这时忽略 A0 的输入，D12 在 ALE 的下降沿是锁存地址信息，奇数地址的输出为命令，偶数地址的输出为数据。

(3)功耗接口处理

USB 设备分为总线供电和自供电两种类型。在总线供电类型中，USB 设备的供电电流均来自与 USB 总线；而对于自供电类型，USB 设备的供电电流完全由设备自身负责。对于后者，在这种情况下，在总线空闲时降低系统功耗就很重要了。D12 的挂起引脚 SUSPEND 是一个双向口。作为输入：当 PDIUSBD12 处于挂起模式时，内部寄存器不能被访问，如果需要对设备进行访问，要将 PDIUSBD12 的引脚拉低唤醒设备，然后进行访问。作为输出：PDIUSBD12 设备还可以如下方式进入挂起：主机要求进入挂起状态或者当主机本身处于挂起状态。如果 USB 线处于空闲模式，该模式中 D+线为高而 D-线为低，前提是设备已通过 D+线的上拉电阻连接到总线。此外当设备没有连接时，如果 D+线为高而 D-线为低，设备也会进入空闲模式这意味着 USB 总线上没有活动这种情况下 PDIUSBD12 检测到连续 3 次没有帧起始 SOF 就将挂起脚置高。在本系统中，用 P1.5 口监测和控制 D12 的 SUSPEND 口。当主机无数据下传和控制板无数据上传达一定时间后，D12 挂起。此时 D12 会对 MCU 产生一个中断，AT89C52 通过读 D12 的中断寄存器，来确定这个挂起中断信号。此时若控制电路支持低功耗模式，可以转入其中。若不支持，可以将 SUSPEND 口置低，以便对其端点进行读写。因为本系统不支持低功耗模式，故会选择将 SUSPEND 置低。

(4)中断信号线连接

PDIUSBD12 的 INT_H 与 AT89C52 的 INT0 相连。当 PDIUSBD12 接收到或者发送完缓冲区中的数据时，就可以通过中断来通知 AT89C52。PDIUSBD12 的固件设计成完全的中断驱动如图 4－2。当 CPU 处理前台任务时，USB 的传输可在后台进行。这就确保了最佳的传输速率和更好的软件结构同时简化了编程和调试。后台 ISR 中断服务程序和前台主程序循环之间的数据交换，通过事件标志和数据缓冲区来实现。当 PDIUSBD12 从 USB 收到一个数据包,那么就对 CPU 产生一个中断请求,CPU 立即响应中断。在 ISR 中，固件将数据包从 PDIUSBD12 内部缓冲区移到循环数据缓冲区，并在随后清零 PDIUSBD12 的内部缓冲区以使能接收新的数据包。CPU 可以继续它当前的前台任务，直到完成。然后返回到主循环，检查循环缓冲区内是否有新的数据，并开始其它的前台任务。由于这种结构，主循环不关心数据是来自 USB 串口还是其它硬件，它只检查循环缓冲区内需要处理的新数据，这样主循环程序专注于数据的处理而 ISR 能够以最大可能的速度进行数据的传输。

(5)读/写信号线连接

AT89C52 的读/写信号线 P3.6 、P3.7 依次与 PDIUSBD12 的 WR_N 、RD_N 相连，作为读/写控制信号。

(6)片选信号线连接

AT89C52 的 P1.6 口作为 PDIUSBD12 的片选信号线与/D12CS 连接。这是为了让 AT89C52 可以分时控制板上的多个外设。

(7)电机驱动输出接口设置

Driver1,Driver2,Direct1,Direct2 为两组步进电机驱动口。其中 Driver 为脉冲输出口；Direct 为方向控制口。他们依次对应连接到 AT89C5 的 P1.0～P1.3。

(8)USB 总线数据输入口连接

PDIUSBD12 的 D+、D-为串行差分数据输入口，通过 D12DP、D12DM 连接到 USB 的 B 型插座上。主机的总线 USB 会接入该插座，进而连接到 PDIUSBD12 的 D+、D-串行差分数据输入口，从而达到与步进电机控制板通信的目的。

3. 3 本章小结

本章通过对步进电机控制系统中，USB 接口芯片 PDIUSBD12 物理和逻辑特性的深入分析，对 PDIUSBD12 的运行模式的选取进行了探讨。并以此为基础，进一步对 PDIUSBD12 与 AT89C52 具体的电路接口设计的各个细节，进行了详细的介绍。