2.2.3 FPGA 简介

2.2.3.1 FPGA 的基本结构

FPGA 由 4 部分构成:IOB(输入输出模块)、逻辑单元、布线资源、Block Ram。它们的主要功能分别是:输入输出模块是芯片与外部的接口，完成不同电气特性的输入输出功能；逻辑单元是核心，完成所有的逻辑功能;布线资源连接逻辑单元和 IOB 以及 Block Ram，实现信号的传递:Block Ram 实现数据的存储。

2.2.3.2 基于 HDL 的 FPGA 设计流程

基于硬件描述语言(HDL)的 FPGA 设计流程大体归结为下面六个步骤，

1.制定设计方案

制定设计方案就是根据系统设计要求(如面积，功能，功耗，可测试性，设计周期能)提出一种设计方法和思路。主要任务是功能模块的划分，状态机的描述算法结模型的建立，各个功能模块的实现等。是整个系统设计的根本，为后续的设计奠定基础。

2.设计输入

完成系统各功能模块的 HDL 描述。可以利用 VHDL 或者 Verilog 硬件描述语言。

基于 HDL 的设计要比电路原理图设计更容易调试。基于 HDL 的设计通过使用描述性的文件名，给出说明意图的注释，并明确的指定结构的相互关系，把文档与设计紧密融合在一起。通过对一个基于 HDL 语言的模型的仿真，能清楚的反映出设计的功能特性。这就是 HDL 语言的优点。

3.功能仿真

完成各模块的独立测试和各模块整合后的系统测试，编写测试平台或者 do/tcl 文件，对设计进行仿真，发现设计中存在的与预期功能不同的地方，对设计进行修改，直至功能满足要求。

4.综合优化实现(翻译映射，布局布线，时间参数提取)

对设计进行综合，完成从 HDL 描述到门级网表电路的转换，由综合工具自动完成。所要完成的任务就是设置必要的约束，包括管脚，时钟，面积等。

5.时序仿真验证

时序仿真也称为综合后仿真。完成对电路网表的功能验证，确保后仿真和功能仿真的一致性。

6.加载配置在线调试

将 bit 文件载入 FPGA，验证设计是否真的满足实际系统要求。发现实际运行环境与仿真环境所得结果的差异，并返回上层对设计进行进一步的修改和完善。

2.2.3.3 FPGA 的 I/O 口功能

输入输出(Input/Output)单元简称 I/O 单元，是 FPGA 的基本组成单元之一，

它们是芯片与外界电路的接口部分，完成不同电气特性下对输入/输出信号的驱动与匹配需求。为了使 FPGA 有更灵活的应用，目前大多数 FPGA 的入口单元被设计为可编程模式，即通过软件的灵活配置，可以适配不同的电气标准与 I/O 物理特性；可以调整匹配阻抗特性，上下拉电阻；可以调整输出驱动电流的大小等。可编程 I/O 单元支持的电气标准因工艺而异，不同器件商不同器件族的 FPGA 可支持的 I/O 标准也不同，一般来说，常见的电气标准有 LVTTL、LVCMOS、SSTL、HSTL、LVDS、LVPECL 和 PCI 等。值得一提的是，随着 ASIC 工艺的飞速发展，目前可编程 I/O 支持的最高频率越来越高，一些高端 FPGA 通过 DDR 寄存器技术，甚至可以支持高达 2Gbit/s 的数据速率。另外，FPGA 丰富的 I/O 管脚资源使它具备与外设之间如 LED、LCD、RS232、RAM、VGA 等接口。