4.3.2 FPGA 与 SDRAM 的连接

SDRAM 与 FPGA 的硬件连接比较简单，如图 4-6 所示：

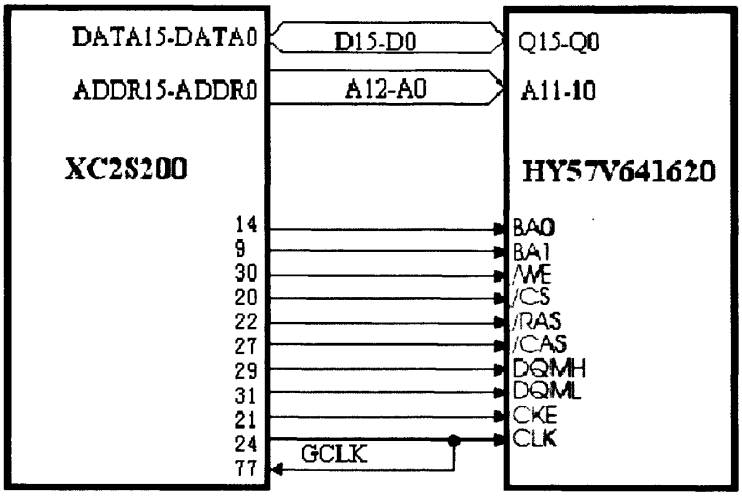

图 4-6 SDRAM 与 FPGA 的硬件连接

如图，SDRAM 的控制线、地址总线以及数据总线都连接在 FPGA 的通用的 I/O 口上，这里就不一一说明。需要注意的是，为了更好同步 FPGA 内部的 SDRAM 控制器与 SDRAM 的工作状态，系统中将 SDRAM 的工作时钟作为反馈信号引入，连接在 FPGA 的一个全局时钟管脚 GCLK1（91 脚）上面[12]。

4.4 其他外围电路

4.4.1 供电电路

供电电路提供系统所需电源，包括+3.3v、+5v、-5v、+12v、-12v。此系统直接经过三端集成稳压管 78L05 稳压得到系统所需的主要的+5V 电源。单片机、FPGA、CPLD 和模数转换器及大部分光耦的工作电压均为+5v[13]。16 位串行模数转换器和与之相连的光电隔离电路所需的工作电压是由系统的巧 V 电源经电压变换和稳压而得到的，电路如图 4-7 所示。SL811HS 是 3.3V 供电的，采用 SA1117 作为电压转换芯片，将+5V 转换为+3.3V，电路如图 4-8 所示。模拟多路开关和与之相连的 3 个光电隔离电路的工作电压为+12V 和-12V，+5V 到±12V 的电压转换和稳压电路如图 4-9 所示。