4.3.2 FPGA 与 SDRAM 的连接

SDRAM 与 FPGA 的硬件连接比较简单，如图 4-6 所示：

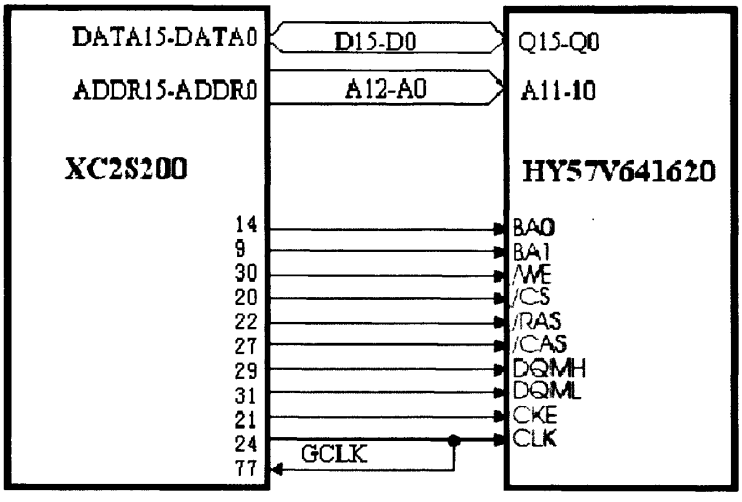

图 4-6 SDRAM 与 FPGA 的硬件连接

如图，SDRAM 的控制线、地址总线以及数据总线都连接在 FPGA 的通用的 I/O 口上，这里就不一一说明。需要注意的是，为了更好同步 FPGA 内部的 SDRAM 控制器与 SDRAM 的工作状态，系统中将 SDRAM 的工作时钟作为反馈信号引入，连接在 FPGA 的一个全局时钟管脚 GCLK1（91 脚）上面[12]。

4.4 其他外围电路

4.4.1 供电电路

供电电路提供系统所需电源，包括+3.3v、+5v、-5v、+12v、-12v。此系统直接经过三端集成稳压管 78L05 稳压得到系统所需的主要的+5V 电源。单片机、FPGA、CPLD 和模数转换器及大部分光耦的工作电压均为+5v[13]。16 位串行模数转换器和与之相连的光电隔离电路所需的工作电压是由系统的巧 V 电源经电压变换和稳压而得到的，电路如图 4-7 所示。SL811HS 是 3.3V 供电的，采用 SA1117 作为电压转换芯片，将+5V 转换为+3.3V，电路如图 4-8 所示。模拟多路开关和与之相连的 3 个光电隔离电路的工作电压为+12V 和-12V，+5V 到±12V 的电压转换和稳压电路如图 4-9 所示。

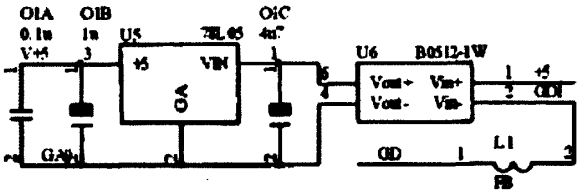

图 4-7 +5V 电压变换及稳压电路

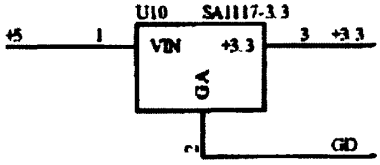

图 4-8 +5V 到+3.3V 电压转换电路

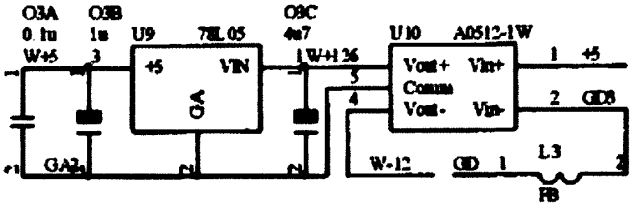

图 4-9 +5v 到±12V 电压变换及稳压电路

4.4.2 复位电路

SL811HS、D12、FPGA 和 CPLD 的复位信号均由单片机控制。

单片机的复位电路如图 4-10 所示。在单片机振荡器稳定振荡的前提下，加于单片机 RST 端的高电平持续以实现上电复位。2 个机器周期，单片机进行内部复位。在 RST 与 VCC 间加一电容可以实现上电复位。

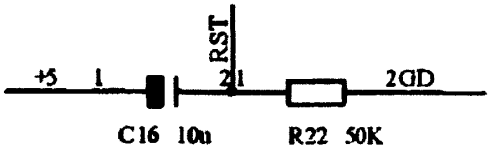

图 4-10 单片机复位电路

4.4.3 时钟电路

在本系统中，单片机的时钟由内部方式产生，在 XTAL1、XTAL2 端外接石英晶体作定时元件，内部反相放大器自激振荡，产生时钟。其电路如图 4-11 所示，XTI 和 XTZ 直接连接到单片机的 XTAL1 和 XTAL2 引脚上。时钟发生器对振荡脉冲二分频，石英频率为 40MHz，则时钟频率为 20MHz。单片机在定时工作时，内部时钟经 12 分频后作为定时器时钟。计数工作时，时钟脉冲(计数脉冲)由 T0 和 T1(即 P3.4 和 P3.5)输入，其电路如图 4-12 所示，图中，SCL 和 SDA 分别接到单片机的 T0 和 T1 引脚上。