全定制(Fully Customize)的 ASIC 制作方法是一种基于晶体管级的设计方法，它完全以客户所委托的电路设计要求为参考量，将电路做成最佳的整合，以得到一个高速度、低功耗和省面积的最优的解决方法，但设计的周期一般很长，设计成本很高，因此只适于对性能要求很高(如高速芯片)或批量很大的芯片(如存储器、通用芯片等)。

2.2.2 可编程逻辑器件

在数字电子系统领域，存在三种基本的器件类型:存储器、微处理器和逻辑器件。

存储器用来存储随机信息，如数据表或数据库的内容。微处理器执行软件指令来完成范围广泛的任务，如运行数字处理程序或视频游戏。逻辑器件提供特定的功能，包括器件与器件间的接口、数据通信、信号处理、数据显示、时序和控制操作、以及系统运行所需要的所有其它功能。

其中逻辑器件又分类两大类:固定逻辑器件和可编程逻辑器件(PLD)。

固定逻辑器件中的电路是永久性的，它们完成一种或一组功能，一旦制造完成，就无法改变。

可编程逻辑器件(PLD，Programmable Logic Device)是 20 世纪 70 年代发展起来的一种新兴逻辑器件，是目前数字系统设计的主要硬件基础。与标准器件不同，可编程逻辑器件可以实现用户设计的逻辑电路。这种芯片内部有大量的逻辑门或基本的通用功能模块以及可编程的“开关”(熔丝)。设计人员利用价格低廉的软件工具对这些开关进行快速编程开发、仿真和测试，再将设计编程到器件中，就可以实现逻辑门或功能模块的不同连接，以实现用户的逻辑电路。便可立即在实际运行的电路中对设计进行测试。

采用可编程逻辑器件的另一个关键优点是在设计阶段中客户可根据需要修改电路，直到对设计工作感到满意为止。这是因为可编程逻辑器件都是基于可重写的存储器技术。因此要改变设计，只需要简单地对器件进行重新编程。一旦设计完成，客户可立即投入生产。

2.2.2.1 SPLD

最早的PLD器件只有20和24个管脚，后来人们将其命名为Simple PLD(SPLD，简单程逻辑器件)。它包含可编程逻辑阵列(PLA，Programmable Logic Array)和可编程阵列逻辑(PAL，Programmable Array Logic)两种。

PLA 是 PLD 中最早的产品。它采用与阵列、或阵列(实质是 NMOS 类型的晶体管)来构造，每个 NMOS 晶体管的下面是一个可编程的晶体管，它实际上是一位可擦除的 EEPROM(electrically-erasable programmable read-only memory)。PLA 可以被包含在大规模的电路设计中，但由于其器件内部资源利用率低，现在已不常用了。

PAL 与 PLA 类似，也是由与阵列和或阵列组成的。与 PLA 的不同之处在于:PAL 或阵列是固定的:PAL 在或阵列的输出部分增加了一些逻辑电路;PAL 的输出又可以反馈到与阵列中作为与阵列的输入使用;PAL 可以实现时序电路，而 PLA 只能实现组合电路。因此 PAL 较 PIA 在数字逻辑设计上具有一定的灵活性。

2.2.2.2 CPLD

复杂 PLD 即 CPLD(Complex Programmable Logic Device)，它是可擦除可编程逻辑器件(EPLD, Erasable Programmable Logic Device)的改进型器件。CPLD 基于非易失性存储器技术，它的程序源都放在芯片内，无需从别处下载程序，可以直接在片上编程。

其内部含有多个(2 到 100 个不等)与 PAL 类似的模块，各模块之间依靠互连线连接，它也是可编程的。

CPLD 属于粗粒结构的可编程逻辑器件。它具有丰富的逻辑资源(即逻辑门与寄存器的比例高)和高度灵活的路由资源。CPLD 的路由是连接在一起的，因此速度快。CPLD 以群阵列(array of clusters)的形式排列，由水平和垂直路由通道连接起来。这些路由通道把信号送到器件的引脚上或者传进来，并且把 CPLD 内部的逻辑群连接起来。

CPLD 最基本的单元是宏单元。一个宏单元包含一个寄存器(使用多达 16 个乘积项作为其输入)及其它有用特性。因为每个宏单元用了 16 个乘积项，所以设计人员可部署大量的组合逻辑而不用增加额外的路径。这就是为何 CPLD 被认为是“逻辑丰富”型的。宏单元以逻辑模块的形式排列，每个逻辑模块由 16 个宏单元组成。宏单元执行一个 AND 操作，然后一个 OR 操作以实现组合逻辑。

每个逻辑群有 8 个逻辑模块，所有逻辑群都连接到同一个可编程互联矩阵。每个群还包含两个单端口逻辑群存储器模块和一个多端口通道存储器模块。前者每模块有 8192b 存储器，后者包含 4096b 专用通信存储器且可配置为单端口、多端口或带专用控制逻辑的 FIFO。

CPLD 器件具有以下优点:

1. 逻辑和存储器资源丰富
2. 时序模型简单
3. 改变输出引脚很灵活
4. 可以在系统(on system)重复编程
5. I/O 数目多
6. 内嵌冗余高速通信存储器，可保证用户获得高性能的集成存储器控制逻辑
7. 提供单片 CPLD 和可编程物理层(PHY)方案

目前许多 CPLD 器件的可用门已达数万门，而引脚间延时仅几纳秒。器件需要的功耗低，并且价格低廉，再加上上述优点，使得设计建模成本低，可在设计过程的任一阶段添加设计或改变引脚输出，可以很快上市。