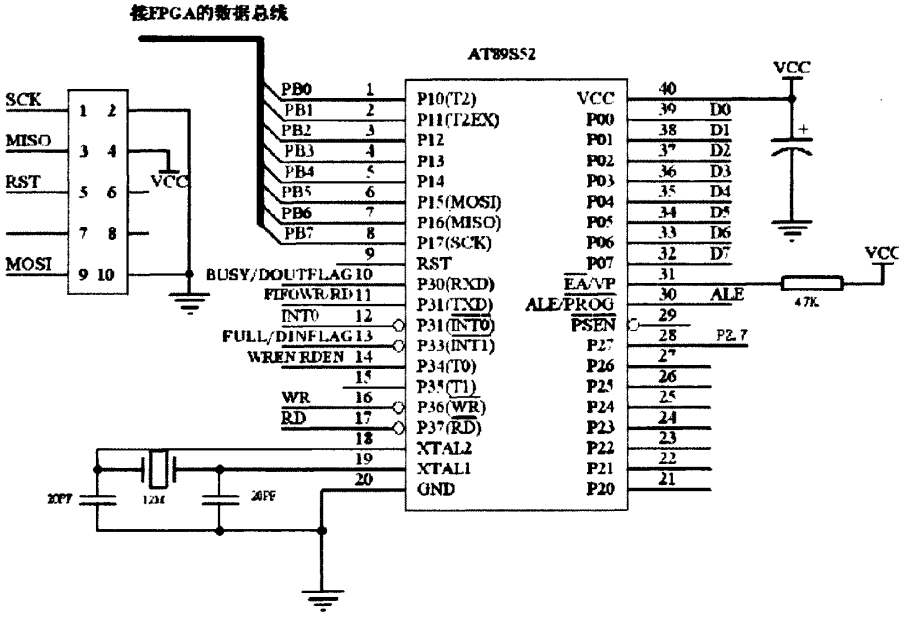

图 4-2 AT89S52 的周边电路

在电路中，我们访问单片机的内部程序存储器，因此 EA/VP（31 脚）接高电平。由于单片机的 P1 口处于空闲状态，所以我们采用 P1 口作为与 FPGA 的 I/O 口连接，作为数据总线通信的端口，这样也可以避免与 D12 芯片数据线复用。然后由 P3.0（10 脚）、P3.1（11 脚）、P3.3 脚（13 脚）和 P3.4 脚（14 脚）与 FPGA 的 I/O 口连接作为它们之间通信的控制信号。其中 P3.0 为 USB 下载数据模块发送给 FPGA 模块数据时，FPGA 模块给出的 BUSY 忙信号，在 FPGA 向 USB 上传模块发送数据时，作为数据发送完毕标志信号。P3.1 为 USB 下载/上传模块向 FPGA 模块内部 FIFO 写入数据/读取数据的写/读控制线。P3.4 为 USB 下载/上传模块向 FPGA 模块内部 FIFO 写入数据/读取数据的写/读使能控制线。P3.3 在 USB 上传模块作为当 FPGA 模块有数据上传时，触发单片机的中断的信号线，在 USB 下载模块中作为它发送数据给 FPGA 模块时的发送数据时的数据输入标志信号。在配置单片机时，P1.5（6 脚）、P1.6（7 脚）、P1.7（8 脚）即 MOSI、MISO、SCK 三个端口以及 RST（9 脚）连接出来作为 ISP 下载端口，可以通过并口下载配置好的.hex 文件。

4.2 USB 主机和设备模块的设计

SL811HS 是 Cypress 公司的 USB host/slave 接口芯片，片内集成 SIE、USB 收发器和根 HUB，可以实现主机和设备的功能，这由控制它的单片机程序来决定。由于在作为主机的时候，它支持设备带电热插拔，因此在电路设计上要比作为设

备的时候来的严格点。下面就此对它们之间各自的电路进行介绍。

SL811HS 在本系统中提供 USB 主机的硬件接口及总线管理机制。在系统脱机的情况下，单片机通过 FPGA 控制 CPLD 中经转换后的数字信号数据利用 SL811HS 存储到 U 盘中；随后，在连接上位机的情况下，将 U 盘直接插到上位机的 USB 接口上，将数据按要求传给上位机。系统上写 U 盘的硬件电路如图 4-3 所示。

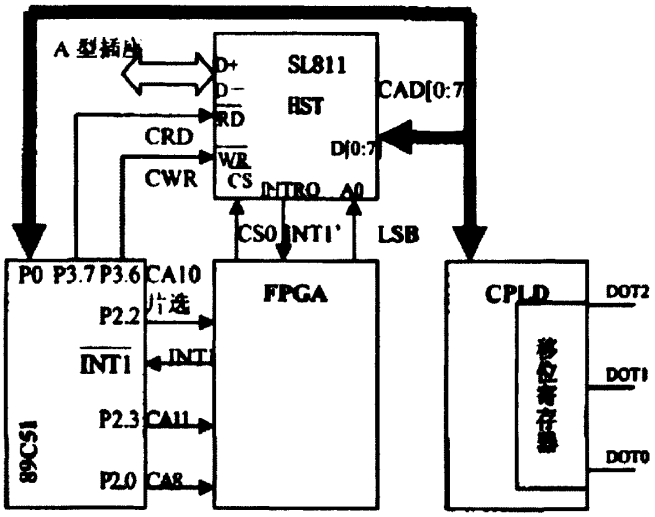

图 4-3 写 U 盘的硬件电路

SL811HS 工作在主机模式下时，M/S 引脚必须接低电平(地)，D+必须接下拉电阻。SL811HS 的控制命令和数据均通过 CAD0～CAD7 分时传输，当 CA11 置为低电平时，D0～D7 上传输的是 SL811HS 片内寄存器/缓冲区的地址；反之高电平则为数据。单片机在 FPGA 的协助下通过几根控制线完成对 SL811HS 片内缓冲区的读写、片选和复位等操作。INT1通过 FPGA 向单片机发送中断请求，当 SL811HS 检测到 U 盘插入、拔出或者数据发送错误、超时、溢出等异常情况时，通过将INT1线拉高来通知单片机。单片机可以通过查询 SL811HS 片内状态寄存器(0x0d)来得知是何种中断，对状态寄存器进行写操作可以清除中断[10]。

SL811HS 通过电路连接 A 型插座，这部分电路如图 4-4 所示。U 盘上自带 A 型插头，可以插入数据采集系统上的 A 型插座内。

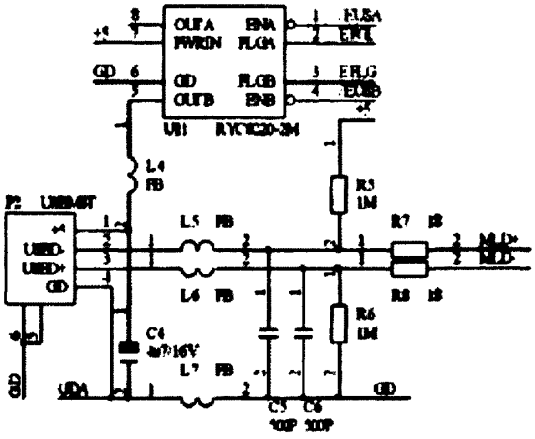

图 4-4 SL811 连接 A 型插座电路