4.3 FPGA 模块的设计

FPGA 模块包含了 FPGA 上电配置电路以及 SDRAM 电路。这几个芯片的管脚都较多，无法完全画出，因此在下面的介绍中就将给出它们的框架以及它们之间主要管脚的连接。在实际电路中，FPGA 模块中的 FPGA 芯片部分还有与上面介绍的模块中一些数据总线和控制线连接，采用的是芯片上的通用的 I/O 口，下面为了更清晰的说明配置电路以及 SDRAM 电路，因此并未表示出来。

4.3.1 FPGA 模块的上电配置电路实现

FPGA 配置电路如图 4-5 所示：

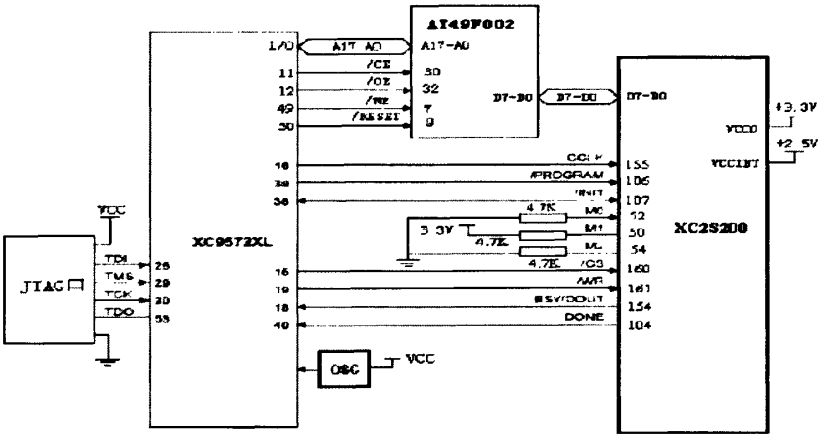

图 4-5 FPGA 配置电路

PC 机通过此配置电路对 FPGA 进行配置。CPLD 作为主控制器，一边连接 Flash RAM，一边连接 FPGA。CPLD 的 JTAG 口管脚 TCK（30 脚），TMS（29 脚），TD1（28 脚）和 TD0（53 脚）连接出来可以让 PC 机通过并口对其进行配置。工作时钟采用外部有源晶振来提供，晶振频率为 32.768MHz。在 CPLD 与 FPGA 相连中，CPLD 不仅与 FPGA 的配置管脚 CS（160 脚）、PROGRAM（106 脚）、WR（161 脚）和 CCLK（155 脚）连接，还与 FPGA 的 INIT（107 脚）、BSY/DOUT（154 脚）和 DONE（104 脚）相连，这样可以更好的控制下载给 FPGA 数据流的状态。FPGA 中的模式选择管脚 M0（52 脚）、M1（50 脚）和 M2（54 脚）预置为“010”，使 FPGA 处于从机并行配置模式中。还有 FPGA 的 VCCO 与 VCCINT 分别连接+3.3V 和+2.5V[11]。

Flash RAM 芯片置于 CPLD 与 FPGA 之间，它的控制线 CE（30 脚）、OE（32 脚）、WE（7 脚）和 RESET（9 脚）连接在 CPLD 的四个通用的 I/O 口上，地址总线连接在 CPLD 的 18 个通用 I/O 口上，数据总线连接在 FPGA 的 D0-D7 的数据总线端口上面。在系统上电的时候，通过 CPLD 内部的控制电路可以通过并行的 Flash RAM 对 FPGA 进行配置。