4.1.2 USB 数据下载和上传模块的硬件实现

两个模块除了 USB 接口的区别之外，其余所采用的外围电路及它们之间的连接方式是一样的。

4.1.2.1 D12 芯片周围主要电路

D12 芯片的周边电路如图 4-1 所示：

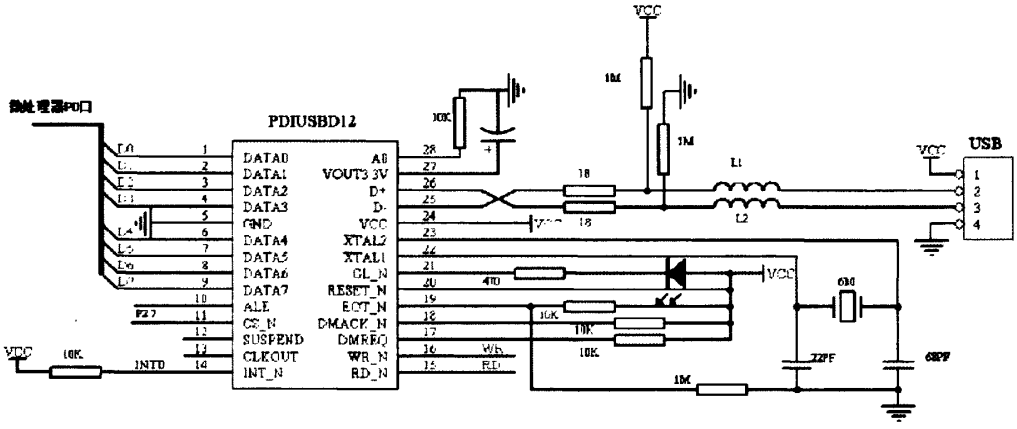

图 4-1 D12 芯片的周边电路图

D12 芯片外接 6M 晶体振荡器。单片机的 P0 口与 D12 的双向数据线 DATA 相连，来实现两者之间控制与数据的传输。在这里，我们将 A0 直接接地，用 P2.7 作为 D12 的片选端。其余管脚与单片机相对应的应连接好，如读、写信号等。D12 的中断信号管脚(14 管脚)与单片机的 INT0(12 管脚)相连。在 D12 的 D+、D-管脚与上行标准 USB 插座之间除了接电阻之外，还应各串接一个磁珠来消除高频电磁干扰[9]。

4.1.2.2 AT89S52 芯片周围主要电路

AT89S52 的周边电路如图 4-2 所示，在实际电路中，P0 口需要上拉电阻，为使主要电路清晰可见，没有标出来。上电复位电路也未标出。

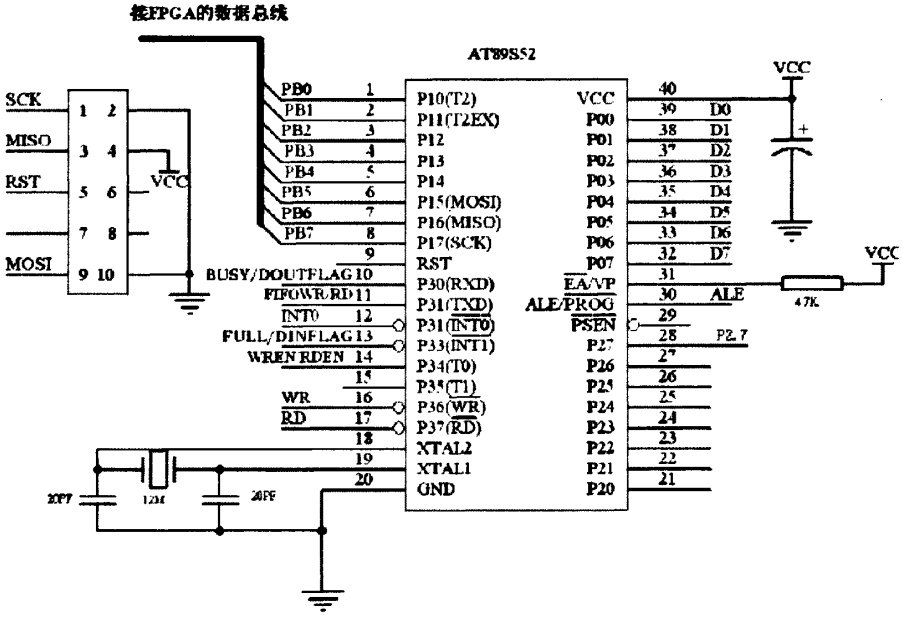

图 4-2 AT89S52 的周边电路

在电路中，我们访问单片机的内部程序存储器，因此 EA/VP（31 脚）接高电平。由于单片机的 P1 口处于空闲状态，所以我们采用 P1 口作为与 FPGA 的 I/O 口连接，作为数据总线通信的端口，这样也可以避免与 D12 芯片数据线复用。然后由 P3.0（10 脚）、P3.1（11 脚）、P3.3 脚（13 脚）和 P3.4 脚（14 脚）与 FPGA 的 I/O 口连接作为它们之间通信的控制信号。其中 P3.0 为 USB 下载数据模块发送给 FPGA 模块数据时，FPGA 模块给出的 BUSY 忙信号，在 FPGA 向 USB 上传模块发送数据时，作为数据发送完毕标志信号。P3.1 为 USB 下载/上传模块向 FPGA 模块内部 FIFO 写入数据/读取数据的写/读控制线。P3.4 为 USB 下载/上传模块向 FPGA 模块内部 FIFO 写入数据/读取数据的写/读使能控制线。P3.3 在 USB 上传模块作为当 FPGA 模块有数据上传时，触发单片机的中断的信号线，在 USB 下载模块中作为它发送数据给 FPGA 模块时的发送数据时的数据输入标志信号。在配置单片机时，P1.5（6 脚）、P1.6（7 脚）、P1.7（8 脚）即 MOSI、MISO、SCK 三个端口以及 RST（9 脚）连接出来作为 ISP 下载端口，可以通过并口下载配置好的.hex 文件。

4.2 USB 主机和设备模块的设计

SL811HS 是 Cypress 公司的 USB host/slave 接口芯片，片内集成 SIE、USB 收发器和根 HUB，可以实现主机和设备的功能，这由控制它的单片机程序来决定。由于在作为主机的时候，它支持设备带电热插拔，因此在电路设计上要比作为设