第 3 章 系统的总体设计

基于本数据采集处理系统项目，用户方提出的技术要求主要有：

1、实现高速实时、大容量、高可靠性、高稳定性、高精度、多点的数据采集。

2、产品应置于机箱外、电磁干扰小、供电方便、容易扩展、功耗低。

3、具有安装方便、即插即用、体积小、便携，使用方便灵活等特点。

结合 FPGA 和 USB 接口技术，提出了如下的设计方案。

3.1 总体设计方案

USB 数据下载/上传模块负责与 PC 机连接。当 PC 需要下载数据给处理端时，该模块就被配置成具有数据下载的功能，将 PC 机通过 USB 总线发送的差分数据转化成并行数据，并传给 FPGA 模块。当数据处理端向 PC 上传数据，该模块就被配置成数据上传的功能，将 FPGA 模块发送出来的并行数据转化成 USB 差分信号，发送给 PC 机。

USB 主机/设备模块负责两个数据处理端之间数据传输功能。USB 主机模块接收并行数据将它转化成 USB 差分信号并通过 USB 主机发送。USB 设备模块接收 USB 主机发送的差分信号，将它转化成并行数据发送给外部电路模块。

FPGA 模块负责数据处理和配置 FPGA。因此带有数据动态存储器和上电配置电路。数据处理的功能主要在 FPGA 中实现，它接收外部模块发送的并行数据存入 SDRAM 中，然后将数据送给配置在 FPGA 内部的算法电路进行处理，在处理过程产生的数据同时再存入 SDRAM。处理完毕之后该功能电路将 SDRAM 中的所有数据读出，传给外部连接的电路模块。配置电路负责对 FPGA 芯片进行上电配置。

依据上述的构思，本文设计的系统框架原理图如图 3-1 所示。图中为了更清晰的表示数据传输和处理电路的主要框架图，实际电路中对 FPGA 的上电配置电路部分和扩展插槽在画中并未画出。

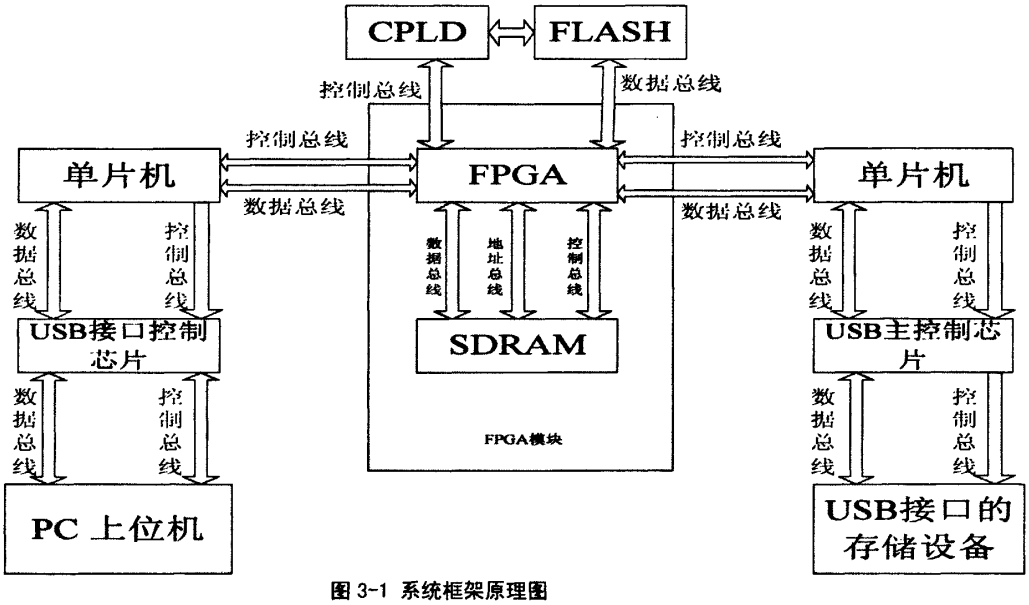

图 3-1 系统框架原理图

3.2 芯片选择

在此系统电路的硬件选择上主要用到如下主要芯片。

①USB 接口控制芯片:采用 Philips 公司的 PDIUSBD12 完成系统与 PC 上位机之间的通信;

②USB 主控制器芯片:采用 Cypress 的 SL811HS1301 完成单片机对 U 盘的读写操作;

③单片机:采用 Atmel 公司的 AT89S52 单片机;

④FPGA 芯片:采用 Xilinx 公司的 XC2S200 完成逻辑控制;

⑤CPLD 芯片:采用 Xilinx 公司的 CPLD 器件 XC9572XL;

⑥SDRAM:采用 Hynix 公司的 SDRAM 芯片 HY57V641620 作数据缓冲;

⑦Flash RAM 芯片：采用 Atmel 公司的 Flash RAM 芯片 AT49F002

3.2.1 USB 接口控制芯片

基于用户方更强调产品的稳定性与可靠性方面的考虑，选择的技术更加成熟的 PDIUSBD12（以下简称 D12），它是 Philips 公司的产品，它一般用在微控制器的系统中，通过并行接口和控制器进行高速通讯，它也支持本地 DMA 传输。它有如下的重要特点[7]：

- 符合通用串行总线 USB1.1 版规范;
- 高性能USB接口器件集成了SIE FIFO存储器收发器以及电压调整器;
- 可与任何外部的微控制器/微处理器实现高速并行接口;
- 在批量模式和同步模式下均可实现 1M Bps 的数据传输速率;