

# 光栅尺 A/B 相信号细分计数模块的设计

□刘广黔

**摘要:**对光栅尺相差 90° A/B 相信号应用 CPLD 芯片设计四细分、辨向及缓冲计数器电路,提高系统集成度,简化电路设计。

**关键词:**A/B 相信号; 细分; 辨向; 计数器; CPLD 设计

## 引言

计量光栅作为长度、角度位移精密测量主要基准在工业和科技领域用途广泛。早期增量式光栅尺输出电信号是相差 90° 正弦信号,随着计量光栅技术的发展,目前典型信号为 A/B 相差 90° TTL 方波信号,对 A/B 相信号的细分、辨向及缓冲计数器电路设计是计量光栅信号接口设计的关键。随着电子技术的发展,复杂可编程逻辑器件(CPLD)的成本越来越低,利用 CPLD 设计上述电路,将极大提高系统集成度,降低电路成本。

## 1 设计目标

本设计的 24 位三轴 A/B 相计数模块的指标为:

- (1)相差 90° A/B 相 TTL 输入信号
- (2)输入信号最高频率可达 1MHz
- (3)具有对外部输入信号的滤波功能
- (4)内含三组独立 24 位同步计数器

## 2 模块化设计方案

按照前面描述的计数电路的基本组成部分,可把本项目分成如图 1 的四大模块:滤波模块、细分辨向模块、计数模块和接口模块。每个模块分别编程,调试。



图 1 AB 相计数电路的组成框图

### 2.1 滤波模块

对于滤波模块,希望它能起三个作用:同步、滤噪声、整形。它的实现原理是:只有当输入信号维持在某个电平足够长时间后,才认为输入的电平是有效的,否则认为是噪声,不改变滤波器的输出电平。

在具体编程上,将输入信号送入 N 个由时钟驱动移位寄存器,然后对这 N 个信号作同或运算。若结果为 1,则输出第 N 位信号,否则保持原状态电平值不变,如图 2 所示。

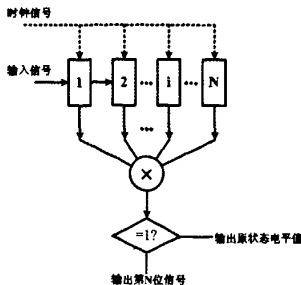


图 2 滤波原理图

一般来说,毛刺的持续时间要远小于一个时钟周期,且噪声的幅度尚不能引起触发器误判,这样的话,该方法可以有效的抑制噪声,消除毛刺,防止累积的噪声影响后续模块。并且由于经过了若干个触发器,信号与时钟进行了同步并被时钟整形。

程序中一个关键的参数便是 N, 研究证明,N 的取值与系统参数有关。比如本系统中信号频率可高达 1MHz,而采样频率才 12MHz,这样,每个“1”被采样了 6 次。这时如果 N 取 3 便有可能出问题。如图 3, 如果在 3 处出现一个毛刺并恰好被抽样到,这时滤波后的信号与原信号的相位(除去延时),正好相差 90°, 这样便可能造成后面的细分辨向模块误判。具体如何选择 N, 可以枚举法尝试,比如本例 N=2 比较合适。

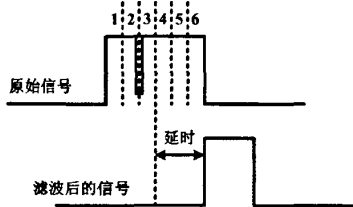


图 3 滤波模块示意图

该模块的主要 Verilog HDL 程序为:

```

module Filter1(o_sgn,i_sgn,clk);
    parameter N = 2; // N>=2
    output o_sgn;
    input i_sgn,clk;
    reg o_sgn;
    reg [N-1:0] mem;
    always@(posedge clk)
    begin
        mem[N-1:1]<=mem[N-2:0];
        mem[0]<=i_sgn;
    end
    always @(posedge clk)
    begin
        if(&mem)
            o_sgn<=1;
        else if(~(|mem))
            o_sgn<=0;
        end
    endmodule
    
```

利用 Active HDL 软件进行仿真,其结果如下:

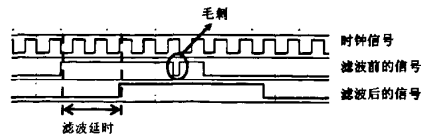


图 4 滤波模块的仿真结果

由仿真结果可以看到,该模块可以有效去除输入信号中的

噪声。

### 2.2 细分辨向模块

细分辨向的原理,如图 5 所示。将输入信号 A、B 延时一个时钟周期,产生 A-、B- 信号,若: (A,B,A-,B-)=1000 或 1110 或 0111 或 0001,则输出一个计数脉冲,同时将计数方向设为“正”;否则若(A,B,A-,B-)=0010 或 1011 或 1101 或 0100,则同样输出一个计数脉冲,但将计数方向设为“负”。

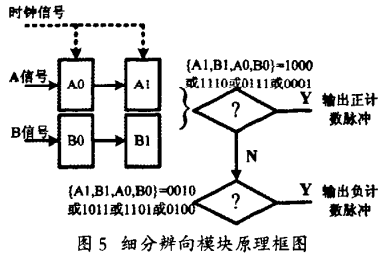


图 5 细分辨向模块原理框图

采用全部同步时序电路设计。该模块的 Verilog HDL 源程序如下:

```

module PHASE ( OutZ, clk0, pn, lnA, lnB, lnZ, clk);
input lnA,lnB,lnZ,clk ;
output reg OutZ, clk0, pn ;
// state1 - previous signal for {lnA, lnB};
// state0 - current signal for {lnA, lnB};
// the combination of the two signal is used for phase
recognizing
// delay - time delay for reference signal
reg [1:0] state1,state0;
reg delay;
always @(posedge clk)
begin
state1<=state0;
state0<={lnA,lnB};
case ({state1,state0})
4'b0010, 4'b1011,4'b1101,4'b0100:
begin
clk0<=1;
pn<=1;
end
4'b0001, 4'b0111, 4'b1110, 4'b1000:
begin
clk0<=1;
pn<=0;
end
default :
begin
clk0<=0;
end
endcase
OutZ<=delay;
delay<=lnZ;
end
endmodule
    
```

使用 Active HDL 软件,编写适当的激励程序进行仿真,其结果如图 6 所示,实现了四细分功能和辨向功能。

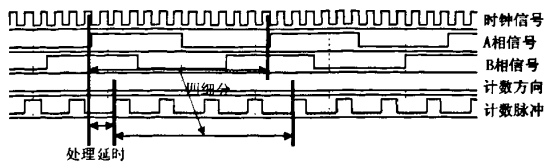


图 6 细分辨向模块的仿真结果

### 2.3 24 位计数模块

该模块的程序设计相对比较简单,其源程序如下所示:

```

module Counter(num,ph,en,reset,clk);
output reg[7:0] num;
input ph,en,reset,clk;

always@(posedge clk)
begin
if(reset)
num<=0;
else if (en)
begin
if(ph)
num<=num+1;
else
num<=num-1;
end
end
endmodule
    
```

这里,计数模块仅包含了计数和复位功能,实际上可以再加上赋初值、设定中断等等功能。比如赋初值,只需在“if(reset) num<=0;”后加一句“else if (write) num<=ini;”即可,这里 write 为写入信号,ini 为初值寄存器。

该模块的仿真结果如图 7 和图 8 所示。

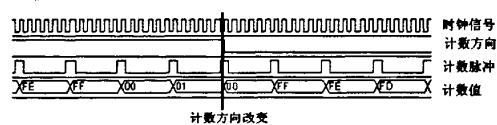


图 7 计数模块仿真结果(1)

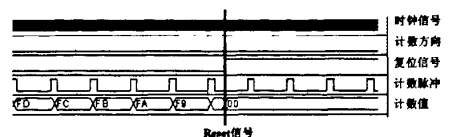


图 8 计数模块仿真结果(2)

### 2.4 接口模块

接口模块主要是用于 3 个计数模块与单片机通信。本模块可执行外部命令如表 1 所示,其中 CS 管脚主要用于片选。

表 1 接口模块管脚功能定义

CS	R/D	WR	A <sub>1</sub>	A <sub>0</sub>	Function
0	1	0	0	0	Data Bus to Counter #0 Writing
0	1	0	0	1	Data Bus to Counter #1 Writing
0	1	0	1	0	Data Bus to Counter #2 Writing
0	1	0	1	1	Data Bus to Control Word Register Writing
0	0	1	0	0	Data Bus from Counter #0 Reading
0	0	1	0	1	Data Bus from Counter #1 Reading
0	0	1	1	0	Data Bus from Counter #2 Reading
0	0	1	1	1	Data Bus High Impedance Status
1	x	x	x	x	Data Bus High Impedance Status
0	1	1	x	x	

x denotes "not specified".

此外,接口模块还负责解释控制字。本模块的控制字各位

# 浅谈电子计算机房及电子计算机通信网络的防雷保护

□吴兆国

**摘要:**本文从雷电活动影响电子计算机房及电子计算机通信网络的多个途径入手,分析了计算机房及计算机通信网络的综合防雷措施,对减少雷电对计算机通信网络的干扰,使相关设备免受损坏,保证计算机网络安全可靠地运行,具有较重要的意义。

**关键词:**电子计算机房;电子计算机通信网络;防雷;保护

## 引言

随着高科技的发展与电子信息时代的到来,计算机信息系统核心部件集成电路耐冲击能力弱,大气电场中雷云在移动过程,云际闪电和云地闪电的发生过程,都将对地面的金属体、电源系统、通信系统的传输电缆产生感应,传导非常高的瞬间过电压。据测试,低电压配电路感应的电压可达 100kV,通信线路感应的电压可达 40~60kV,一旦感应过电压,过电压就沿传输线入侵电子设备,无疑将使设备损坏。近年来雷击事故频繁出现,直接经济损失不断增多,严重影响了正常的工作和生产经营,为保证计算机网络安全可靠地运行,根据电子计算机房的实际情况和机房各场所所处雷击环境的基础上,采取综合防雷措施。

## 1 现代防雷的基本原则和措施

防雷保护的對象是人、设备、建筑物,要三者兼备。防雷的基本原理是提供一条使雷电流对地泄放的合理的低阻抗通道,而不是让其随机性地选择放电通道。防雷的基本措施是:躲避、传导、分流、等电位连接、屏蔽、布线、接地、保护等。雷电防护的基本原则是全方位的综合防护,层层设防,多级保护,综合治理。防雷要作为一个系统工程考虑,像防洪、防汛一样。防雷工程以建筑物为基本结构平台,防雷工程施工应与建筑物结构施工同步进行,采用“法拉第笼”和共用接地系统,形成低阻抗多通道的泄流途径,是解决反击及雷击暂态过电压比较有效的措施。而且这种做法比较经济,是目前常用的办法。

## 2 计算机房及计算机通信网络的综合防雷措施

### 2.1 躲避

在机房选址时,要兼顾考虑所选站址应尽可能避开雷电多发区或某些易受雷击的特殊地点,设计时充分考虑机房的楼层位置以及计算机在机房内摆放的位置,电子计算机机房在多层或高层建筑内宜设于第二、三层,计算机应远离建筑物的结构柱和外墙,尽量摆放在建筑物几何尺寸的中间位置(LPZ1 区或 LPZ2 区)。

### 2.2 传导

传导即闪电电导体,吸引闪电,把闪电的强大电流传导到大地中去,从而防止闪电电流经过建筑物。吸引和接受闪电的部分是接闪器,接闪器要比建筑物高。采用装设在建筑物上的避雷网(带)或避雷针或由其混合组成的接闪器。避雷网(带)应沿屋角、屋脊、屋檐和檐角等易受雷击的部位敷设,并按规定在整个屋面组成一定尺寸的网格(单层的机房屋面和基础均应做成  $W=1m \times 1m$  的网格)。

### 2.3 分流

实验表明 95% 的雷电流经建筑物四周流走,只有 5% 的雷电流从建筑物中间流走,建筑物内部的雷电流几乎都是沿着立柱纵向流下,横向电流很少,应利用机房大楼建筑物主钢筋组成的法第笼进行分流,利用建筑物柱子主钢筋做引下线。

### 2.4 等电位连接

等电位连接的目的在于减少需要防雷的空间内各金属部件和系统之间的电位差。穿过防雷区的所有导电物、电力线、信

的定义表 2 所示。

表 2 控制字各位的定义  
使用控制字来弥补控制管脚的不足

7	6	5	4	3	2	1	0
SEL		RMOD		WMOD		E	R

SEL: 选择计数器 RMOD: 读模式 WMOD: 写模式 E: 计数器使能  
00: 计数器0 00: 锁存 00: 写入计数器寄存器 0: 计数器停止工作  
01: 计数器1 01: 读最高位 01: 写最高位至缓存 1: 计数器开始工作  
10: 计数器2 10: 读中间位 10: 写中间位  
11: 全部选择 11: 读最低位 11: 写最低位 R: 复位信号

由于接口模块控制语句较多,一般会消耗大量的芯片面积。所以在实际编程中,不可能将表 1 和表 2 所有的控制功能都实现,而是根据需要选择性的保留一些必要的功能。我们可以修改管脚定义、去掉控制字来节省芯片面积。限于篇幅这部分 Verilog 程序未给出。

## 3 结束语

上述设计已在 ALTRA 公司 EPM7128S CPLD 芯片上编程实现,完全达到设计要求。利用 CPLD 器件实现光栅 A/B 相信号的细分、辨向及缓冲计数器,一块芯片能实现 5~6 块传统通用 IC 功能,提高了系统集成度,降低了电路成本。■

## 参考文献

- [1]《Verilog 数字系统设计教程》.夏宇闻著.
- [2]《精通 Verilog HDL》.简弘伦著.
- [3]《单片机与 CPLD 综合应用技术》.周立功.夏宇闻著.

(作者单位:贵阳新豪光电有限公司)