

实验八 基本锁相环、锁相式数字频率合成器系统实验

实验内容

1. 基本锁相环实验
2. 同步带与捕捉带的带宽测量实验
3. 锁相式数字频率合成器实验

一. 实验目的

1. 掌握 VCO 压控振荡器的基本工作原理，加深对基本锁相环工作原理的理解。
2. 熟悉锁相式数字频率合成器的电路组成与工作原理。

二. 实验电路工作原理

本单元可做基本锁相环和锁相式数字频率合成器两个实验。总体框图如图 8-1，电路原理图如图 8-2 所示。

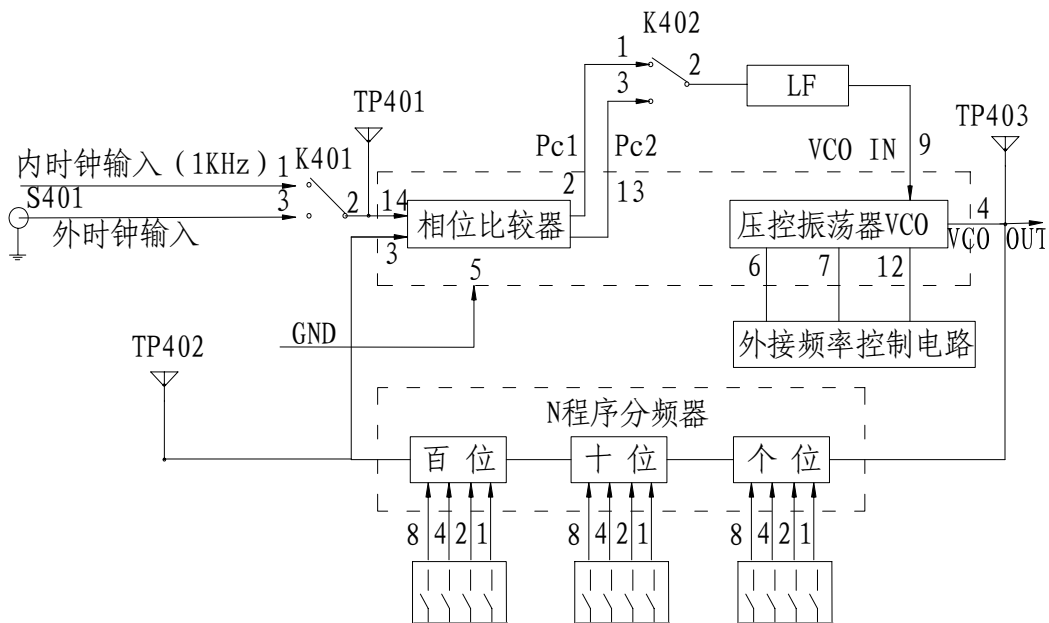


图 8-1 基本锁相环与锁相式数字频率合成器电原理框图

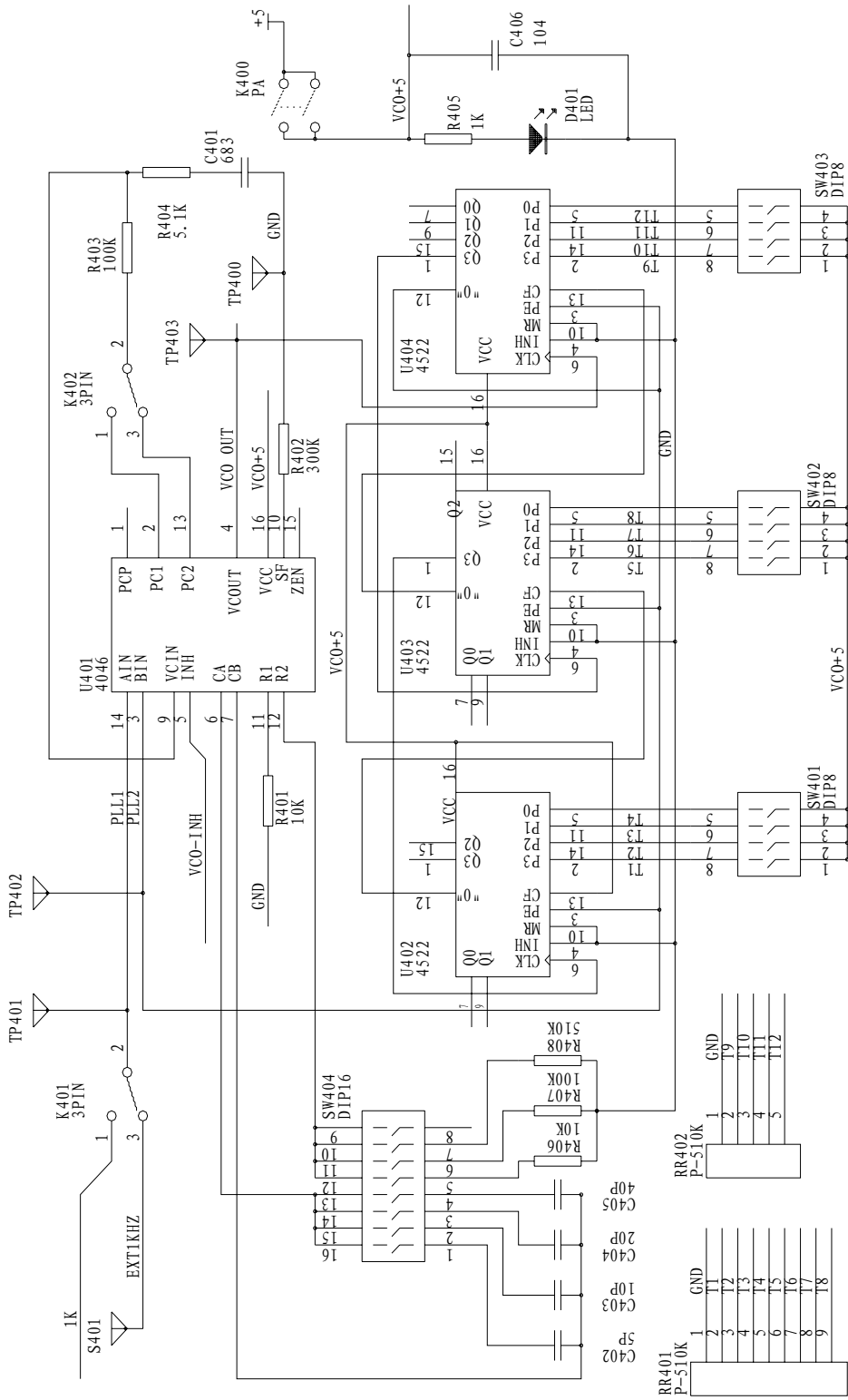


图8-2 VCO电路电大原理图

1. 4046 锁相环芯片介绍

4046 锁相环的功能框图如图 8-3 所示。外引线排列管脚功能简要介绍：

第 1 引脚 (PD₀₃)：相位比较器 2 输出的相位差信号，为上升沿控制逻辑。

第 2 引脚 (PD₀₁)：相位比较器 1 输出的相位差信号，它采用异或门结构，即鉴相特性为

$$PD_{01} = PD_{11} \oplus PD_{12}$$

第 3 引脚 (PD₁₂)：相位比较器输入信号，通常 PD 为来自 VCO 的参考信号。

第 4 引脚 (VCO₀)：压控振荡器的输出信号。

第 5 引脚 (INH)：控制信号输入，若 INH 为低电平，则允许 VCO 工作和源极跟随器输出；若 INH 为高电平，则相反，电路将处于功耗状态。

第 6 引脚 (CI)：与第 7 引脚之间接一电容，以控制 VCO 的振荡频率。

第 7 引脚 (C1)：与第 6 引脚之间接一电容，以控制 VCO 的振荡频率。

第 8 引脚 (GND)：接地。

第 9 引脚 (VCO₁)：压控振荡器的输入信号。

第 10 引脚 (SF₀)：源极跟随器输出。

第 11 引脚 (R₁)：外接电阻至地，分别控制 VCO 的最高和最低振荡频率。

第 12 引脚 (R₂)：外接电阻至地，分别控制 VCO 的最高和最低振荡频率。

第 13 引脚 (PD₀₂)：相位比较器输出的三态相位差信号，它采用 PD₁₁，PD₁₂ 上升沿控制逻辑。

第 14 引脚 (PD₁₁)：相位比较器输入信号，PD₁₁ 输入允许将 0.1V 左右的小信号或方波信号在内部放大并再经过整形电路后，输出至相位比较器。

第 15 引脚 (V₁)：内部独立的齐纳稳压二极管负极，其稳压值 V ≈ 5~8V，若与 TTL 电路匹配时，可以用来作为辅助电源用。

第 16 引脚 (V_{DD})：正电源，通常选 +5V，或 +10V，+15V。

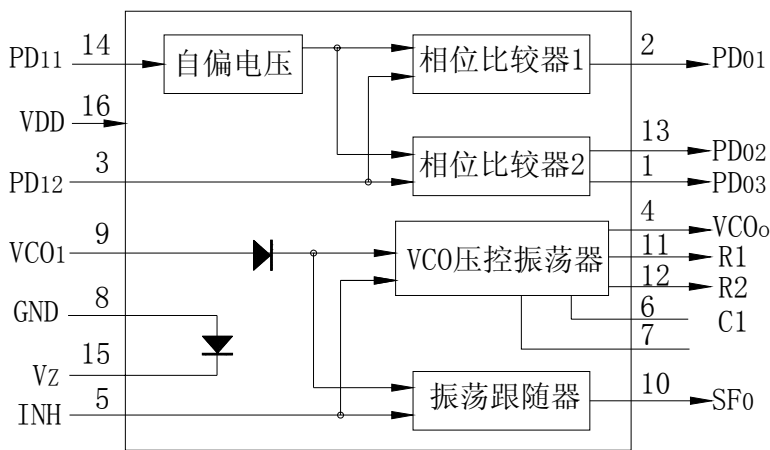


图 8-3 4046 锁相环逻辑框图

2. VCO 压控振荡器

所谓压控振荡器就是振荡频率受输入电压控制的振荡器。

4046 锁相环的VCO是一个线性度很高的多谐振荡器，它能产生很好的对称方波输出。电源电压可工作在 3V~18V之间。本电路取+5V电源。它利用由门电路组成的RS触发器控制一对开关管轮番地向定时电容 C_1 正向充电和反向充电，从而形成自激振荡，振荡频率与充电电流成正比。与 C_1 的容量成反比，振荡频率不仅与定时电容 C_1 、外加控制电压 U_i 有关而且还与电源电压有关，与外接电阻 R_1 、 R_2 的比值也有关。

图 8-4 是锁相环的基本组成方框图，它主要由鉴相器 (PD)、环路滤波器 (LF) 和压控振荡器 (VCO) 组成。4046 锁相环芯片包含鉴相器 (PD) 压控振荡器电路两部分，而环路滤波器 (LF) 由外接阻容元件构成。

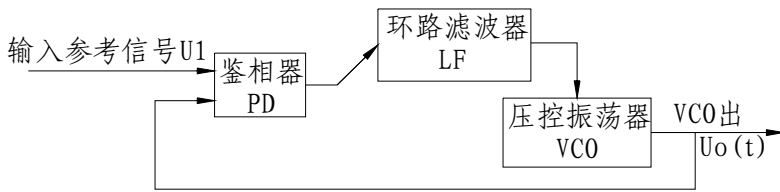


图 8-4 基本锁相环组成框图

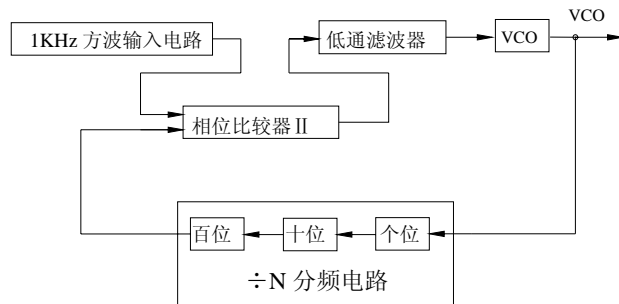


图 8-5 锁相式数字频率合成器电路框图

3. 锁相式数字频率合成器工作原理

锁相式数字频率合成器的框图如图 8-5 所示，其电原理图如图 8-2 所示。从图 8-2 可见，U402 (MC14522)、U403 (MC14522)、U404 (MC14522) 为三级可预置分频器，全部采用可预置 BCD 码同步 1/N 计数器 MC14522，可由 4 位小型拨动开关选择。U402、U403、U404 分别对应着总频比 N 的百位、十位、个位分频器，U402、U403、U404 的输入端一方面 SW401、SW402、SW403 分别置入分频比的百位数、十位数、个位数以 8421 BCD 码形式输入，

使用时按所需频比 N 预置好 SW401、SW402、SW403 的输入数据， $f_o = N \cdot f_R$ ，3 位程序分频器 MC14522 的数据输入端 $P_0 \sim P_3$ 分别接有 510K Ω 的下拉电阻，当 SW401、SW402、SW403 没有对该系统单元数据输入时，即开路状态时，此时下拉电阻把数据输入端置“0”电平；当 SW401、SW402、SW403 工作时，则有相应的“1”电平输入到数据输入端，使之置于“1”电平状态，以便程序分频器进行处理。

在图 8-2 电路图中,当程序分频器的分频比 N 置成 1,也就是把 SW401、SW402 均断开,SW403 置成“0001”状态。也即 $N=1$ 输入至三级程序分频器的对应数据输入码。这时,该电路就是一个基本锁相环电路。

当三级程序分频器的 N 值可由外部输入进行编程控制时,该电路就是一个锁相式数字频率合成器电路。输入频率转换开关 K401 进行选择,当 K401 的 2 与 1 相连接,则把来自实验一的时钟信号发生器 1KHz 方波信号输入到该 14 引脚;若 K401 的 2 与 3 相连接,则必须用外接信号源所产生的 1KHz 方波信号,通过输入信号插座 S401 引入。当锁相环锁定后,可得到: $f_R = f_V$

其中 $f_V = f_0 / N$,

代入得: $f_R = f_0 / N$

移项得: $f_0 = N \cdot f_R$

由此可知,当 f_R 固定不变时,改变三级程序分频器的分频比 N ,VCO 的振荡输出频率(也就是频率合成器的输出频率) f_0 也得到相应的改变。

例如: 当设 $f_R = 1\text{KHz}$ 方波,把三级程序分频器的分频比 N 置成 257 即 $N=257$

则: $f_0 = N \cdot f_R = 257 \times 1\text{KHz} = 257\text{KHz}$

当 $N' = 132$ 时, $f_0' = N' \cdot f_R = 132 \times 1\text{KHz} = 132\text{KHz}$

当 $N = 999$ 时, 则 $f_0 = N \cdot f_R = 999 \times 1\text{KHz} = 999\text{KHz}$ 。

这样,只要输入一个固定信号频率 f_R ,即可得到一系列所需要的频率,其频率间隔等于 f_R ,这里为 1KHz。选择不同的 f_R ,可以获得不同 f_R 的频率间隔。在用实验一信号发生器产生的时钟信号频率时,其准确频率为 1.024KHz,而不是 1KHz。因而经过三级程序分频器与锁相实验后,VCO 压控振荡器的输出频率也应当是 1.024KHz 的 N 位数。

例: 当 $N = 132$ 时

则 $f_0 = N \cdot f_R = 132 \times 1.024 = 135.168\text{KHz}$

当 $N = 133$ 时

则 $f_0' = N' \cdot 1.024 = 133 \times 1.024 = 135.192\text{KHz}$

输出产生一定的积累误差,这点在下面进行实验时应注意。

三. 实验内容

(一) 基本锁相环实验

1. 观察锁相环路的同步过程;
2. 观察锁相环路的跟踪过程;
3. 观察锁相环路的捕捉过程;
4. 测试环路的同步带与捕捉带,并计算它们的带宽。

(二) 锁相式数字频率合成器实验

1. 在程序分频器的分频比 $N=1$ 、10、100 三种情况下:
 - a. 测量输入参考信号的波形;
 - b. 测量相位比较器 II 的信号波形;
 - c. 测量频率合成器输出信号的波形。
2. 检查并观察输出频率(或分频比)的置换功能;
3. 测量并观察最小分频比与最大分频比。

四. 实验步骤及注意事项

(一) 基本锁相环实验

1. 观察环路的同步过程

锁相环在锁定状态下, 如果输入信号参考频率 f_R 保持不变, 而VCO的振荡频率 f_0 发生漂移导致 $f_V \neq f_R$ 时, 则在环路的反馈控制作用下, 使 f_0 恢复仍然保持 $f_C = f_R$ 的状态, 这种过程叫做同步过程。

(1)实验方法: 将图 7-2 总电路图中 SW401、SW402、SW403 设置为 001 状态, 此时分频比为 $U=1$ 。即将程序分频器的分频比设置为 1(预置为 001 状态)。实验电路的锁相环即成为基本锁相环。其

$$f_V = f_0/N = f_0/I = f_0$$

(2)以外接信号源作参考信号(加入方波信号源。接通K401的2、3)。令信号源输出一个参考频率为 50KHz、电平为TTL电平(标称值高电平=3.4V, 低电平=0.3V)的参考信号加于相位比较器的 f_R 端。在TP402处测量 f_V , 我们可看到, 这时 f_V 经过环路的反馈控制, 将偏离前项测出的 f_0 的参考值而趋向于 f_R , 直至 f_V 也等于外接信号源的参考频率值 50KHz。(如果参考频率设定为 10KHz, 经环路调整后则 f_V 也等于 10KHz)。这就是同步过程, 基本锁相环被外加信号源锁定在 f_R 的频率上。

2. 观察环路的跟踪过程

锁相环进入锁定状态后, 如果 f_V (现等于VCO的振荡频率 f_0)不变, 输入参考频率发生漂移, 则在环路的反馈控制作用下, 使 f_0 跟着 f_R 的变化而变化, 以保持 $f_V=f_R$ 的环路锁定状态。这种过程叫做跟踪过程。

实验方法: 在上面实验的基础上将外加信号源的频率(参考频率 f_R)逐次改变(模拟 f_R 产生的漂移), 每改变一次 f_R , 观察一次 f_V 的数值, 可以看到, f_V 跟踪 f_R 的变化 $f_V=f_R$ 的状态

3. 观察环路的捕捉过程

锁相环在初始失锁状态下, 通过环路反馈控制作用, 使VCO的振荡频率 f_0 调整 $f_V=f_R$ 的锁定状态, 这个过程称为捕捉过程。

实验方法: 电路连接同前项, TP402处接频率计, 测量 f_V 的数值, 实验开始时将信号源频率(f_R)远离VCO的中心振荡频率(如令 f_R 高于 1.5MHz或远低于 1KH)使环路处于失锁状态, 即 $f_V \neq f_R$, 然后将 f_R 从高端缓慢地降低(或从低端缓慢地升高), 当降低(或升高)到一定数值, 频率计显示 f_V 等于 f_R 时即 f_R 捕捉到了 f_V 环路进入锁定状态。

4. 测试环路的同步带与捕捉带

实验方法: 电路连接同前项, 令信号源频率(f_R)等于 50KHz。这时环路应处于锁定状态($f_V = f_R$)。

(1)慢慢增加信号源的频率, 直至环路失锁($f_V \neq f_R$)。此时信号源的输出频率就是同步带的最高频率。

(2)慢慢减小信号源的频率, 直到环路锁定, 此时信号源的输出频率就是捕捉带的最高频率。

(3)继续慢慢减小信号源的频率, 直至环路失锁, 此时信号源的输出频率就是同步带的最低频率。

(4)慢慢增加信号源的频率, 直至环路锁定, 此时信号源的输出率就是捕捉带的最低频率。

(二) 锁相式数字频率合成器实验

1. 测量 U_R 的频率和波形。用示波器频率计在TP401上测量, 应为 $f=1\text{KHz}$, 高电平=3.4V, 低电平=0V。

2. 测量 U_V 的频率和波形(在TP402)

正常工作时 U_V 的波形应与 U_R 同频同相, 但 U_V 的占空比与程序分频器的分频比 N 有关。若 $N=1$ 时(K402接1-2), 与 U_R 的波形相同; $N \neq 1$ 时(K402接2-3), U_V 波形的占空比小于50%。

3. 测量频率合成器输出信号的波形(在TP403)

频率合成器的输出即VCO的输出, 其波形应为 $f=Nf_R$ 的半占空方波。

4. 检查输出频率(或分频比)的置换功能

依次变换分频比的个位数、十位数、百位数的预置开关, 观察 N 改变时, 输出频率是否符合 $f_0 = N \cdot f_R$ 的关系。

5. 检查最小分频比与最大分频比。

将SW403、SW402都置于0位, SW401从置入十进制数9开始, 逐渐减置数值, 当输出频率不符合 $f_0=Nf_R$ 的关系时, 表示 f_R 已不能锁定VCO的频率。频率合成器已不能正常工作。则能满足 $f_0=N \cdot f_R$ 关系式的最小的分频比值, 即为该合成器的最小分频比。

同理, 增大 N 的数值能够满足 $f=N \cdot f_R$ 关系式的最大的分频比值, 即为该合成器的最大分频比。

本合成器分频比的范围应满足从1~999。

五. 测量点说明

1. TP401: VCO输入参考信号, 即相位比较器输入信号, 它由开关K401进行选择:

1脚与2脚相连: 由CLK时钟信号电路送入1KHz的方波信号作为VCO的输入参考信号输入;

2脚与3脚相连: 外加方波信号TTL电平由S401输入端进入。

2. TP402: 相位比较器输入信号, 通常PD为来自VCO的参考信号。

3. TP403: VCO压控振荡器的输出信号。

六. 实验报告要求

画出电路框图及电原理图, 根据实验内容, 画出相应的波形, 并作分析。