



## LatticeXP 系列培训教程

上海莱迪思半导体公司 市场部

2005 年 5 月

英文网址: <http://www.latticesemi.com>

中文网址: <http://www.latticesemi.com.cn> 或

<http://www.lattice.com.cn>

# LatticeXP 系列

## 器件的主要特性

- 非易失，无限次重构
  - 瞬时上电，数毫秒
  - 无外部配置存储器
  - 很高的设计安全性，不能截取位流
  - 用数毫秒重构基于 SRAM 的逻辑
  - 通过系统配置和 JTAG 口对 SRAM 和非易失存储器编程
  - 支持非易失存储器的后台编程
- 很高的密度并有多种封装
- 嵌入式和分布式存储器
- 灵活的 I/O 缓冲器
- 专用 DDR 存储器支持
- 系统时钟 PLL
- 系统级的支持

Device	LFXP3	LFXP6	LFXP10	LFXP15	LFXP20
PFU/PFF Rows	16	24	32	40	44
PFU/PFF Columns	24	30	38	48	56
PFU/PFF (Total)	384	720	1216	1932	2464
LUTs (K)	3.1	5.8	9.7	15.4	19.7
Distributed RAM (KBits)	12	23	39	61	79
EBR SRAM (KBits)	54	90	216	288	414
EBR SRAM Blocks	6	10	24	32	46
V <sub>CC</sub> Voltage	1.2/1.8/2.5/3.3V	1.2/1.8/2.5/3.3V	1.2/1.8/2.5/3.3V	1.2/1.8/2.5/3.3V	1.2/1.8/2.5/3.3V
PLLs	2	2	4	4	4
Max. I/O	136	188	244	300	340
<b>Packages and I/O Combinations:</b>					
100-pin TQFP (14 x 14 mm)	62				
144-pin TQFP (20 x 20 mm)	100	100			
208-pin PQFP (28 x 28 mm)	136	142			
256-ball fpBGA (17 x 17 mm)		188	188	188	188
388-ball fpBGA (23 x 23 mm)			244	268	268
484-ball fpBGA (23 x 23 mm)				300	340

表 1 LatticeXP 系列产品选择指南

## 产品简介

LatticeXP 系列 FPGA 在单一结构里组成了逻辑门、嵌入式存储器和 I/O，器件是非易失的和能够无限次重新编程，它支持节省成本的系统设计。

LatticeXP 系列中使用的重复编程、非易失技术是下一代 ispXP 技术。采样这种技术，就不再需要昂贵的外部配置存储器，设计没有未经许可的读回风险。

借助莱迪思的 ispLEVER<sup>®</sup>设计工具可以使 LatticeXP 系列高效地实现大型复杂设计。ispLEVER 设计工具提供支持 LatticeXP 的时尚逻辑综合工具的综合库。ispLEVER 工具采用综合工具的输出结果，并且配合其自己的 floor planning 工具的约束条件，在 LatticeXP 器件中进行布局布线。ispLEVER 工具从布线中提取时序信息，并将它们反注到设计中进行时序验证。

莱迪思还提供许多用于 LatticeXP 系列的预先设计的 IP (Intellectual Property, 知识产权) ispLeverCORE™ 模块。采用这些 IP 标准模块, 设计者可以将精力集中于自己设计中的特色部分, 从而提高工作效率。

## 器件结构

LatticeXP 器件的中间是逻辑块阵列, 器件的四周是可编程 I/O 单元 (Programmable I/O Cell, 简称 PIC)。在逻辑块的行之间分布着嵌入式 RAM 块 (sysMEM Embedded Block RAM, 简称 EBR)。

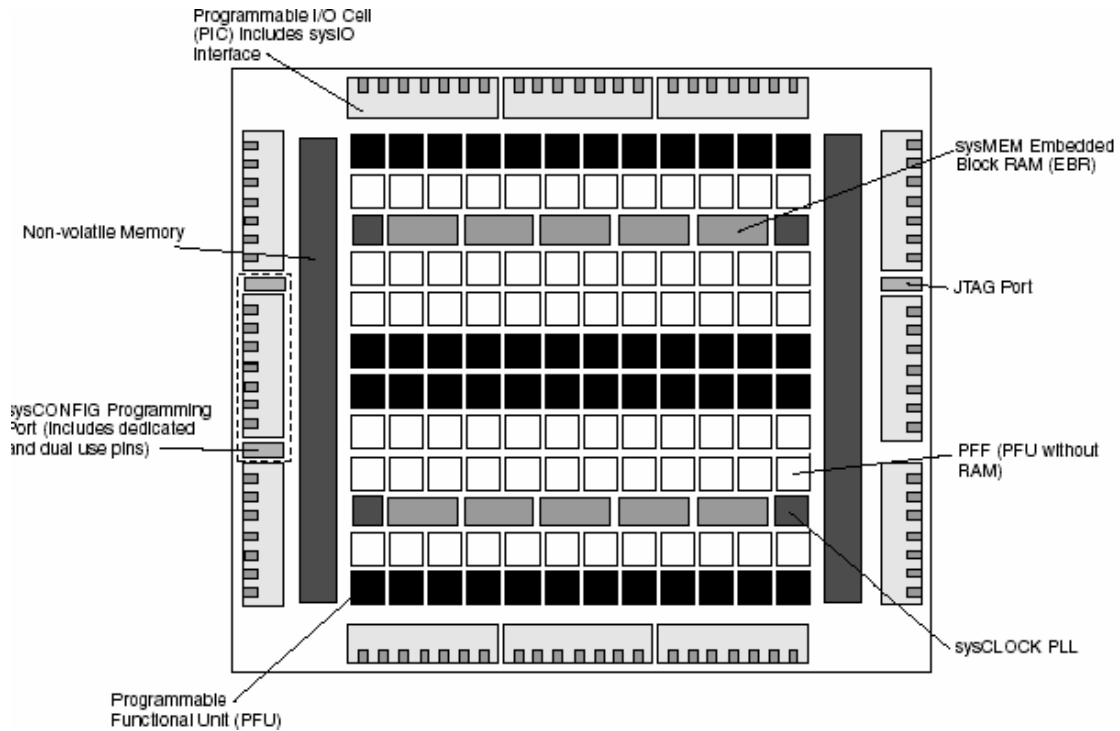


图 1 LatticeXP 器件结构示意图

PFU 阵列的左边和右边, 有非易失存储器块。在配置模式, 通过 IEEE 1149.1 口或 sysCONFIG 外部口对非易失存储器块编程。上电时, 配置数据从非易失存储器块传送至配置 SRAM。采样这种技术, 就不再需要昂贵的外部配置存储器, 设计没有未经许可的读回风险。数据从配置数据经宽总线从非易失存储器块传送至配置 SRAM, 这个过程只有数毫秒时间, 提供了能容易地与许多应用接口的瞬时上电能力。

器件中有两种逻辑块: 可编程功能单元 (Programmable Function Unit, 简称 PFU); 无 RAM 的可编程功能单元 (Programmable Function Unit without RAM, 简称 PFF)。PFU 包含用于逻辑、算法、RAM/ROM 和寄存器的积木块。PFF 包含用于逻辑、算法、ROM 的积木块。优化的 PFU 和 PFF 能够灵活、有效地实现复杂设计。器件中每行为一种类型的积木块, 每三行 PFF 间隔就有一行 PFU。

每个 PIC 块含有两个具有 sysIO 接口的 PIO 对。器件左边和右边的 PIO 对可配置成 LVDS 发送、接收对, sysMEM EBR 是大的专用快速存储器块, 可用于配置成 RAM 或 ROM。

PFU、PFF、PIC 和 EBR 块以行和列的形式分布呈二维网格状，如图 1 所示。这些块与水平的和垂直的布线资源相连。软件的布局、布线功能会自动地分配这些布线资源。

系统时钟锁相环（PLL）在含有系统存储器块行的末端，这些 PLL 具有倍频、分频和相移功能，用于管理时钟的相位关系。每个 LatticeXP 器件提供多达 4 个 PLL。

该系列中每个器件都带有内部逻辑分析仪（ispTRACY）的 JTAG 口。系统配置端口允许串行或者并行器件配置。LatticeXP 器件能工作于 3.3V、2.5V、1.8V 和 1.2V 的电压，易于集成至整个系统。

### PFU 和 PFF 块

LatticeXP 器件的核心是 PFU 和 PFF。PFU 可以通过编程实现逻辑、算法、分布式 RAM、分布式 ROM 功能。PFF 可以通过编程实现逻辑、算法、ROM 功能。除非特别说明，本文接下来不再区分 PFU 和 PFF，都简称为 PFU。

每个 PFU 由 4 个互联的 slice 组成，如图 2 所示。所有与 PFU 的互联都来自布线区。每个 PFU 有 53 个输入，25 个输出。

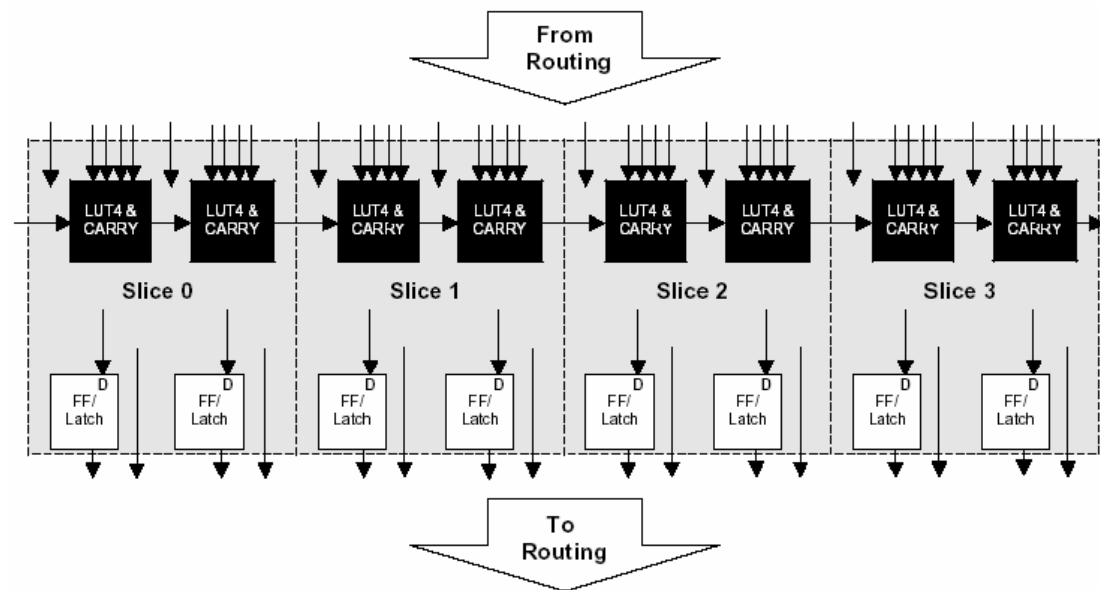


图 2 PFU 的结构

### Slice

每个 slice 有两个 LUT4 查找表，其输出送入两个寄存器，这两个寄存器可以通过编程成为触发器或者锁存器模式。LUT 与相关的逻辑组合在一起可形成 LUT5、LUT6、LUT7 和 LUT8。器件中的控制逻辑执行 set/reset 功能（可编程为同步、异步模式）、时钟选择、片选和多种 RAM/ROM 功能。图 3 为 slice 的内部逻辑示意图。Slice 内的寄存器可配置成正/负和边沿/电平时钟。有 14 个输入信号，13 个来自布线区，一个来自邻近的 slice 或 PFU 的进位链。有 7 个输出，6 个至布线区，一个至邻近 PFU 的进位链。

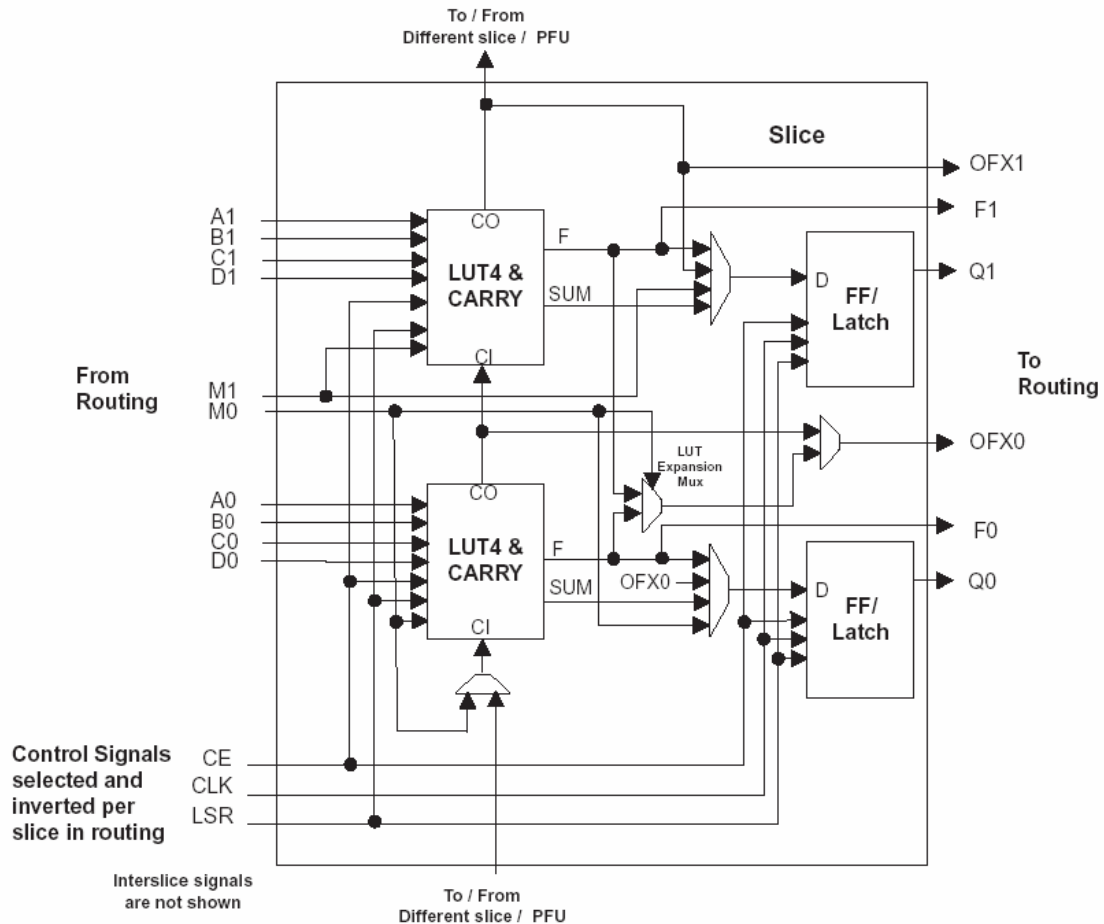


图 3 slice 的内部逻辑示意图

### Slice 的工作模式

每个 slice 都能实现四种模式：逻辑、行波、RAM 和 ROM。在 PFF 中的 slice 可实现除 RAM 外的其余模式。表 列出了 slice 实现的各种模式。

	Logic	Ripple	RAM	ROM
PFU Slice	LUT 4x2 or LUT 5x1	2-bit Arithmetic Unit	SPR16x2	ROM16x1 x 2
PFF Slice	LUT 4x2 or LUT 5x1	2-bit Arithmetic Unit	N/A	ROM16x1 x 2

表 2 Slice 的工作模式

#### 1. 逻辑模式

在这种模式中，每个 slice 的 LUT 配置成 4 输入的组合逻辑查找表。一个 LUT4 有 16 种可能的输入组合。通过编程可以产生有 4 输入的任意逻辑功能。每个 slice 中有两个 LUT4。在一个 slice 内可构成 LUT5。较大的查找表诸如 LUT6、LUT7、LU8 可用级连 slice 而构成。

#### 2. 行波模式

此方式能够有效的实现较小的算术功能。每个 slice 能完成如下功能。

- 2 位加
- 2 位减
- 使用动态控制的 2 位加/减
- 2 位加法计数器
- 2 位减法计数器

- 行波模式乘法器积木块
- 有 A 和 B 两组输入的比较功能
  - A 大于等于 B
  - A 不等于 B
  - A 小于等于 B

在这种模式中还有另外两个信号：进位和进位传递，允许级连的 slice 实现快速的算术功能。

### 3. RAM 模式

可用每个 LUT 块构成 16X1 位存储器的分布式 RAM。多个 LUT 和 slice 的组合可构成各种不同的存储器。

莱迪思的软件支持构成各种大小的存储器。表 3 说明了实现不同类型的存储器所需要的 slice 数目。图 4 为分布式存储器组件图。双口 RAM 需要用两个 slice，一个 slice 用作读写口，另一个用作只读口。

	SPR16x2	DPR16x2
Number of slices	1	2

Note: SPR = Single Port RAM, DPR = Dual Port RAM

表 3 实现不同类型的存储器所需要的 slice 数目

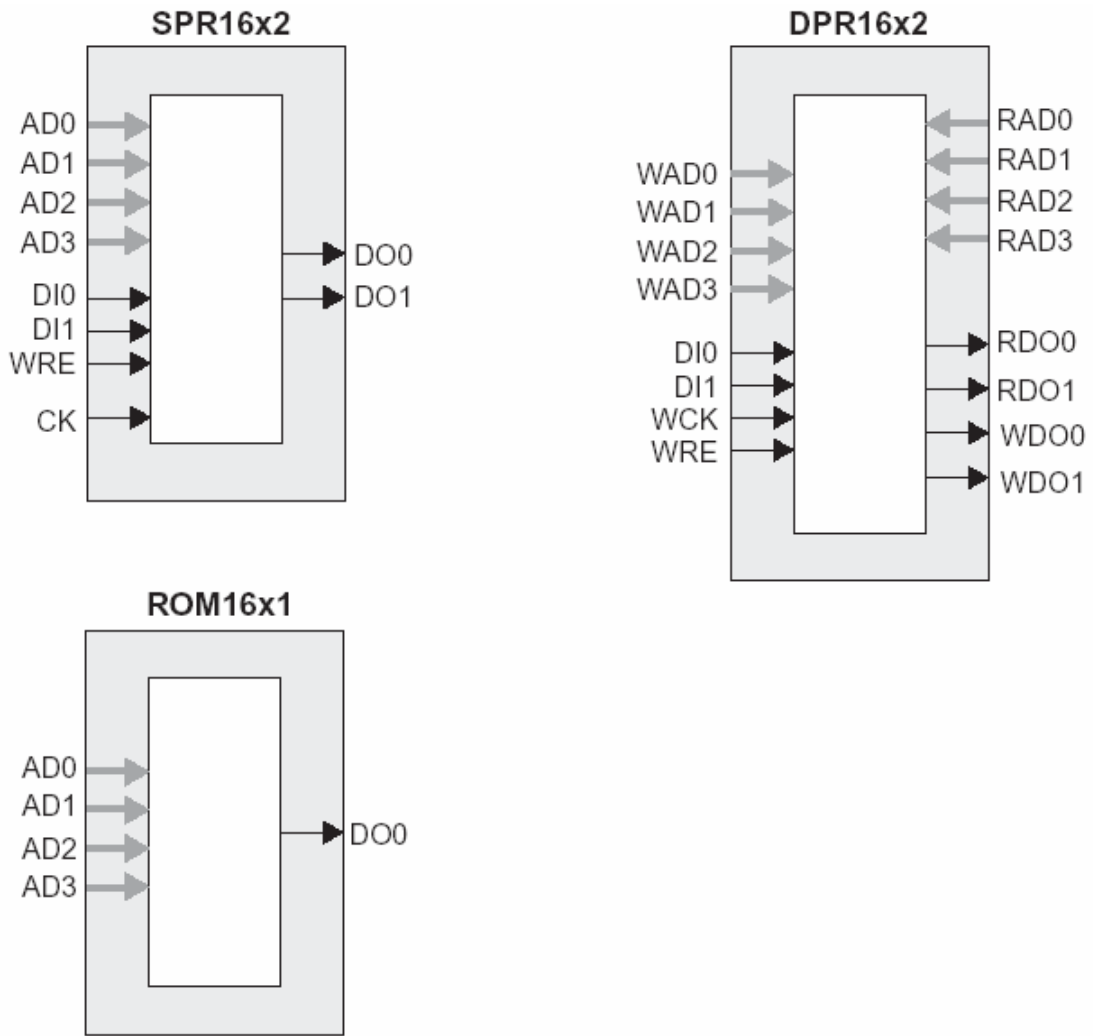


图 4 分布式存储器组件

#### 4. ROM 模式

ROM 模式与 RAM 模式相似，只是少了写端口。在 ROM 中预置数据是通过配置期间编程接口来完成的。

#### PFU 的工作模式

一个 PFU 中的几个 Slices 可以合起来实现更大的功能。表 4 列出了 PFU 的几种工作模式。

Logic	Ripple	RAM <sup>1</sup>	ROM
LUT 4x8 or MUX 2x1 x 8	2-bit Add x 4	SPR16x2 x 4 DPR16x2 x 2	ROM16x1 x 8
LUT 5x4 or MUX 4x1 x 4	2-bit Sub x 4	SPR16x4 x 2 DPR16x4 x 1	ROM16x2 x 4
LUT 6x 2 or MUX 8x1 x 2	2-bit Counter x 4	SPR16x8 x 1	ROM16x4 x 2
LUT 7x1 or MUX 16x1 x 1	2-bit Comp x 4		ROM16x8 x 1

1. These modes are not available in PFF blocks

表 4 PFU 的工作模式

## 时钟分布网络

时钟输入来自外部的 I/O、sysCLOCK™ PLL、或者布线输出。这些时钟通过时钟分布系统送入芯片。LatticeXP 器件驱动时钟来自三个主时钟源：PLL 输出、专用时钟输入和布线输出。LatticeXP 器件有 2 至 4 个系统时钟 PLL，位于器件的左边和右边。在器件的每边有 4 个专用的时钟输入。图 5 所示的是 20 个主时钟源。

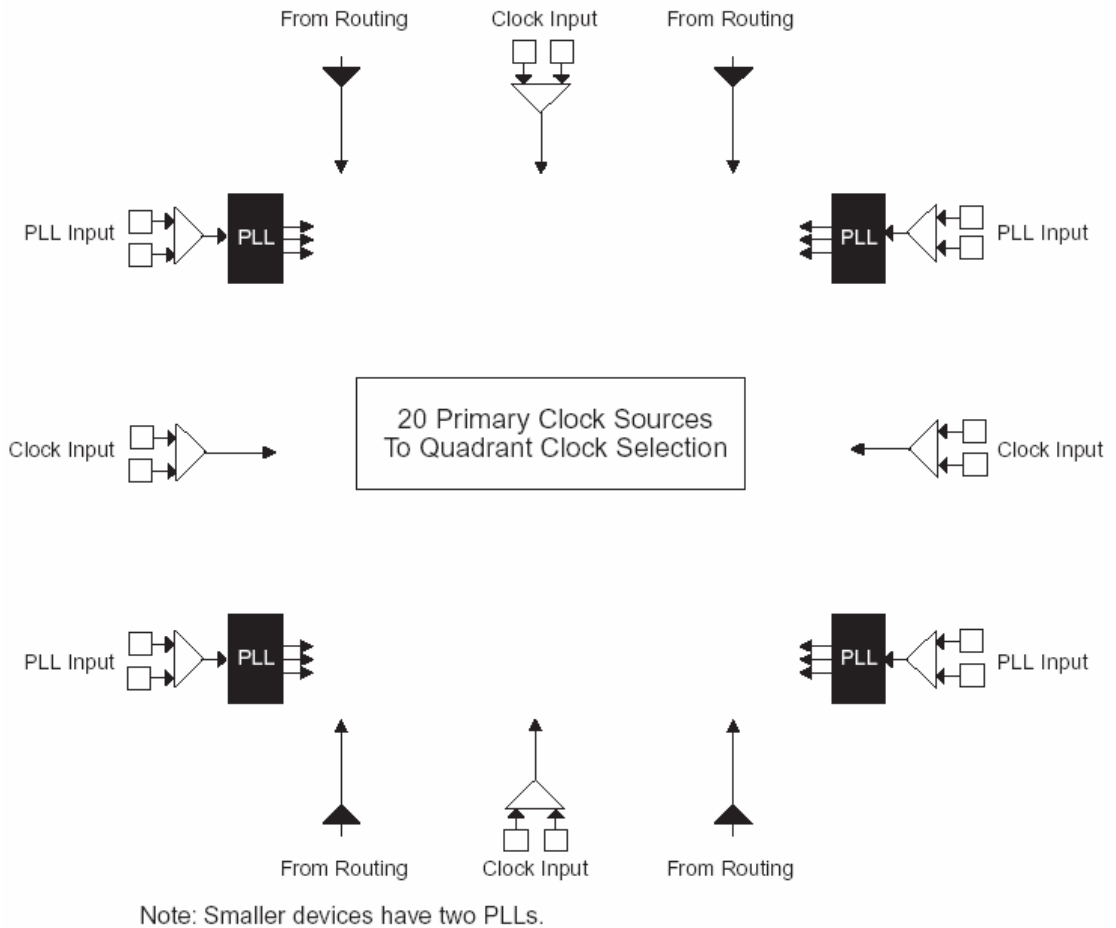


图 5 LatticeXP 器件的时钟源

## 系统时钟锁相环

来自引脚和布线区的时钟送至 PLL 的输入时钟分频器，有 4 个反馈信号送至反馈分频器，它们来自时钟网络、后定标分频器、布线区和外部引脚。PLL\_LOCK 信号用来指出 VCO 已经锁定输入信号。图 6 为系统时钟锁相环的方框图。



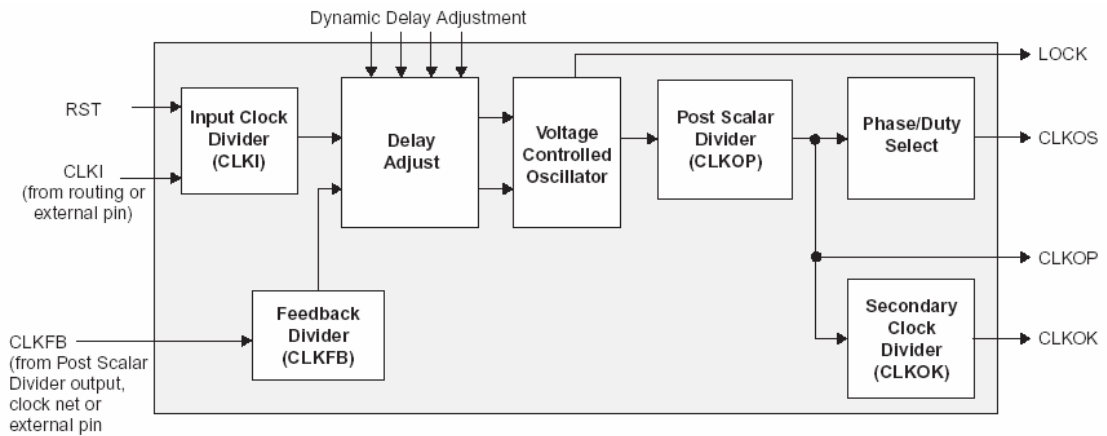


图 6 系统时钟锁相环的方框图

器件的建立和保持时间可以通过两种方式来改进：在反馈中对延时进行编程；或者在 PLL 的输入路径中相对于输入时钟提前或者延迟输出时钟。延时可以在配置期间配置或者动态调整。

系统时钟锁相环有综合时钟频率的能力。每个 PLL 有 4 个分频器：输入时钟分频器、反馈分频器、后定标分频器和次级时钟分频器。输入时钟分频器用于分频输入时钟信号，反馈分频器用于倍频输入信号，后定标分频器允许 VCO 以高于输出时钟的频率运行，因此扩展了频率范围。次级时钟分频器用于得到较低的频率输出。PLL 的组件如图 7 所示。表 5 对各种 PLL 信号进行了描述。

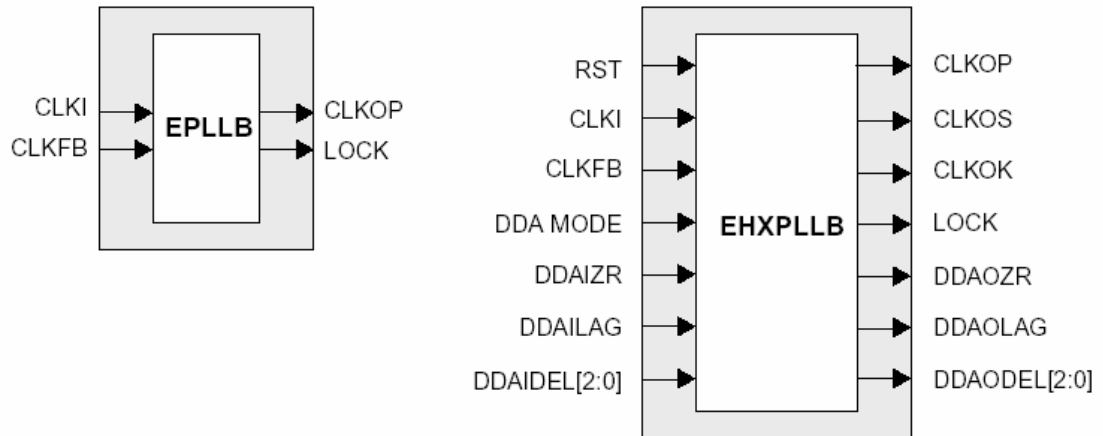


图 7 PLL 的组件

Signal	I/O	Description
CLKI	I	Clock input from external pin or routing
CLKFB	I	PLL feedback input from PLL output, clocknet, routing or external pin
RST	I	"1" to reset input clock divider
CLKOS	O	PLL output clock to clock tree (phase shifted/duty cycle changed)
CLKOP	O	PLL output clock to clock tree (No phase shift)
CLKOK	O	PLL output to clock tree through secondary clock divider
LOCK	O	"1" indicates PLL LOCK to CLKI
DDAMODE	I	Dynamic Delay Enable. "1": Pin control (dynamic), "0": Fuse Control (static)
DDAIZR	I	Dynamic Delay Zero. "1": delay = 0, "0": delay = on
DDAILAG	I	Dynamic Delay Lag/Lead. "1": Lag, "0": Lead
DDAIDEL[2:0]	I	Dynamic Delay Input
DDAOZR	O	Dynamic Delay Zero Output
DDAOLAG	O	Dynamic Delay Lag/Lead Output
DDAODEL[2:0]	O	Dynamic Delay Output

表 5 PLL 信号的描述。

### 系统存储器（sysMEM Memory）

LatticeXP 器件含有若干个嵌入式 RAM 块（EBR），EBR 可组成 9K 位的 RAM，并有专用输入和输出寄存器。系统存储器块可构成单口、双口以及准双口存储器，每个块可构成不同的深度和宽度，如表 6 所示。

Memory Mode	Configurations
Single Port	8,192 x 1
	4,096 x 2
	2,048 x 4
	1,024 x 9
	512 x 18
	256 x 36
True Dual Port	8,192 x 1
	4,096 x 2
	2,048 x 4
	1,024 x 9
	512 x 18
Pseudo Dual Port	8,192 x 1
	4,096 x 2
	2,048 x 4
	1,024 x 9
	512 x 18
	256 x 36

表 6 sysMEM 块的配置

### 单口、双口以及准双口存储器模式

图 8 展示了 4 种基本的存储器配置，在所有的系统 RAM 模式中，对于端口的输入数据和地址在存储器的输入端是锁存的。存储器的输出数据是否锁存是可选的。

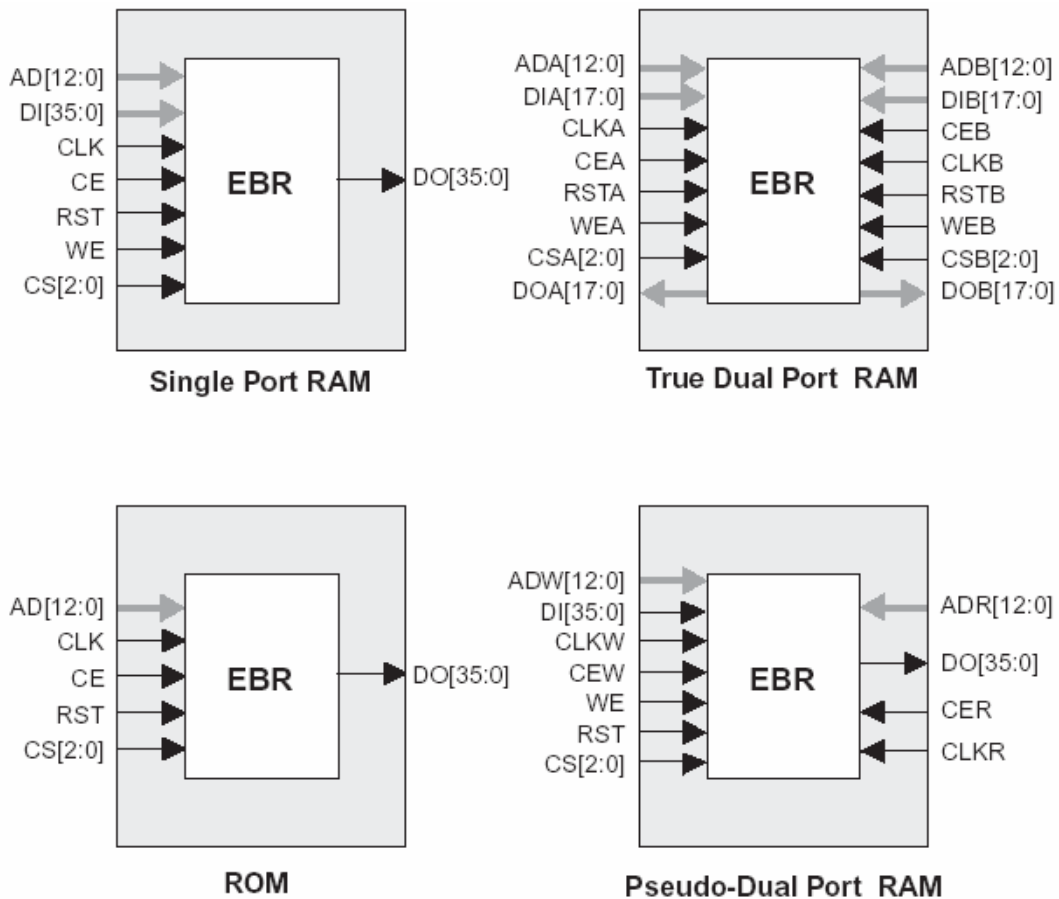


图 8 sysMEM EBR 组件

EBR 存储器支持对双口模式的三种写操作

1. 常规：输出的数据仅在读周期出现，在写周期，数据（当前地址）不出现在输出。
2. 写完成：输入数据出现在相同端口的输出。
3. 写前的读：新的数据写入时，地址的旧内容出现在输出。

### 可编程 I/O 单元 (PIC)

每个 PIC 含有两个连接至相关 sysIO 缓冲器的 PIO，再连至 PAD，如图 9 所示。PIO 块提供输出数据 (DO) 和三态控制信号 (TO) 至 sysIO 缓冲器，接收输入数据亦来自缓冲器。

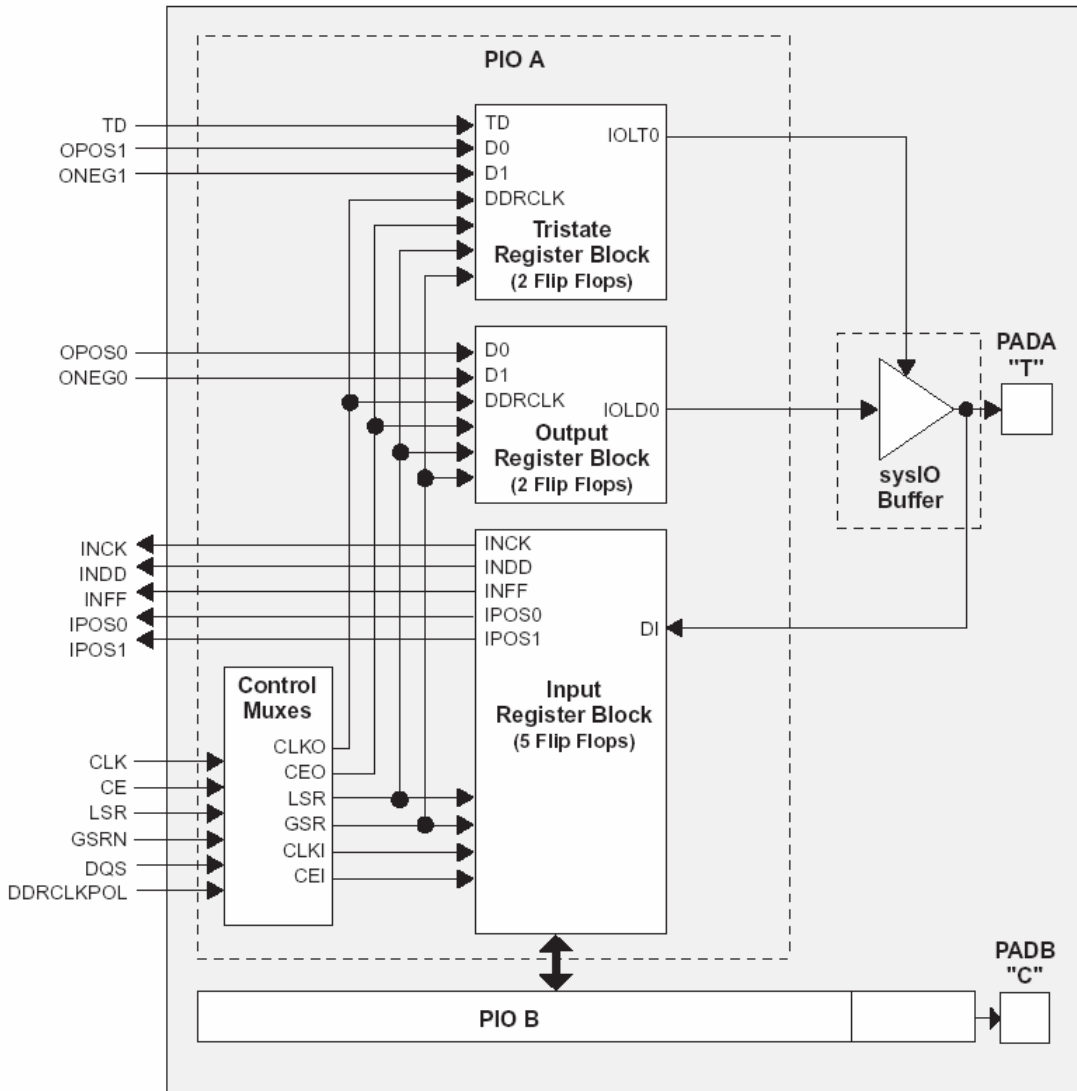


图9 PIC 结构图

两个相邻的PIO可组成一个差分I/O对，分别用T和C标出，如图10所示。注意：只有器件左边和右边的PIO对才能配置成LVDS发送/接收对。每16个PIO含有一个延时单元，易于产生DQS信号。这个DQS信号送至跨越这组16个PIO的DQS总线。来自总线的DQS信号用于选通来自存储器进入输入寄存器块的DDR数据。这个接口电路是为存储器设计的，每8位数据有一个选通信号。

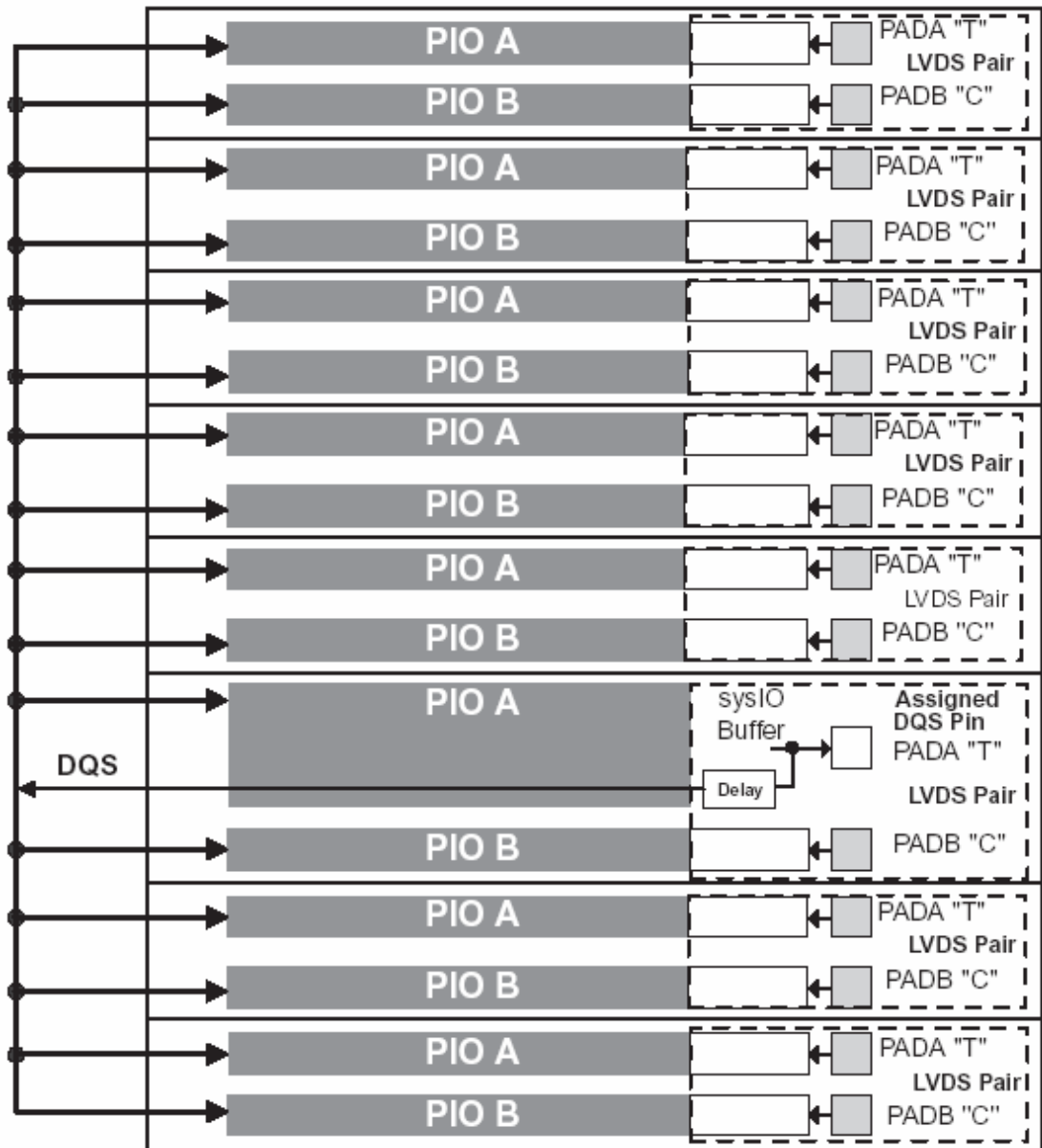


图 10 DQS 走线

## PIO

PIO 内含 4 个块：输入寄存器块、输出寄存器块、三态寄存器块和控制逻辑块。这些块含有寄存器用于单数据率（SDR）和双数据率（DDR）运行，且伴有必须的时钟和选择逻辑。在这些块中，还有用于调整引入时钟和数据信号的可编程延时线。

### 输入寄存器块

输入寄存器块含有延时单元和用来调理信号的寄存器。图 11 为输入寄存器块的电路图。来自 sysIO 的输入信号 DI 送至输入寄存器块。在被选的块中，输入信号可以旁路寄存器和延时单元直接用作组合信号 INDD，时钟 INCK 输入至 DQS 延时块。倘若未选择旁路信号，信号首先通过可选的延时块。使用全局时钟时，这个延时确保无需正的输入寄存器保持时间。

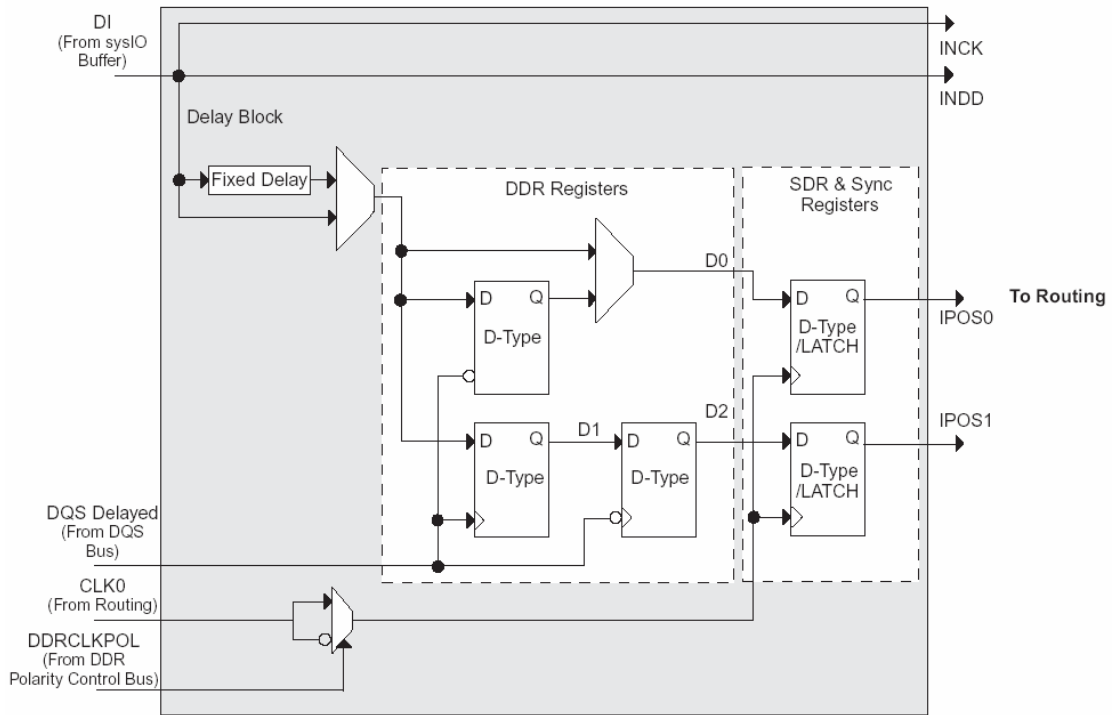


图 11 输入寄存器块的电路图

输入块允许以两种模式运行。单数据率 SDR 模式时，在系统时钟的作用下，数据由 SDR 同步寄存器块的一个寄存器锁存。DDR 模式时，用两个寄存器在 DQS 信号的上升沿和下降沿采样数据，形成两个数据流 D0 和 D1。数据进入器件内部前，两个数据流与系统时钟同步。图 12 为 DDR 模式时，输入寄存器的波形。图 13 为设计工具组件。信号 DDRCLKPOL 控制用于同步寄存器中的时钟极性。当数据从 DQS 传输到系统时钟时，此信号用来保证适当的时序。

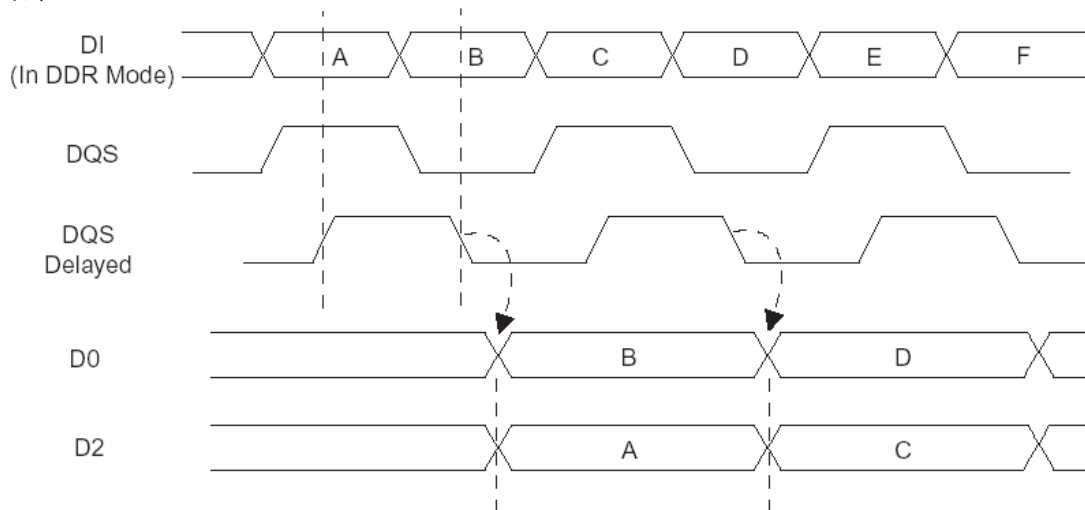


图 12 DDR 模式时输入寄存器的波形。

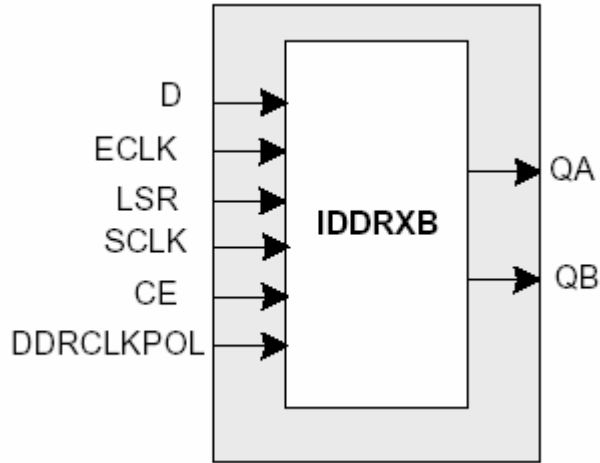
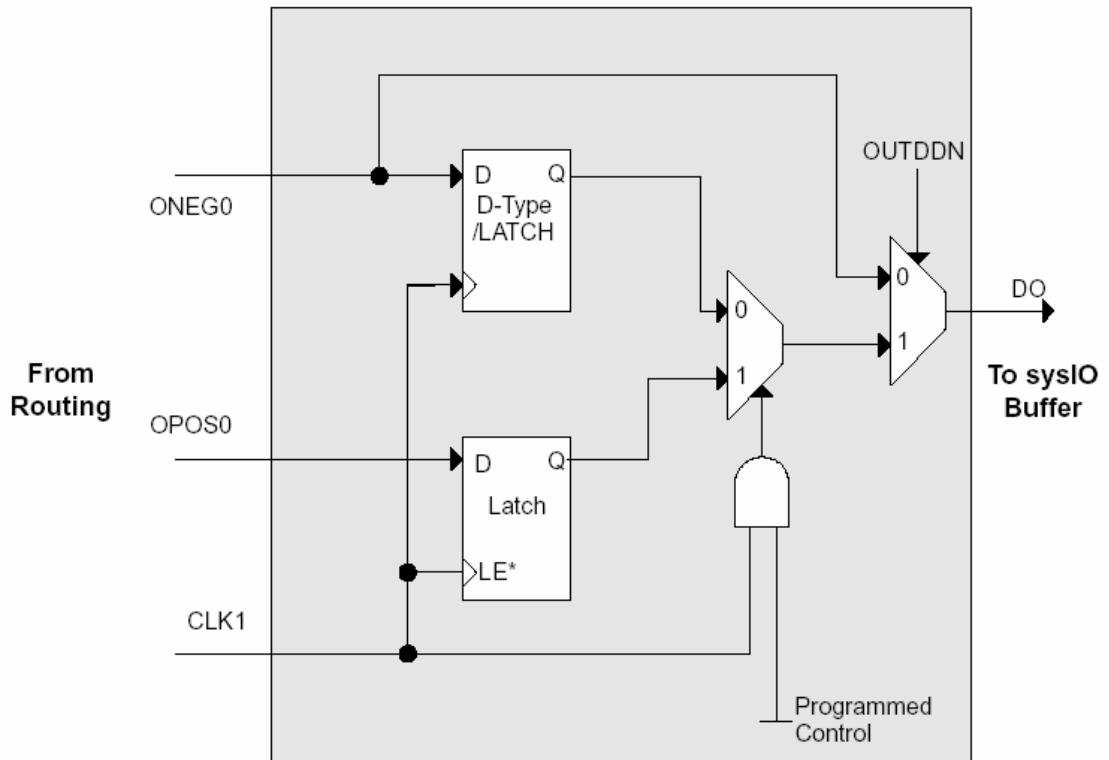


图 13 输入寄存器的设计工具组件

### 输出寄存器块

来自器件内部信号在到达 sysIO 缓冲器前需要锁存，输出寄存器块具有锁存这些信号的功能。块内有一个寄存器用于 SDR，与另外一个锁存器组合在一起实现 DDR 功能。图 14 为输出寄存器块。

在 SDR 模式，ONEG0 先送入触发器，然后再送至输出。触发器可配置成 D 型或者锁存器。在 DDR 模式，ONEG0 在时钟的上升沿先送入寄存器，OPOS0 信号被锁存。相同时钟所控制的多路选择器选择相应的信号送至输出 DO。图 15 为 DDR 设计工具组件。SDR 输出寄存器有复位和时钟使能。用于 DDR 模式运行的附加寄存器无复位和时钟使能。



\*Latch is transparent when input is low.

图 14 输出寄存器块

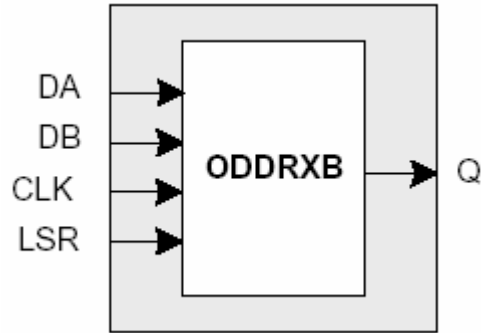


图 15 DDR 设计工具组件

### 三态寄存器块

三态寄存器块能寄存来自器件内部的三态控制信号，这些控制信号在到达 sysIO 缓冲器前被寄存。块内中有一个寄存器用于 SDR 操作，另外一个锁存器实现 DDR 功能。图 16 为三态寄存器块。

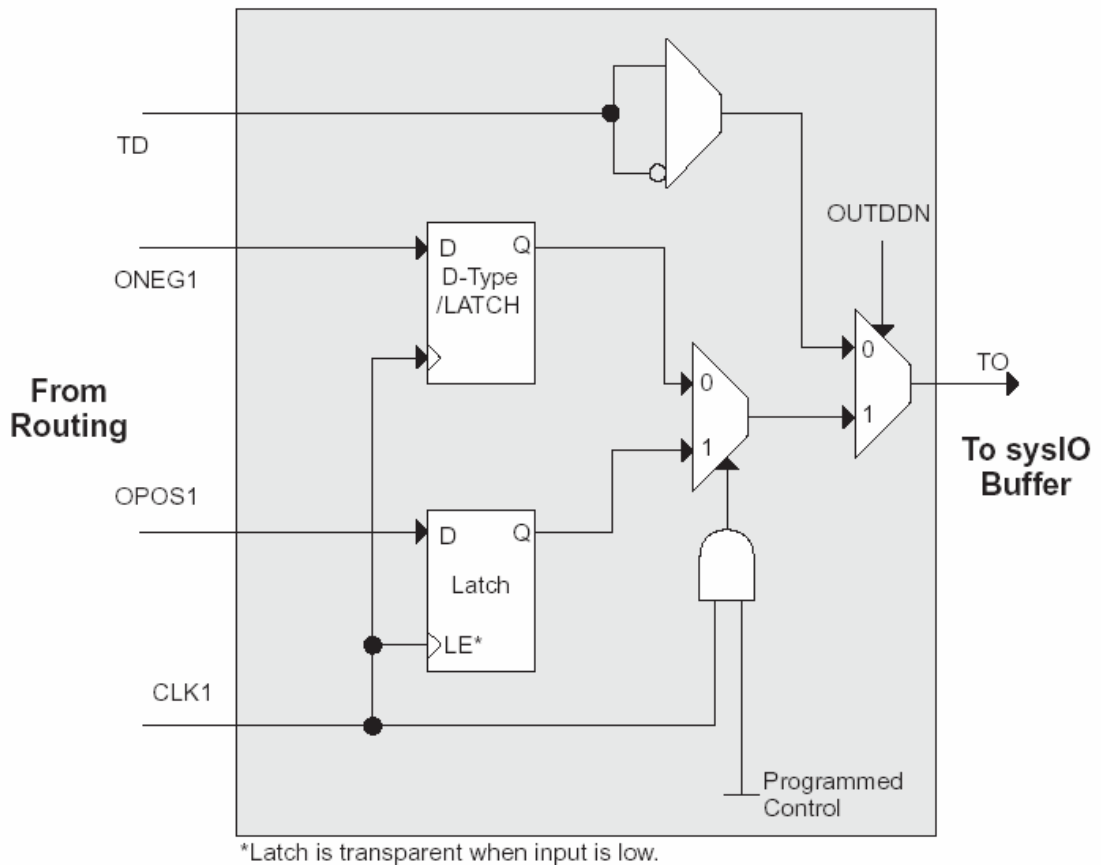


图 16 三态寄存器块

处于 SDR 模式时，ONEG1 送入一个寄存器，然后再送至输出。触发器可配置成 D 型或者锁存器。在 DDR 模式，ONEG1 在时钟的上升沿先送入寄存器，OPOS1 信号被锁存。相同时钟所控制的多路选择器选择相应的信号送至输出 D0。

### 控制逻辑块



控制逻辑块允许在 PIO 块中使用的控制信号的选择和修改。从通用布线区的多个时钟信号中选出一个时钟，一个 DQS 信号来自可编程 DQS 引脚。时钟可以选择反相。时钟使能和本地复位选自布线区，也可以反相。全局三态信号通过这个块。

### DDR 存储器支持

实现高性能的 DDR 存储器接口需要专用的 DDR 寄存器结构，如在输入端的读操作和输出端的写操作。正如在 PIO 一节中所述，LatticeXP 器件提供这种能力。除这些寄存器外，LatticeXP 器件有两个单元简化用于读操作的输入结构设计。这两个单元是 DQS 延时块和极性控制逻辑。

### DLL 校准 DQS 延时块

源同步接口通常要求调整输入时钟，以便用输入寄存器正确捕获数据。对大多数接口而言，PLL 用于这种调整。然而对于 DDR 存储器，称为 DQS 的时钟是受约束的，因此这种方法不可行。DQS 延时块提供用于 DDR 存储器接口所需的时钟对齐。

来自 PAD 的 DQS 信号通过 DQS 延时单元送入专用的布线资源。DQS 信号也送入极性控制逻辑，用于控制输入寄存器块中连至同步寄存器的时钟极性。图 17 和图 18 分别展示了 DQS 转换信号是如何进入 PIO 的。

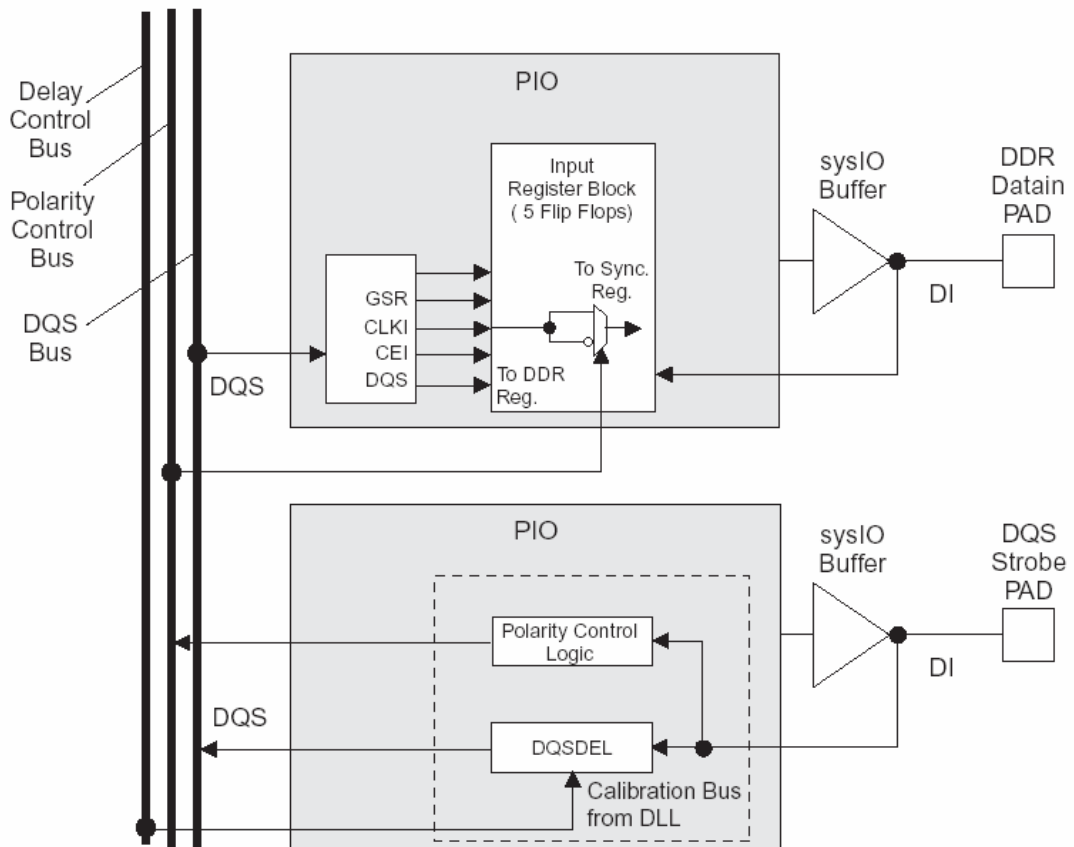


图 17 DQS 局域总线

DQS 延时块的温度、电压和工艺变化由一组校正信号进行补偿，校正信号是 6 位宽的总线，来自器件的两个 DLL。每个 DLL 补偿其所在半个器件的 DQS 延时，如图 25 所示。经系统时钟和反馈环，DLL 环用来补偿温度、电压和工艺变化。

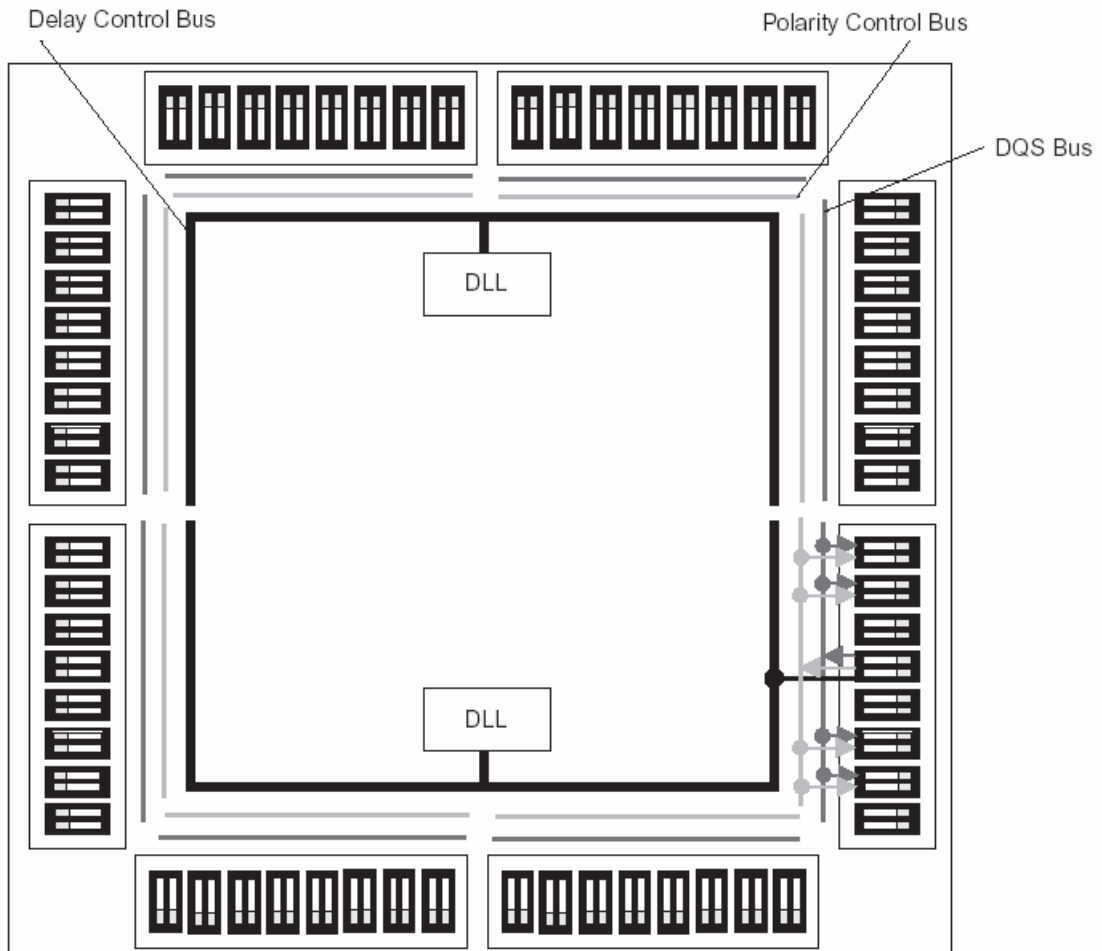


图 18 DLL 校正总线 and DQS/DQS 转换分布图

### 极性控制逻辑

对于典型的 DDR 存储器数据，延时 DQS 选通脉冲和内部系统时钟（在读周期）之间的相位关系是未知的。

LatticeXP 器件含有专用电路在这些域间传递数据。为了防止建立和保持时间发生变化，即 DQS 延时和系统时钟间的域传递时，使用了一个时钟极性选择器。这改变了锁存在同步寄存器中的数据边沿。要求在每个读周期的起始时刻给予正确的时钟极性。

读操作前，DDR 存储器的 DQS 处于三态，由终端上拉。起始时刻 DDR 存储器驱动 DQS 为低电平。一个专用电路用于检测这个传递。这个信号用来控制连至同步寄存器的时钟极性。

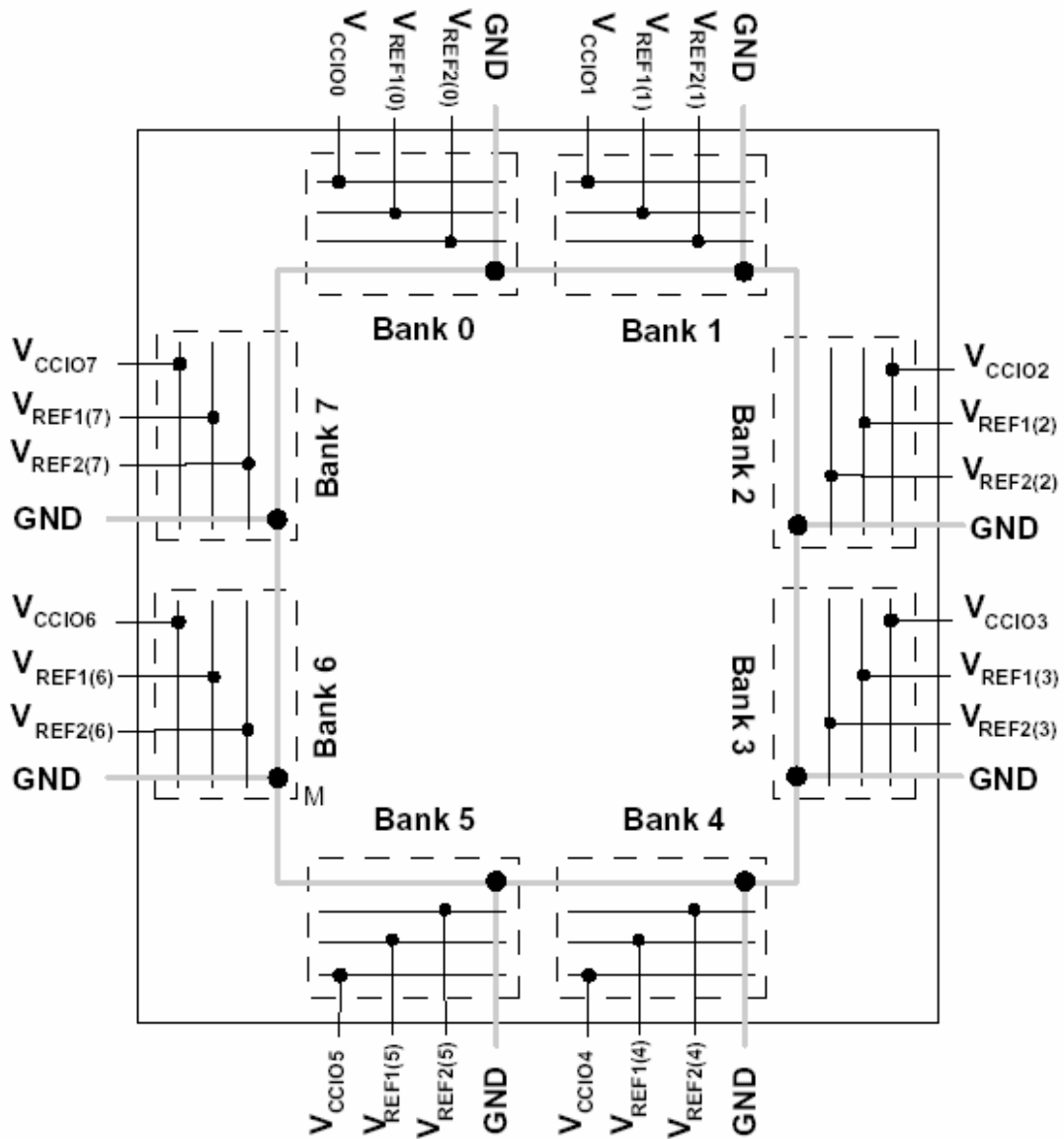
### sysIO 缓冲器

每个 I/O 都与灵活的 sysIO 缓冲器相联系。这些缓冲器分布在器件的外围，共有 8 组。sysIO 缓冲器允许用户实现如今电子系统中广泛使用的 I/O 标准，如 LVC MOS、SSTL、HSTL、LVDS 和 LVPECL。

每组 sysIO 缓冲器有本身的 I/O 电压 ( $V_{ccio}$ )，以及两个参考电压 VREF1 和 VREF2，使每组电压均可互相独立。图 19 展示了 8 组 sysIO 缓冲器和与之相关的电压。

LatticeXP 器件中，单端输出缓冲器和比率输入缓冲器 (LVTTTL、LVC MOS、PCI 和 PCI-X) 用  $V_{ccio}$  供电，LVTTTL、LVC MOS33、LVC MOS25 和 LVC MOS12 可以设置成独立于  $V_{ccio}$  的固定阈值。除了  $V_{ccio}$  电压，LatticeXP 器件还有  $V_{cc}$  内部逻辑电压以及用于差分 and 参考缓冲器的  $V_{ccaux}$  电压。

每组能支持两种 VREF 电压，用于设置参考输入缓冲器阈值的 VREF1 和 VREF2。LatticeXP 器件中，在组中的一些专用 I/O 引脚可以配置成参考电压引脚。每个 I/O 均能独立配置，基于组的电压和参考电压。



Note: N and M are the maximum number of I/Os per bank.

图 19 sysIO 缓冲器和与之相关的电压

LatticeXP 器件有两种类型的 sysIO 缓冲器对：

1. 顶部和底部 sysIO 缓冲器对（单端输出）  
 器件顶部和底部组的 sysIO 缓冲器为两个单端输出驱动器和两组单端输入缓冲器。参考输入缓冲器可以配置成差分输入。  
 只有顶部和底部的 I/O 组有 PCI 钳位电路。
2. 左边和右边的 sysIO 缓冲器对（差分 and 单端输出）  
 器件左边和右边的 sysIO 缓冲器为两个单端输出驱动器，两组单端输入缓冲器和一个差分输出驱动器。参考输入缓冲器可配置成差分输入。  
 只有器件的左边和右边组具有差分输出驱动器。

表 7 和表 8 分别为器件所支持的输入和输出标准。

Input Standard	V <sub>REF</sub> (Nom.)	V <sub>CCIO</sub> <sup>1</sup> (Nom.)
<b>Single Ended Interfaces</b>		
LVTTL	—	—
LVC MOS33 <sup>2</sup>	—	—
LVC MOS25 <sup>2</sup>	—	—
LVC MOS18	—	1.8
LVC MOS15	—	1.5
LVC MOS12 <sup>2</sup>	—	—
PCI	—	3.3
HSTL18 Class I, II	0.9	—
HSTL18 Class III	1.08	—
HSTL15 Class I	0.75	—
HSTL15 Class III	0.9	—
SSTL3 Class I, II	1.5	—
SSTL2 Class I, II	1.25	—
SSTL18 Class I	0.9	—
<b>Differential Interfaces</b>		
Differential SSTL18 Class I	—	—
Differential SSTL2 Class I, II	—	—
Differential SSTL3 Class I, II	—	—
Differential HSTL15 Class I, III	—	—
Differential HSTL18 Class I, II, III	—	—
LVDS, LVPECL	—	—
BLVDS	—	—

1. When not specified V<sub>CCIO</sub> can be set anywhere in the valid operating range.

2. JTAG inputs do not have a fixed threshold option and always follow V<sub>CCJ</sub>.

a

表 7 支持的输入标准

Output Standard	Drive	V <sub>CCIO</sub> (Nom.)
<b>Single-ended Interfaces</b>		
LVTTTL	4mA, 8mA, 12mA, 16mA, 20mA	3.3
LVC MOS33	4mA, 8mA, 12mA, 16mA, 20mA	3.3
LVC MOS25	4mA, 8mA, 12mA, 16mA, 20mA	2.5
LVC MOS18	4mA, 8mA, 12mA, 16mA	1.8
LVC MOS15	4mA, 8mA	1.5
LVC MOS12	2mA, 6mA	1.2
LVC MOS33, Open Drain	4mA, 8mA, 12mA, 16mA, 20mA	—
LVC MOS25, Open Drain	4mA, 8mA, 12mA, 16mA, 20mA	—
LVC MOS18, Open Drain	4mA, 8mA, 12mA, 16mA	—
LVC MOS15, Open Drain	4mA, 8mA	—
LVC MOS12, Open Drain	2mA, 6mA	—
PCI33	N/A	3.3
HSTL18 Class I, II, III	N/A	1.8
HSTL15 Class I, III	N/A	1.5
SSTL3 Class I, II	N/A	3.3
SSTL2 Class I, II	N/A	2.5
SSTL18 Class I	N/A	1.8
<b>Differential Interfaces</b>		
Differential SSTL3, Class I, II	N/A	3.3
Differential SSTL2, Class I, II	N/A	2.5
Differential SSTL18, Class I	N/A	1.8
Differential HSTL18, Class I, II, III	N/A	1.8
Differential HSTL15, Class I, III	N/A	1.5
LVDS	N/A	2.5
BLVDS <sup>1</sup>	N/A	2.5
LVPECL <sup>1</sup>	N/A	3.3

1. Emulated with external resistors.

**表 8 支持的输出标准**

## 器件的配置

所有的 LatticeXP 器件都含有两个端口用来实现器件的配置和编程。测试接入端口 (TAP) 支持位宽的配置方式，而 sysCONFIG 端口既能支持字节宽度又可支持串行的配置方式。

ispXP 中的非易失存储器可以用三种不同的模式来配置：

- 在 sysCONFIG 模式下通过 sysCONFIG 端口来配置。注意这种方式可以在器件工作的时候进行配置。
- 在 1532 模式下通过 1149.1 端口来配置。
- 在后台模式下通过 1149.1 端口来配置。在此方式下重新编程时，器件可以同时进行工作。

LatticeXP 中的 SRAM 可以用四种不同的模式来配置：

- 在上电时通过片上的非易失存储器来配置。

- 采用一个由用户发出的刷新命令来配置。注意可以通过翻转 PROGRAMN 引脚的电平或在 1532 模式下经由 JTAG 端口发送一条命令来实现这种配置。
- 在 1532 模式下通过 1149.1 端口来配置
- 在 sysCONFIG 模式下通过 sysCONFIG 端口来配置。

图 20 展示了 LatticeXP 器件中不同的编程端口和模式。

在上电时，FPGA 的 SRAM 处于用 sysCONFIG 端口来配置的状态。上电以后，通过 TAP 端口发送适当的命令，可以在任何时候激活 IEEE 1149.1 串行模式。一旦选定了某个配置端口，该端口就被锁定了，只有等到下一次上电之后才能激活另一个配置端口。

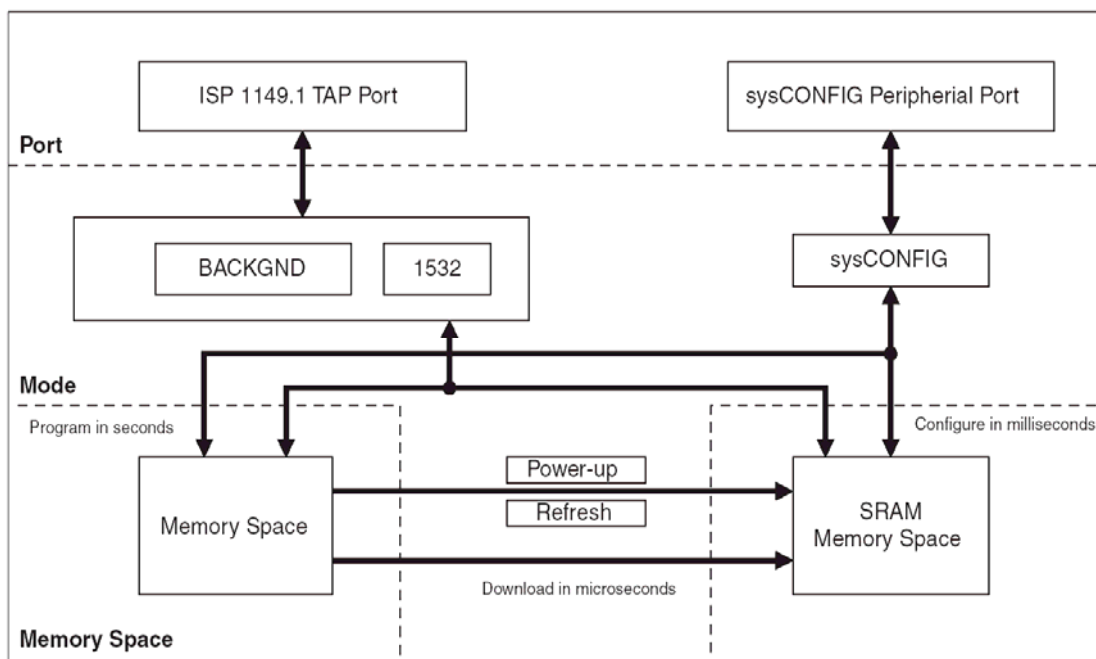


图 20 LatticeXP 器件配置示意图