
EM78P153S

**8-Bit Microcontroller
with OTP ROM**

**Product
Specification**

DOC. VERSION 1.4

ELAN MICROELECTRONICS CORP.


December 2003



Trademark Acknowledgments:

IBM is a registered trademark and PS/2 is a trademark of IBM.

Windows is a trademark of Microsoft Corporation.

ELAN and ELAN logo  are trademarks of ELAN Microelectronics Corporation.

Copyright © 2005 by **ELAN Microelectronics Corporation**

All Rights Reserved

Printed in Taiwan

The contents of this specification are subject to change without further notice. ELAN Microelectronics assumes no responsibility concerning the accuracy, adequacy, or completeness of this specification. ELAN Microelectronics makes no commitment to update, or to keep current the information and material contained in this specification. Such information and material may change to conform to each confirmed order.

In no event shall ELAN Microelectronics be made responsible for any claims attributed to errors, omissions, or other inaccuracies in the information or material contained in this specification. ELAN Microelectronics shall not be liable for direct, indirect, special incidental, or consequential damages arising from the use of such information or material.

The software (if any) described in this specification is furnished under a license or nondisclosure agreement, and may be used or copied only in accordance with the terms of such agreement.

ELAN Microelectronics products are not intended for use in life support appliances, devices, or systems. Use of ELAN Microelectronics product in such applications is not supported and is prohibited.

NO PART OF THIS SPECIFICATION MAY BE REPRODUCED OR TRANSMITTED IN ANY FORM OR BY ANY MEANS WITHOUT THE EXPRESS WRITTEN PERMISSION OF ELAN MICROELECTRONICS.



ELAN MICROELECTRONICS CORPORATION

Headquarters:

No. 12, Innovation Road 1
Hsinchu Science Park
Hsinchu, Taiwan 30077
Tel: +886 3 563-9977
Fax: +886 3 563-9966
<http://www.emc.com.tw>

Hong Kong:

Elan (HK) Microelectronics Corporation, Ltd.
Rm. 1005B, 10/F Empire Centre
68 Mody Road, Tsimshatsui
Kowloon, HONG KONG
Tel: +852 2723-3376
Fax: +852 2723-7780
elanhk@emc.com.hk

USA:

Elan Information Technology Group
1821 Saratoga Ave., Suite 250
Saratoga, CA 95070
USA
Tel: +1 408 366-8223
Fax: +1 408 366-8220

Europe:

Elan Microelectronics Corp. (Europe)

Siewerdstrasse 105
8050 Zurich, SWITZERLAND
Tel: +41 43 299-4060
Fax: +41 43 299-4079
<http://www.elan-europe.com>

Shenzhen:

Elan Microelectronics Shenzhen, Ltd.

SSMEC Bldg., 3F, Gaoxin S. Ave.
Shenzhen Hi-Tech Industrial Park
Shenzhen, Guangdong, CHINA
Tel: +86 755 2601-0565
Fax: +86 755 2601-0500

Shanghai:

Elan Microelectronics Shanghai Corporation, Ltd.

23/Bldg. #115 Lane 572, Bibo Road
Zhangjiang Hi-Tech Park
Shanghai, CHINA
Tel: +86 021 5080-3866
Fax: +86 021 5080-4600

Contents

1	一般描述.....	1
2	性能特点.....	1
3	管脚分配.....	2
4	功能描述.....	4
4.1	操作寄存器.....	4
4.1.1	R0 (间接地址寄存器).....	4
4.1.2	R1 (计时/计数器).....	4
4.1.3	R2 (编程计数器)与堆栈.....	4
4.1.4	R3 (状态寄存器).....	6
4.1.5	R4 (RAM 选择寄存器).....	7
4.1.6	R5~R6 (端口 5~端口 6).....	7
4.1.7	RF (中断状态寄存器).....	7
4.1.8	R10~R2F.....	7
4.2	特殊寄存器组.....	7
4.2.1	A (加法器).....	7
4.2.2	CONT (控制寄存器).....	7
4.2.3	IOC5~IOC6 (I/O 端口控制寄存器).....	8
4.2.4	IOCB (下拉控制寄存器).....	8
4.2.5	IOCC (漏极开路控制寄存器).....	9
4.2.6	IOCD (上拉控制寄存器).....	9
4.2.7	IOCE (WDT 控制寄存器).....	10
4.2.8	IOCF (中断屏蔽寄存器).....	10
4.3	TCC/WDT & 预分频器.....	11
4.4	I/O 端口.....	11
4.5	复位和唤醒.....	14
4.5.1	复位.....	14
4.5.2	/RESET 的配置.....	18
4.5.3	R3 中的 T、P、RST 的状态.....	18
4.6	中断.....	20
4.7	荡器.....	21
4.7.1	振荡器模式.....	21
4.7.2	晶体振荡器/陶瓷谐振器 (XTAL).....	21
4.7.3	外部 RC 振荡器模式.....	22
4.7.4	内部 RC 振荡器模式.....	24
4.8	代码选项寄存器.....	24
4.8.1	代码选项寄存器 (Word0).....	24



4.8.2 代码选择寄存器 (WORD 1) 26

4.8.3 用户 ID 寄存器 (Word 2) 26

4.9 上电问题..... 26

4.10 可编程振荡器的建立时间..... 26

4.11 外部上电复位电路 26

4.12 残余电压保护..... 27

4.13 指令集 28

4.14 时序图 31

5 绝对最大范围 32

6 电气特性..... 32

6.1 DC 电气特征..... 32

6.2 AC 电气特征..... 33

6.3 IC 特性..... 34

附录

A 封装类型：..... 44

B 封装信息..... 44

Specification Revision History

Doc. Version	Revision Description	Date
1.1	Initial version	
1.2	Change Initialized Register Values, Internal RC Drift Rate, DC and AC Electrical Characteristic	05/02/2003
1.3	Change Power on reset content	06/25/2003
1.4	Add the Device Characteristic at section 6.3	12/31/2003

1 一般描述

EM78P153S是采用低耗高速CMOS工艺制造的8位单片机，它内部包含一个1024*13 bit的一次性可编程只读电存储器(OTP-ROM)。有15位选项位可满足用户要求，其中的保护位可用来防止程序被读出。

由于有OTP-ROM，EM78P153S提供给用户一个方便的开发和检验他们的程序的环境。而且，程序代码可用ELAN编程器写入芯片。

2 性能特点

- 14个引线封装：EM78P153S
- 工作电压范围：2.3V~5.5V
- 适用温度范围：0℃~70℃
- 工作频率范围（基于2个Clock）：
晶振模式：DC-20MHZ at 5V,DC-8MHZ at 3V,DC-4MHZ at 2.3V
ERC模式：DC-4MHZ at 5V,DC-4MHZ at 3V,DC-4MHZ at 2.3V
- 低功耗：
 - * 在5V/4MHz时低于1.5mA
 - * 在3V/32KHz时为15uA
 - * 在休眠模式时为1uA
- 1024x13位片内ROM
- 内置4个校准IRC振荡器(8MHz ,4MHz ,1MHz ,455KHz)
- 振荡器起振时间预分频系数可编程
- 一个安全位（代码寄存器中）保护程序不被读出
- 一个结构寄存器满足用户要求
- 32x8bits片内寄存器组（SRAM，一般寄存器）
- 2组双向I/O端口
- 5级用于子程序嵌套的堆栈
- 8位实时计时/计数器（TCC），其信号源、触发边沿可编程选择，溢出时产生中断
- 节能模式（SLEEP模式）
- 三种可用的中断：
 - * TCC溢出中断
 - * 输入引脚变化中断（从休眠模式唤醒）

* 外部中断

- 可编程自由运行看门狗定时器 (WDT)
 - 7个可编程上拉I/O引脚
 - 7个可编程漏极开路 I/O引脚
 - 6个可编程下拉I/O引脚
 - 每个指令周期为两个时钟周期：99.9%的指令为单周期指令
 - 封装类型：14脚SOP、DIP
- 14管脚DIP 300mil：EM78P153SP
- 14管脚SOP 150mil：EM78P153SN
- 系统高低频率的变化点是400KHZ

3 管脚分配

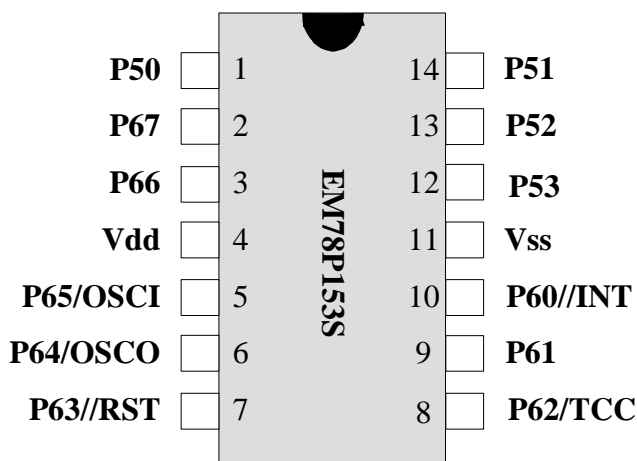


图 1 管脚分配

表1 管脚说明

Symbol	Pin No.	Type	Function
Vdd	4	-	电源提供.
P65/OSCI	5	I/O	* 一般I/O 脚. * 外部时钟信号输入. * 晶振的输入脚. * 内部上拉和漏级开路 * 脚的状态改变时从睡眠模式唤醒.
P64/OSCO	6	I/O	* 一般I/O 脚 * 外部时钟信号输入. * 晶振的输入脚. * 内部上拉和漏级开路



Symbol	Pin No.	Type	Function
			* 脚的状态改变时从睡眠模式唤醒
P63//RESET	7	I	* 如果被设置为/reset且保持在逻辑低，系统将会复位 * 脚的状态改变时从睡眠模式唤醒 * 正常模式下，/reset脚上的电压不能大于vdd * 定义为/reset时具有内部上拉功能 * P63只能是输入脚
P62/TCC	8	I/O	* 一般I/O 脚 * 内部上拉/漏级开路/内部下拉 * 脚的状态改变时从睡眠模式唤醒 * 外部定时/计数输入
P61	9	I/O	* 一般I/O 脚。 * 内部上拉/漏级开路/内部下拉。 * 脚的状态改变时从睡眠模式唤醒。 * 编程模式下为施密特触发器输入
P60//INT	10	I/O	* 一般I/O 脚。 * 内部上拉/漏级开路/内部下拉。 * 脚的状态改变时从睡眠模式唤醒。 * 编程模式下为施密特触发器输入。 * 低电平触发的外部中断脚。
P66, P67	2, 3	I/O	* 一般I/O 脚。 * 内部上拉/漏级开路 * 脚的状态改变时从睡眠模式唤醒。
P50~P53	1,14~13	I/O	* 一般I/O 脚。 * 内部下拉
P53	12	I/O	* 一般I/O 脚。
VSS	11	-	*地。

4 功能描述

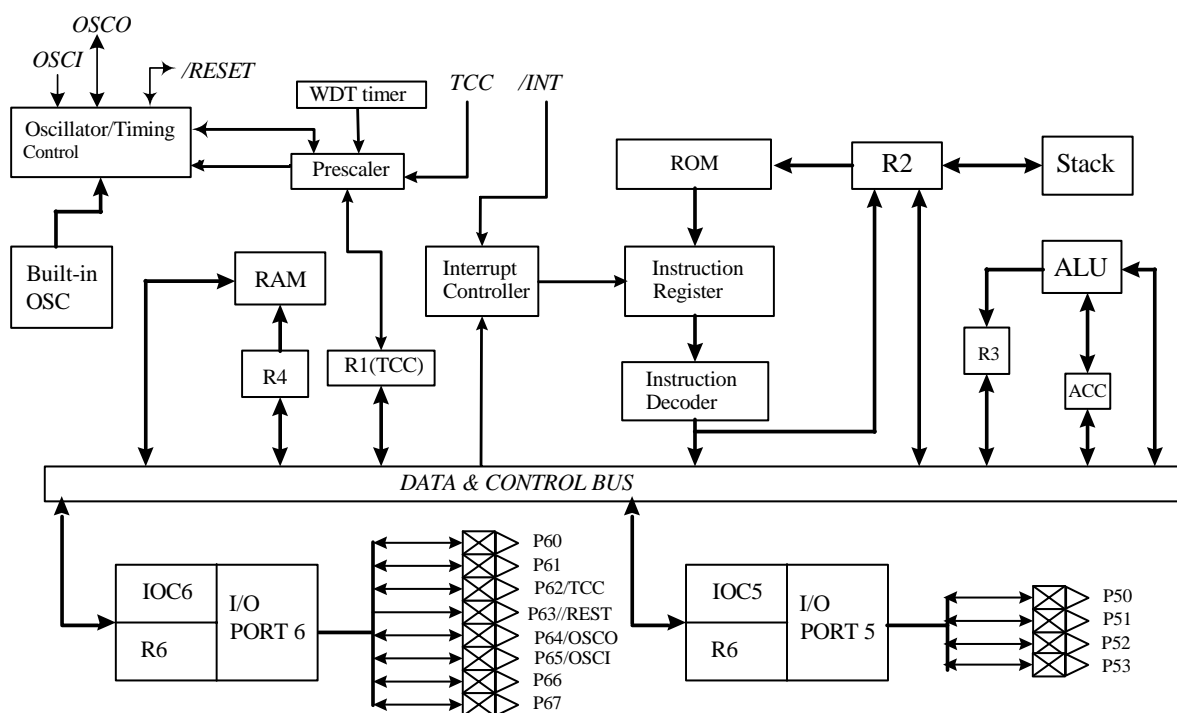


图2 功能块图

4.1 操作寄存器

4.1.1 R0 (间接地址寄存器)

R0并非实际存在的寄存器。它的主要功能是作为间接寻址指针。任何以R0作为指针的指令实际上是对R4指定的RAM寄存器进行操作

4.1.2 R1 (计时/计数器)

由TCC引脚上的信号边沿或指令周期触发产生加1操作 (CONT-4TE位定义)

和其他寄存器一样可读可写

靠清PAB (CONT-3) 定义

如果清零PAB位 (CONT-3), 预分频器分配给TCC

当TCC寄存器被写入一个值时, 预分频器的值会被清0

4.1.3 R2 (编程计数器) 与堆栈

R2和硬件堆栈有10位元宽。图3描述了其结构

产生1024x13bits片内OTP ROM地址以获取对应程式指令代码。每个程序页为1024字长

复位后R2的所有位均清“0”

“JMP”指令直接装载R2低10位。因此，“JMP”指令跳转范围为一个程序页面内

“CALL”指令加载PC的低10位，然后PC+1进入堆栈。因此，子程序的入口地址限在同一程序页面内

“RET”（“RETLK”，“RETI”）指令将栈顶数据装入PC

“ADD R2,A”允许“A”的值加到当前PC，但同时PC的第9、10比特位被清0

“MOV R2,A”允许将寄存器“A”的值装入PC的低8位，但同时PC的第9、10比特位被清0

任何对R2的内容进行直接修改的指令（如：“ADD R2,A”，“MOV R2,A”，“BC R2,6”....）都将引起PC的第9、10比特位（A8、A9）被清0。因此，产生的跳转限于同一页面的前256个地址

改变R2内容的指令需要2个指令周期，除此之外，所有的指令均只需1个指令周期

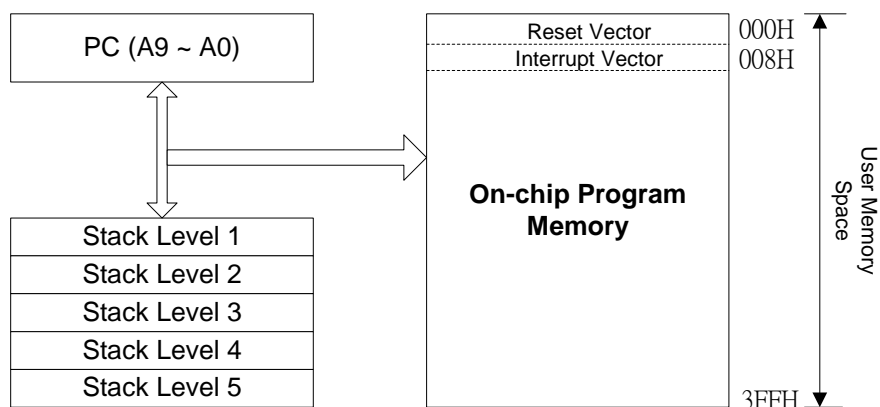


图3 程序计数器结构

Address	R PAGE registers	IOC PAGE registers
00	R0	Reserve
01	R1 (TCC)	CONT (Control Register)
02	R2 (PC)	Reserve
03	R3 (Status)	Reserve
04	R4 (RSR)	Reserve
05	R5 (Port5)	IOC5 (I/O Port Control Register)
06	R6 (Port6)	IOC6 (I/O Port Control Register)
07	Reserve	Reserve

Address	R PAGE registers	IOC PAGE registers
08	Reserve	Reserve
09	Reserve	Reserve
0A	Reserve	Reserve
0B	Reserve	IOCB (Pull-down Register)
0C	Reserve	IOCC (Open-drain Control)
0D	Reserve	IOCD (Pull-high Control Register)
0E	Reserve	IOCE (WDT Control Register)
0F	RF (Interrupt Status)	IOCF (Interrupt Mask Register)
10 : 2F	General Registers	

图 4 数据存储器的配置

4.1.4 R3 (状态寄存器)

7	6	5	4	3	2	1	0
RST	GP1	GP0	T	P	Z	DC	C

Bit0 (C) 进位标志位

Bit1 (DC) 辅助进位标志

Bit2 (Z) 零标志位

算术或逻辑操作结果为零时置为“1”

Bit3 (P) 低功耗位

在上电或执行指令“WDTC”时置为1，执行指令“SLEP”时置为0

Bit4 (T) 时间溢出位

执行指令“SLEP”和“WDTC”或上电时置‘1’，WDT时间溢出时置0

Bit5~6 (GP0~1) 通用读/写位。

Bit7 (RST) 复位类型位

若是由引脚变化从休眠状态唤醒，该位置1

其余复位类型该位清0

4.1.5 R4 (RAM 选择寄存器)

Bit0~5在间接寻址方式中用于选择RAM寄存器 (地址: 00~06, 0F~2F)

Bit6~7通用读写位

数据存储器配置见图4

4.1.6 R5~R6 (端口5~端口6)

R5和R6是I/O寄存器

只有R5的低4位可用

R5的高4位设置为0

P63只能置为输入

4.1.7 RF (中断状态寄存器)

7	6	5	4	3	2	1	0
-	-	-	-	-	EXIF	ICIF	TCIF

“1”表示有中断请求，“0”表示没有。

Bit0 (TCIF) TCC溢出中断标志。TCC溢出置1，软件清0

Bit1 (ICIF) P6口输入变化中断标志。P6口输入变化置1，软件清0

Bit2 (EXIF) 外部中断标志。由/INT引脚上的下降沿置1，软件清0

Bit3~7 未使用。

RF可软件清0，但不可置‘1’

IOCF是中断屏蔽寄存器

注意读RF的结果是RF和IOCF相与的结果

4.1.8 R10~R2F

所有这些都是8位元通用寄存器

4.2 特殊寄存器组

4.2.1 A (加法器)

内部数据传输，或者指令操作数保持

它不可以被寻址

4.2.2 CONT (控制寄存器)

7	6	5	4	3	2	1	0
-	INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit0 (PSR0) ~Bit2 (PSR2) TCC/WDT预分频器位。

PSR2	PSR1	PSR0	TCC Rate	WDT Rate
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
			1:256	1:128

Bit3 (PAB) 预分频器分配位

0 : TCC

1 : WDT

Bit4 (TE) TCC信号边沿选择位

0 : TCC引脚信号发生由低到高变化加1

1 : TCC引脚信号发生由高到低变化加1

Bit5 (TS) TCC信号源选择位

0 : 内部指令周期时钟

1 : 外部输入信号 (此时P62/TCC置为输入)

Bit6 (INT) 中断使能标志位

0 : 由DISI指令或硬件中断屏蔽

1 : 由ENI/RETI指令使能中断

Bit7 未使用

CONT寄存器可读可写

4.2.3 IOC5~IOC6 (I/O端口控制寄存器)

“1”定义对应I/O引脚为高阻状态，“0”定义其为输出

IOC5仅低4位可以定义

IOC5和IOC6寄存器可读可写

4.2.4 IOCB (下拉控制寄存器)

7	6	5	4	3	2	1	0
-	/PD6	/PD5	/PD4	-	/PD2	/PD1	/PD0

Bit0 (/PD0) P50管脚的下拉使能控制位

0：内部下拉使能

1：内部下拉禁止

Bit1 (/PD1) P51管脚的下拉使能控制位

Bit2 (/PD2) P52管脚的下拉使能控制位

Bit3 未使用。

Bit4 (/PD4) P60管脚的下拉使能控制位

Bit5 (/PD5) P61管脚的下拉使能控制位

Bit6 (/PD6) P62管脚的下拉使能控制位

Bit7 未使用

IOCB寄存器是可读可写的

4.2.5 IOCC (漏极开路控制寄存器)

7	6	5	4	3	2	1	0
OD7	OD6	OD5	OD4	-	OD2	OD1	OD0

Bit0 (OD0) P60管脚的漏极开路使能控制位

0：漏极开路输出禁止

1：漏极开路输出使能

Bit1 (OD1) P61管脚的漏极开路使能控制位

Bit2 (OD2) P62管脚的漏极开路使能控制位

Bit3 未使用

Bit4 (OD4) P64管脚的漏极开路使能控制位

Bit5 (OD5) P65管脚的漏极开路使能控制位

Bit6 (OD6) P66管脚的漏极开路使能控制位

Bit7 (OD7) P67管脚的漏极开路使能控制位

IOCC寄存器是可读可写的。

4.2.6 IOCD (上拉控制寄存器)

7	6	5	4	3	2	1	0
/PH7	/PH6	/PH5	/PH4	-	/PH2	/PH1	/PH0

Bit0 (/PH0) P60管脚的上拉使能控制位

0：内部上拉使能

1：内部上拉禁止

Bit1 (/PH1) P61管脚的上拉使能控制位

Bit2 (/PH2) P62管脚的上拉使能控制位

Bit3 未使用。

Bit4 (/PH4) P64管脚的上拉使能控制位

Bit5 (/PH5) P65管脚的上拉使能控制位

Bit6 (/PH6) P66管脚的上拉使能控制位

Bit7 (/PH7) P67管脚的上拉使能控制位

IOCD寄存器是可读可写的

4.2.7 IOCE (WDT控制寄存器)

7	6	5	4	3	2	1	0
WDTE	EIS	-	-	-	-	-	-

Bit7 (WDTE) 看门狗定时器的使能控制位

0：WDT禁止

1：WDT使能

WDTE是可读可写的。

Bit6 (EIS) P60管脚 (/INT) 功能控制位

0：P60，双向I/O管脚

1：/INT，外部中断管脚。在这种情况下，P60的I/O控制位 (IOC6的Bit0) 必须设置为“1”

当EIS为“0”时，/INT通道被屏蔽。为“1”时，/INT管脚的状态可以由P6端口读取 (R6)。参考图7

EIS是可读可写的

Bit0~5 未使用

4.2.8 IOCF (中断屏蔽寄存器)

7	6	5	4	3	2	1	0
-	-	-	-	-	EXIE	ICIE	TCIE

Bit0 (TCIE) TCIF中断使能位。

0 : TCIF中断禁止

1 : TCIF中断使能

Bit1 (ICIE) ICIF中断使能位

0 : ICIF中断禁止

1 : ICIF中断使能

Bit2 (EXIE) EXIF中断使能位

0 : EXIF中断禁止

1 : EXIF中断使能

Bit3~7 未使用

IOCF寄存器是可读可写的

4.3 TCC/WDT & 预分频器

有一个8位计数器可以作为TCC或WDT的预分频器。在同一时刻它只能提供给其中一方，这由CONT寄存器的PAB位决定。PSR0~PSR2位确定分配系数。若分配给TCC，则每次写TCC均将预分频器将被清0。若分配给WDT使用，WDT和预分频器均在执行指令“WDTC”和“SLEP”时清0。图5描述了TCC/WDT的电路图。

R1 (TCC) 是8位的定时/计数器。TCC时钟源可以是内部时钟或者外部时钟（由TCC引脚输入，触发沿可选择）。如果是内部时钟，每个指令周期TCC加1（无预分频器）。参考图5， $CLK = F_{osc}/2$ 或者 $CLK = F_{osc}/4$ 取决于CODE的操作位CLK。如果CLK位为“0”，则 $CLK = F_{osc}/2$ ，如果CLK位为“1”，则 $CLK = F_{osc}/4$ 。如果TCC的信号源来自于外部时钟输入，TCC管脚的下降沿或上升沿触发时TCC加1。

看门狗定时器是一个自由运行的片内RC振荡器。当振荡驱动器关闭时（如在休眠模式下）WDT还将保持运行。在正常操作或者休眠模式时，WDT溢出时将引起芯片复位（若WDT使能）。在正常工作时，WDT可由软件设置IOCE0的WDTE位来使能或禁止。在没有预分频器情况下，WDT溢出时间约为18ms¹（默认值）。

4.4 I/O端口

I/O寄存器组，包括端口5和端口6，都是双向三态I/O端口。P6口除了P63外都可由软件设置为内部上拉或漏极开路输出。P6口具有输入状态变化中断（或唤醒）功能。P50~52和P60~62可由软件设置为下拉。除P63外，各I/O引脚都由I/O控制寄存器（IOC5~IOC6）定义为“输入”或“输出”。I/O寄存器组和I/O控制寄存器组都可读写。I/O接口电路如图6、7、8。

¹注意：Vdd=5V，起振时间=16.5ms±30%
Vdd=3V，起振时间=18ms±30%

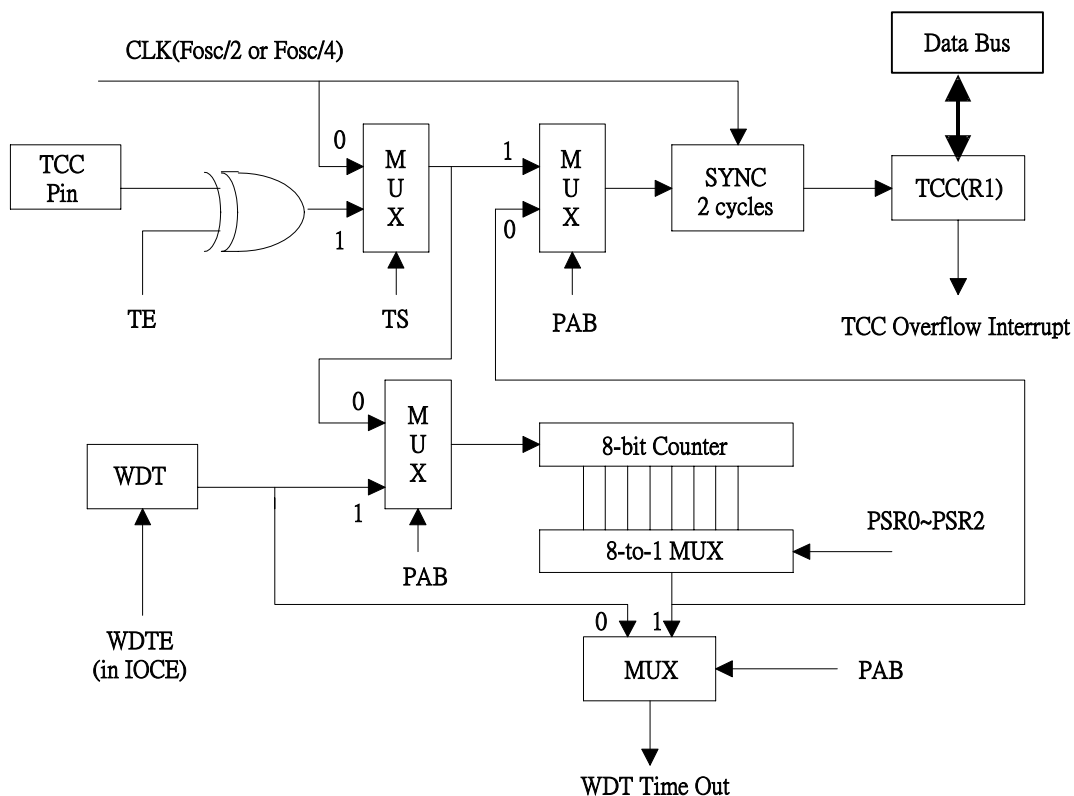
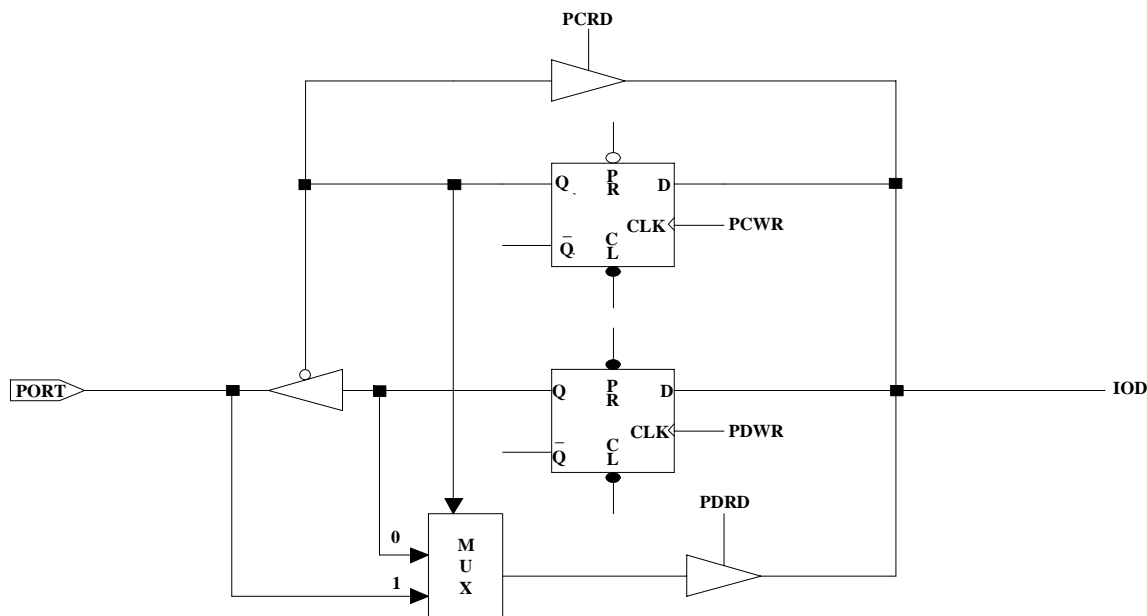
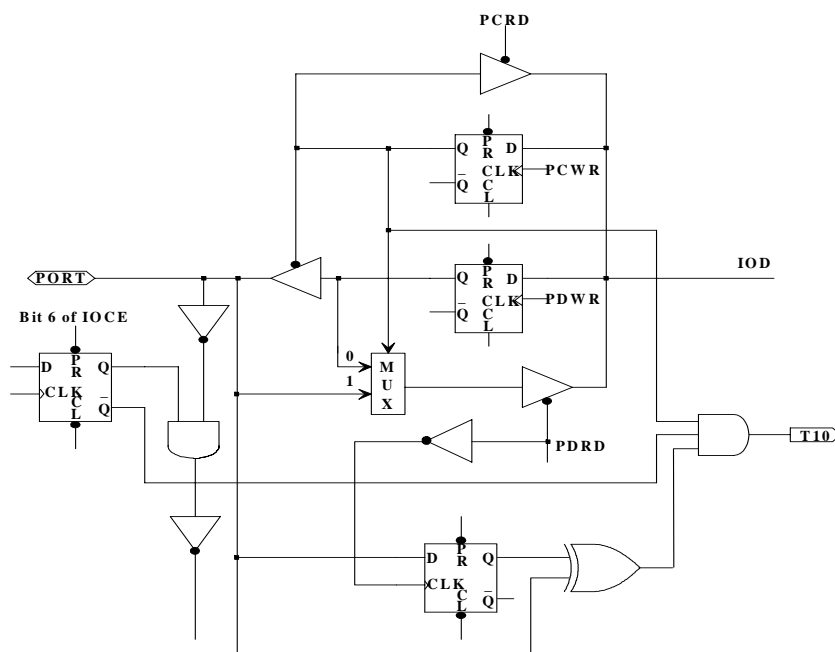


图 5 TCC 和 WDT 的模块图

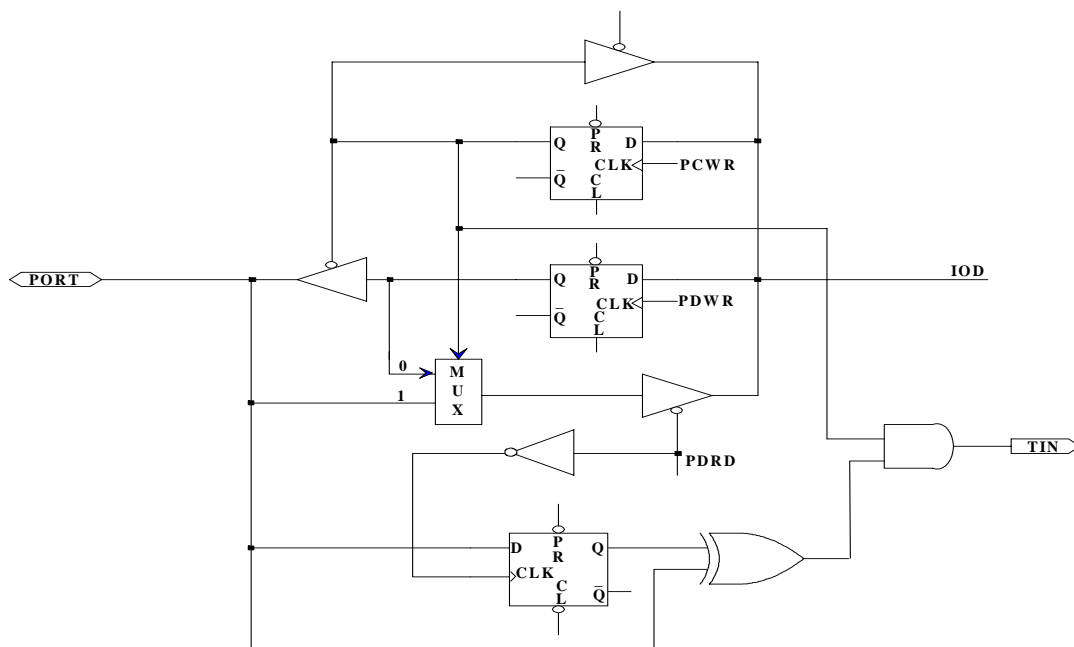


*图中未显示下拉

图 6 端口 5 的 I/O 端口和 I/O 控制寄存器的电路



*图中未显示上拉(下拉)、漏极开路
 图7 P60(/INT)的I/O端口和I/O控制寄存器电路



*图中未显示上拉(下拉)、漏极开路
 图8 P60~P67的I/O端口和I/O控制寄存器电路

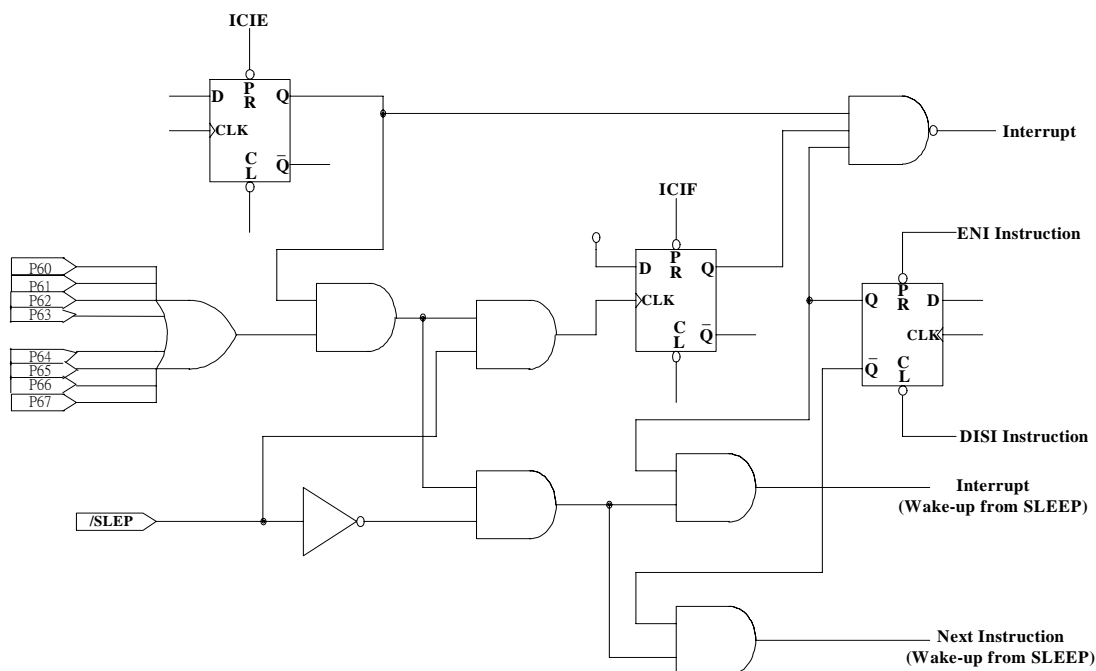


图9 输入变换中断/唤醒的端口6的I/O框图

表2 P6口输入改变引起唤醒/中断的用法

Port 6 输入状态变化唤醒/中断的用法	
<p>(I) Port 6输入状态变化唤醒</p> <p>(a) SLEEP前</p> <ol style="list-style-type: none"> 1. 关闭 WDT 2. 读 I/O Port 6 (MOV R6,R6) 3. 执行 "ENI" or "DISI"指令 4. 使能中断(Set IOCF.1) 5. 执行"SLEP" 指令 <p>(b) 唤醒后</p> <ol style="list-style-type: none"> 1. 若 "ENI" → 中断向量(008H) 2. 若 "DISI" → 下一条指令 	<p>(II) Port 6输入状态变化中断</p> <ol style="list-style-type: none"> 1. 读 I/O Port 6 (MOV R6,R6) 2. 执行 "ENI"指令 3. 使能 (Set IOCF.1) 4. 若 Port 6 变化 (中断) → 中断向量 (008H)

4.5 复位和唤醒

4.5.1 复位

复位由下面情况引起：

- (1) 上电复位
- (2) /RESET引脚输入为“低”
- (3) WDT溢出（如果使能）

参见图10，检测到复位后，系统将保持复位状态18ms²（振荡器起振时间）。一旦RESET发生，单片机系统处于如下状态：

振荡器起振，或继续振荡。

程序计数器（R2）清0

所有的I/O引脚定义为输入模式（高阻状态）。

WDT和预分频器清0

上电时，R3高3位清0

CONT寄存器除第6位（INT标志）外，全置为1

IOCB寄存器全置为“1”

IOCC寄存器清0

IOCD寄存器全置为“1”

IOCE寄存器第7位置为1，第4、6位清0

RF、IOCF寄存器的Bit0~2清0

执行“SLEP”指令可以转到休眠模式（低能耗模式）。进入休眠模式时，WDT（若使能）清0，但继续运行。单片机可被如下情况唤醒：

- (1) /RESET引脚上输入的外部复位信号
- (2) WDT溢出（若使能）
- (3) P6的输入状态改变（如果设置有效）

前面两种情况将引起EM78P153S复位。R3的T、P标志位可以用来确定复位（唤醒）源。第三种情况下唤醒后程序继续执行，由全局中断（执行“ENI”或“DISI”）来决定程序是否转入中断处理程序。如果在SLEP之前执行ENI，指令将在唤醒后从地址008H处开始执行。如果在SLEP之前执行DISI，指令将在唤醒后从SLEP的下一地址开始继续执行。

进入休眠模式之前，第2、3两种情况只有一种可被使用，即

[a] 如果休眠前P6输入唤醒使能，则WDT应由软件禁止，然而，代码选择寄存器中WDT仍为使能，因此，EM78P153S只能被第1或第3种情况唤醒。

[b] 如果WDT使能，则P6输入唤醒应禁止。因此，EM78P153S只能被第1或第2种情况唤醒。参考中断的相关部分。

如果P6口输入变化中断被用于唤醒单片机（第a种情况），则如下指令应在SLEP指令前执行：

```
MOV A,@xxxx1110b ; 选择WDT预分频，分频值必须设为超过1：1
```

```
CONTW
```

2注意：Vdd=5V，起振时间=16.5ms±30%
Vdd=3V，起振时间=18ms±30%

WDTC ; 清除WDT和预分频器

MOV A,@0xxxxxxb ; WDT禁止

IOW RE

MOV R6,R6 ; 读端口6

MOV A,@00000x1xb ; 使能P6的输入变化中断

IOW RF

ENI(或DISI) ; 使能(或禁止)全局中断

SLEP ; 进入休眠

注意：

1、从休眠模式唤醒后，WDT将自动使能。从休眠模式唤醒后，应根据需要由软件定义WDT的使能或关闭

2. 为了避免P6口输入状态改变发生中断进入中断向量或用于唤醒MCU时有复位发生，WDT分频器的比率必须大于.1：1

表3 寄存器组的初始值汇总表

Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
N/A	IOC5	Bit Name	X	X	X	X	C53	C52	C51	C50
		Power-On	0	0	0	0	1	1	1	1
		/RESET and WDT	0	0	0	0	1	1	1	1
		Wake-Up from Pin Change	0	0	0	0	P	P	P	P
N/A	IOC6	Bit Name	C67	C66	C65	C64	C63	C62	C61	C60
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x05	P5	Bit Name	X	X	X	X	P53	P52	P51	P50
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x06	P6	Bit Name	P67	P66	P65	P64	P63	P62	P61	P60
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
N/A	CONT	Bit Name	X	INT	TS	TE	PAB	PSR 2	PSR 1	PSR 0
		Power-On	1	0	1	1	1	1	1	1



Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
		/RESET and WDT	1	0	1	1	1	1	1	1
		Wake-Up from Pin Change	P	0	P	P	P	P	P	P
0x00	R0(IAR)	Bit Name	-	-	-	-	-	-	-	-
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x01	R1(TC C)	Bit Name	-	-	-	-	-	-	-	-
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x02	R2(PC)	Bit Name	-	-	-	-	-	-	-	-
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-Up from Pin Change	P	P	P	P	N	P	P	P
0x03	R3(SR)	Bit Name	RST	GP1	GP0	T	P	Z	DC	C
		Power-On	0	0	0	1	1	U	U	U
		/RESET and WDT	0	0	0	t	t	P	P	P
		Wake-Up from Pin Change	1	P	P	t	t	P	P	P
0x04	R4(RSR)	Bit Name	GP1	GP0	-	-	-	-	-	-
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0F	RF(ISR)	Bit Name	X	X	X	X	X	EXIF	ICIF	TCIF
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-Up from Pin Change	0	0	0	0	0	P	N	P
0x0B	IOCB	Bit Name	X	/PD6	/PD5	/PD4	/PD3	/PD2	/PD1	/PD0
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0C	IOCC	Bit Name	OD7	OD6	OD5	OD4	X	OD2	OD1	OD0
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0

Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0D	IOCD	Bit Name	/PH 7	/PH 6	/PH 5	/PH 4	X	/PH 2	/PH 1	/PH 0
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0E	IOCE	Bit Name	WD TE	EIS	X	X	X	X	X	X
		Power-On	1	0	1	1	1	1	1	1
		/RESET and WDT	1	0	1	1	1	1	1	1
		Wake-Up from Pin Change	1	P	1	1	1	1	1	1
0x0F	IOCF	Bit Name	X	X	X	X	X	EXI E	ICIE	TCI E
		Power-On	1	1	1	1	1	0	0	0
		/RESET and WDT	1	1	1	1	1	0	0	0
		Wake-Up from Pin Change	1	1	1	1	1	P	P	P
0x10~0x2F	R10~R 2F	Bit Name	-	-	-	-	-	-	-	-
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P

X：未使用 U：不确定或不重要 P：复位之前的值 t：查询表4

N：监视中断操作状态；1：运行，P：未运行。

4.5.2 /RESET的配置

参考图10。当代码选项OPTION中的RESET位编程为0，则使能外部/RESET。如果编程为1，则使能内部/RESET（/RESET被内部的接到Vdd），P63//RST引脚作为P63使用。

4.5.3 R3中的T、P、RST的状态

以下事件可产生RESET的动作：

- 1、上电
- 2、/RESET管脚的高-低-高脉冲
- 3、看门狗定时器溢出

表4中列出的RST、T和P的值可以用来检查处理器是如何唤醒的。表5列出了影响RST、T和P的状态的事件。

表4 RESET后RST、T和P的值

Reset Type	RST	T	P
Power on	0	1	1
/RESET during Operating mode	0	*P	*P
/RESET wake-up during SLEEP mode	0	1	0
WDT during Operating mode	0	0	P
WDT wake-up during SLEEP mode	0	0	0
Wake-Up on pin change during SLEEP mode	1	1	0

表5 复位事件及被影响的RST、T、P状态

Event	RST	T	P
Power on	0	1	1
WDTC instruction	*P	1	1
WDT time-out	0	0	*P
SLEP instruction	*P	1	0
Wake-Up on pin change during SLEEP mode	1	1	0

*P：重置之前的值

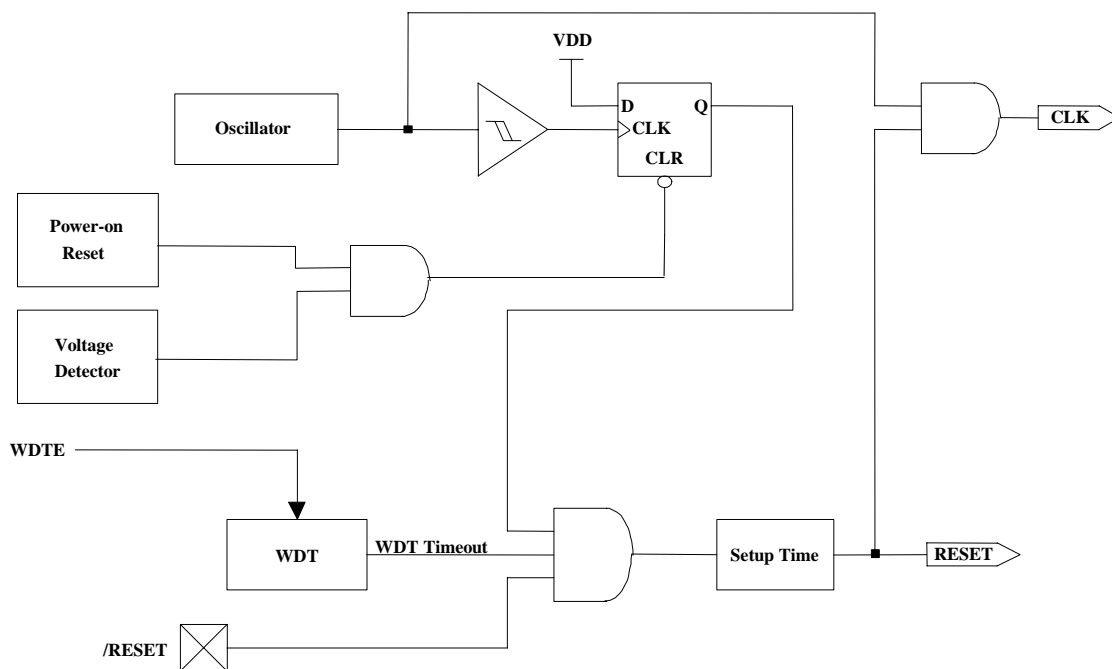


图10 复位控制器的框图

4.6 中断

以下列出了EM78P153S的三种下降沿中断：

- (1) TCC溢出中断
- (2) P6端口输入状态改变中断
- (3) 外部中断 (P60//INT引脚)

在P6口输入变化中断使能前，读P6口寄存器是必要的（例如：“MOV R6,R6”）。如果状态变化，P6口的每个引脚均可具有这一特性，处于输出状态的引脚及作/INT引脚的P60除外。如果在执行SLEP指令进入睡眠模式之前使能PORT6输入变化中断，则PORT6输入状态变化可唤醒EM78P153S。唤醒后，若全局中断禁止，则单片机执行SLEP后下一条指令，若全局中断使能，则从中断向量地址0X008起执行指令。

RF是中断状态寄存器，其各标志位记录相应的中断请求。IOCF是中断屏蔽寄存器。全局中断使能或禁止由ENI或DISI指令完成。当中断发生时，下一指令将从地址008H取出。一旦进入中断服务子程序，可以通过查询RF的标志位确定中断源。在离开中断服务子程序前必须清除中断标志位并使能中断以避免重复中断。

不管其屏蔽位状态如何或是否执行ENI，RF寄存器的相应位（ICIF除外）会由中断置位。注意读RF的值是RF和IOCF的逻辑与的结果。参见图11。RETI指令结束中断子程序并使能全局中断（ENI的执行）。

当INT指令（若使能）产生中断时，下一指令将从地址001H处取出。

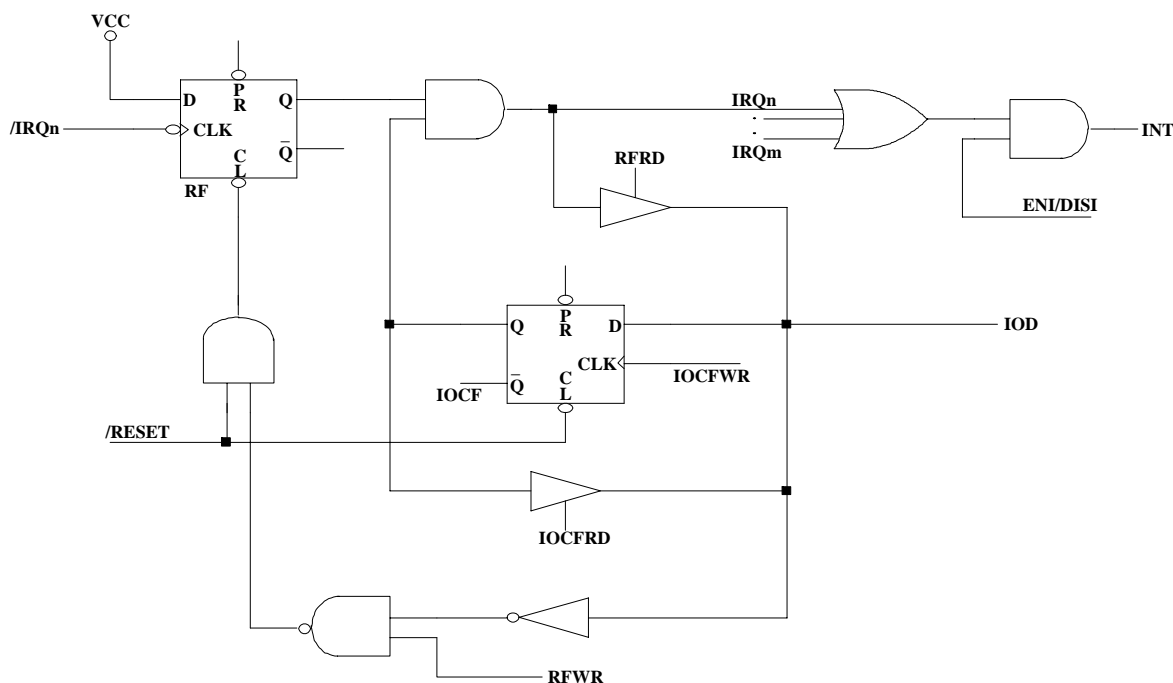


图11 中断输入电路

4.7 荡器

4.7.1 振荡器模式

EM78P153S可工作在4种振荡器模式：内部RC振荡器模式（IRC），外部RC振荡器模式（ERC），高频晶振模式（HXT）和低频晶振模式（LXT）。用户可通过对代码寄存器的OCS1和OSC2两位编程来选择。表6叙述了如何定义这4种模式。

表7给出了不同工作电压下晶振/谐振器的最高频率。

表6 由OSC1和OSC2定义的振荡器的模式

Mode	OSC1	OSC2
IRC(Internal RC oscillator mode)	1	1
ERC(External RC oscillator mode)	1	0
HXT(High XTAL oscillator mode)	0	1
LXT(Low XTAL oscillator mode)	0	0

<注意>

在HXT和LXT之间的系统频率变化分界点大约为400KHz。

表7 最大工作频率总结

Conditions	VDD	Fxt max.(MHz)
Two cycles with two clocks	2.3	4.0
	3.0	8.0
	5.0	20.0

4.7.2 晶体振荡器/陶瓷谐振器 (XTAL)

EM78P153S可被OSCI引脚上的外部时钟信号驱动，如图12所示。

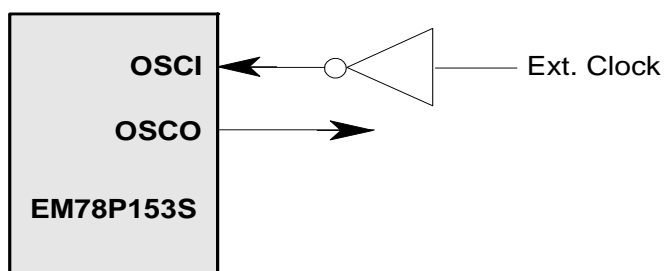


图 12 外部时钟输入电路

在大多数应用中，引脚OSCO和OSCI上可接晶体或陶瓷谐振器来产生振荡，图13为电路，不论是HXT还是LXT模式都适用。表8为C1、C2的推荐值。由于各个谐振器特性不同，用户应参照其规格选择C1、C2的合适值。串联电阻RS对于低频模式和AT strip cut晶体是需要的。

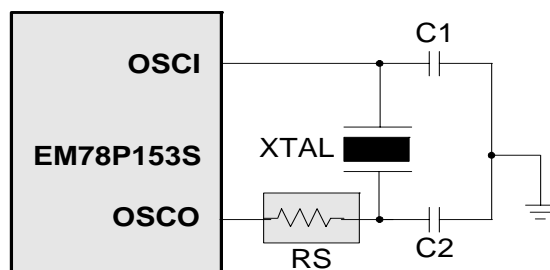


图 13 晶体/振荡器电路

表8 晶体振荡器或陶瓷振荡器的电容选择参考

Oscillator Type	Frequency Mode	Frequency	C1(pF)	C2(pF)
Ceramic Resonators	HXT	455 kHz	100~150	100~150
		2.0 MHz	20~40	20~40
		4.0 MHz	10~30	10~30
Crystal Oscillator	LXT	32.768kHz	25	15
		100KHz	25	25
		200KHz	25	25
	HXT	455KHz	20~40	20~150
		1.0MHz	15~30	15~30
		2.0MHz	15	15
		4.0MHz	15	15

<注意>

1、电容值 (C1、C2) 仅供参考。

4.7.3 外部RC振荡器模式

在一些不需要精确定时的应用中，使用RC振荡器（图16）可以节省部分费用，尽管如此，还是应该注意到，RC振荡器的频率与电压，电阻值（Rext），电容值（Cext），甚至工作温度均有关，并且各芯片之间由于生产工艺差别，频率也会发生细微变化。

为了获得稳定的系统频率，电容值不能小于20pF，电阻值不能大于1M欧。如果它们不在该范围之内，频率将很容易受噪声、湿度及漏电的影响。

RC振荡器的电阻值越小，频率越高。另一方面，对于很小的电阻值，例如1K欧姆，由于NMOS不能正确将电容放电，振荡器将变得不稳定

基于上述原因，必须牢记电源电压、工作温度、RC振荡器部件、封装形式及PCB布线方式都会影响系统频率。

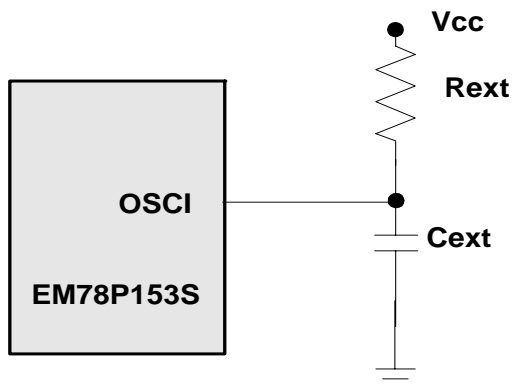


图 16 外部 RC 振荡器模式电路

表9 RC振荡器频率

Cext	Rext	Average Fosc 5V,25°C	Average Fosc 3V,25°C
20 pF	3.3k	3.92 MHz	3.63 MHz
	5.1k	2.67 MHz	2.6 MHz
	10k	1.4 MHz	1.4 MHz
	100k	150 KHz	1.56 KHz
100 pF	3.3k	1.4 MHz	1.33 MHz
	5.1k	940 KHz	917 KHz
	10k	476 KHz	480 KHz
	100k	50 KHz	52 KHz
300 pF	3.3k	595 KHz	570 KHz
	5.1k	400 KHz	384 KHz
	10k	200 KHz	203 KHz
	100k	20.9 KHz	20 KHz

注意：

- ：以上数据是基于DIP封装测量的
- ：仅供参考
- ：频率偏差大约为±30%

4.7.4 内部RC振荡器模式

EM78P153S提供内部RC模式，频率默认值为4MHz。内部RC振荡模式还有其它频率值如8MHz，1MHz和455KHz，可以通过设置OPTION的RCM1和RCM0两位来选择。对OPTION的CAL0~CAL2位编程可以校准这四种频率。表10表示不同电压、温度和工艺条件下EM78P153S的内部RC偏移率。

表1 内部RC偏移率 (Ta=25°C, VDD=5 V± 5%, VSS=0V)

Internal RC	Drift Rate			
	Temperature (0°C~70°C)	Voltage (2.3V~5.5V)	Process	Total
8MHz	± 3%	± 5%	± 10%	± 18%
4MHz	± 3%	± 5%	± 5%	± 13%
1MHz	± 3%	± 5%	± 10%	± 18%
455kHz	± 3%	± 5%	± 10%	± 18%

4.8 代码选项寄存器

EM78P153S有一个代码选择字，它不是正常程序存储器的部分。在正常程序执行期间这些选择字不能被访问。

代码选项寄存器和用户ID寄存器资源分配

Word 0	Word1	Word 2
Bit12~Bit0	Bit1~Bit0	Bit12~Bit0

4.8.1 代码选项寄存器 (Word0)

WORD 0												
Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
/RESET	/ENWDT	CLKS	OSC1	OCS0	CS	SUT1	SUT0	TYPE	RCOUT	C2	C1	C0

Bit 12(/RESET)：定义第7引脚为复位脚。

0：/RESET使能

1：/RESET禁止

Bit11(/ENWTD)：看门狗定时器使能位。

0：使能

1：禁止

<注意>

若使用PORT6引脚状态变化唤醒功能，该位必须使能，WDTE (IOCE寄存器第6位) 必须禁止。

Bit 10(CLKS)：指令周期选择位。

0：2个振荡器周期

1：4个振荡器周期

参考指令设置部分。

Bit 9和Bit 8(OSC1和OSC0)：振荡模式选择位。

表11 由OSC1和OSC0定义的振荡器模式

Mode	OSC1	OSC0
IRC(Internal RC oscillator mode)	1	1
ERC(External RC oscillator mode)	1	0
HXT(High XTAL oscillator mode)	0	1
LXT(Low XTAL oscillator mode)	0	0

〈注意〉

在HXT和LXT之间的系统频率分界点大约为400KHz。

Bit 7(CS)：加密位

0：加密

1：不加密

Bit 6和Bit 5 (SUT1和SUT0)：芯片起振时间选择位。

表12 可编程的芯片起振时间

SUT1	SUT0	*Set-Up Time
1	1	18 ms
1	0	4.5 ms
0	1	288 ms
0	0	72 ms

*理论值，仅供参考

Bit 4(类型):EM78P153S的类型选择位。

TYPE	Series
0	EM78P153S
1	X

Bit 3(ROUT)：振荡器输出或I/O端口的选择位。

RCOUT	Pin Function
0	P64
1	OSCO

Bit 2、1、0 (C2,C1,C0) : 内部RC模式的校准位。

C2、C1、C0只能被置为1

4.8.2 代码选择寄存器 (WORD 1)

WORD1	
Bit1	Bit0
RCM1	RCM0

Bit 1和Bit 0 (RCM1 RCM0) : RC模式选择位。

RCM 1	RCM 0	*Frequency(MHz)
1	1	4
1	0	8
0	1	1
0	0	455kHz

4.8.3 用户ID寄存器 (Word 2)

Bit 12~Bit 0
XXXXXXXXXXXX

Bit 12~0 : 用户的ID代码

4.9 上电问题

在电源稳定之前，任何单片机均不能保证开始正常工作。用户使用过程中，关闭电源，VDD会掉至1.8V以下，电源在再次开启前会关闭状态会保持10us，这样，EM78P153S将复位并正常工作。如果Vdd上升的足够快（50ms 或更少），额外的外部复位电路将正常工作。然而，在许多要求严格的应用中，还是需要附加的外部电路来帮助解决上电问题。

4.10 可编程振荡器的建立时间

代码选择字包含SUT0和SUT1，用于设置振荡器的建立时间，理论上说，其范围从4.5ms到72ms。对大多数晶荡或陶振，工作频率越低，起振需要的时间越长。表12说明了振荡器的建立时间值。

4.11 外部上电复位电路

图17所示的电路使用了外部RC产生复位脉冲。脉冲宽度应足够长，直到Vdd达到最低工作电压。当电压上升慢时，可使用该电路。由于/RESET引脚的漏电流约为±5uA，建议R不应大于40K。这样，引脚/RESET上电压将保持在0.2V以下。二极管D作用是在掉电

时充当短路回路。电容C将快速充分放电。限流电阻R1用来避免过大的放电电流或静电放电ESD流入引脚/RESET。

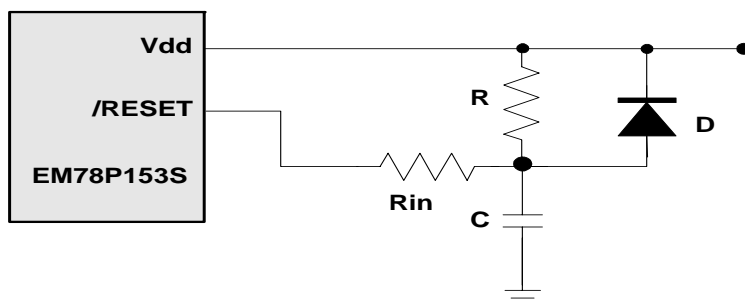


图 17 外部电源重置上电复位电路

4.12 残余电压保护

更换电池时，Vdd断开后仍有一个小于Vdd最小值但又不为0的残存电压。这将引起不正常复位。图18、19为残存电压保护电路。

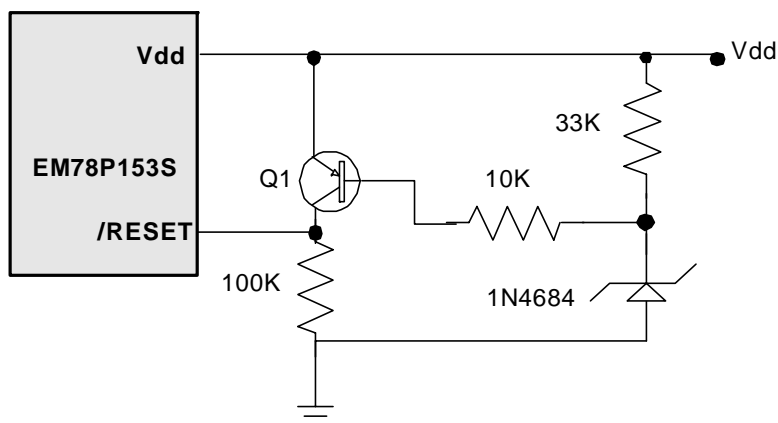


图 18 残余电压保护的电路 1

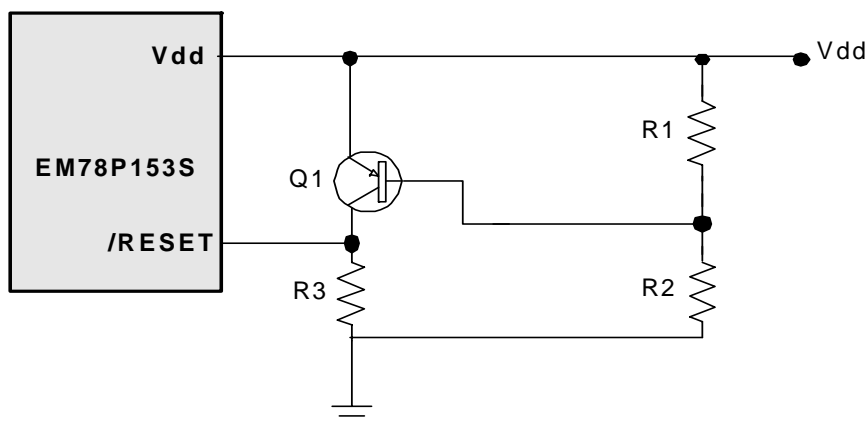


图 19 残余电压保护的电路 2

4.13 指令集

指令集中的每个指令都是13位的字长，由一个操作代码和一个或多个的操作数组成。通常，指令的执行时间都在1个指令周期内（一个指令周期包含2个振荡器周期），除了改变程序计数器R2数值的指令如"MOV R2,A", "ADD R2,A"，或者是对R2进行算术或逻辑操作的指令(如："SUB R2,A", "BS(C) R2,6", "CLR R2", ...)。这些情况，指令执行需要2个指令周期。

在有些情况下，如果指令周期的规格不符合某些应用要求，可以通过以下方式进行改变：

(A)使一个指令周期由4个振荡器周期组成。

(B)“JMP”，“CALL”，“RET”，“RETL”，“RETI”和条件跳转指令（“JBS”，“JBC”，“JZ”，“JZA”，“DJZ”，“DJZA”）检测为真时执行两个指令周期。写程序计数器的指令同样需要两个指令周期。

情况（A）由CODE选项的CLKS位选择。如果CLKS为低，一个指令周期由两个振荡器时钟组成，如果CLKS为高，一个指令周期由四个振荡器时钟组成。

注意一旦选择情况（A）中的一个指令周期包含4个振荡器周期，TCC的内部时钟源就是 $CLK=F_{osc}/4$ ，而不是 $F_{osc}/2$ ，如图5所示。

同时，指令集还具有以下特征：

(1)任何寄存器的每一位都可以被置1、清0或直接检测。

(2) I/O寄存器组可以作为通用寄存器组。即同样的指令可对I/O寄存器操作

符号“R”表示一个寄存器指示器，它指示指令使用的是哪个寄存器（包括操作寄存器组和通用寄存器组）。符号“b”表示一个位指示器，它指示对应于寄存器“R”的相应位，它会影响操作。符号“k”表示一个8或10位的常数或符号值。



INSTRUCTION BINARY	HEX	MNEMONIC	OPERATION	STATUS AFFECTED
0 0000 0000 0000	0000	NOP	No Operation	None
0 0000 0000 0001	0001	DAA	Decimal Adjust A	C
0 0000 0000 0010	0002	CONTW	A → CONT	None
0 0000 0000 0011	0003	SLEP	0 → WDT, Stop oscillator	T,P
0 0000 0000 0100	0004	WDTC	0 → WDT	T,P
0 0000 0000 rrrr	000r	IOW R	A → IOCR	None <Note1>
0 0000 0001 0000	0010	ENI	Enable Interrupt	None
0 0000 0001 0001	0011	DISI	Disable Interrupt	None
0 0000 0001 0010	0012	RET	[Top of Stack] → PC	None
0 0000 0001 0011	0013	RETI	[Top of Stack] → PC, Enable Interrupt	None
0 0000 0001 0100	0014	CONTR	CONT → A	None
0 0000 0001 rrrr	001r	IOR R	IOCR → A	None <Note1>
0 0000 01rr rrrr	00rr	MOV R,A	A → R	None
0 0000 1000 0000	0080	CLRA	0 → A	Z
0 0000 11rr rrrr	00rr	CLR R	0 → R	Z
0 0001 00rr rrrr	01rr	SUB A,R	R-A → A	Z,C,DC
0 0001 01rr rrrr	01rr	SUB R,A	R-A → R	Z,C,DC
0 0001 10rr rrrr	01rr	DECA R	R-1 → A	Z
0 0001 11rr rrrr	01rr	DEC R	R-1 → R	Z
0 0010 00rr rrrr	02rr	OR A,R	A ∨ VR → A	Z
0 0010 01rr rrrr	02rr	OR R,A	A ∨ VR → R	Z
0 0010 10rr rrrr	02rr	AND A,R	A & R → A	Z
0 0010 11rr rrrr	02rr	AND R,A	A & R → R	Z
0 0011 00rr rrrr	03rr	XOR A,R	A ⊕ R → A	Z
0 0011 01rr rrrr	03rr	XOR R,A	A ⊕ R → R	Z
0 0011 10rr rrrr	03rr	ADD A,R	A + R → A	Z,C,DC
0 0011 11rr rrrr	03rr	ADD R,A	A + R → R	Z,C,DC
0 0100 00rr rrrr	04rr	MOV A,R	R → A	Z
0 0100 01rr rrrr	04rr	MOV R,R	R → R	Z
0 0100 10rr rrrr	04rr	COMA R	/R → A	Z
0 0100 11rr rrrr	04rr	COM R	/R → R	Z
0 0101 00rr rrrr	05rr	INCA R	R+1 → A	Z
0 0101 01rr rrrr	05rr	INC R	R+1 → R	Z
0 0101 10rr rrrr	05rr	DJZA R	R-1 → A, skip if zero	None
0 0101 11rr rrrr	05rr	DJZ R	R-1 → R, skip if zero	None
0 0110 00rr rrrr	06rr	RRCA R	R(n) → A(n-1), R(0) → C, C → A(7)	C
0 0110 01rr rrrr	06rr	RRC R	R(n) → R(n-1), R(0) → C, C → R(7)	C
0 0110 10rr rrrr	06rr	RLCA R	R(n) → A(n+1), R(7) → C, C → A(0)	C
0 0110 11rr rrrr	06rr	RLC R	R(n) → R(n+1), R(7) → C, C → R(0)	C
0 0111 00rr rrrr	07rr	SWAPA R	R(0-3) → A(4-7), R(4-7) → A(0-3)	None

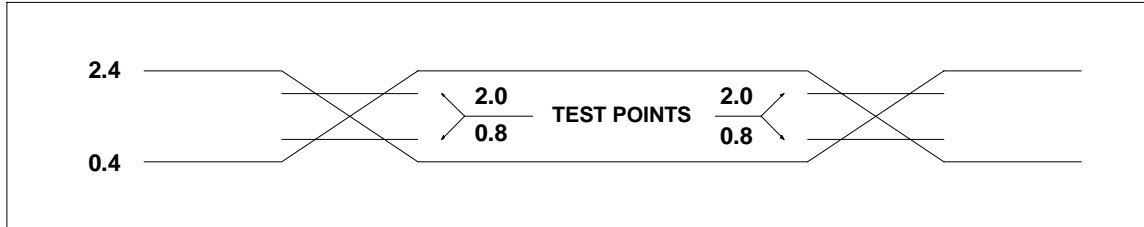
INSTRUCTION BINARY	HEX	MNEMONIC	OPERATION	STATUS AFFECTED
0 0111 01rr rrrr	07rr	SWAP R	R(0-3) \leftrightarrow R(4-7)	None
0 0111 10rr rrrr	07rr	JZA R	R+1 \rightarrow A, skip if zero	None
0 0111 11rr rrrr	07rr	JZ R	R+1 \rightarrow R, skip if zero	None
0 100b brrr rrrr	0xxx	BC R,b	0 \rightarrow R(b)	None <Note2>
0 101b brrr rrrr	0xxx	BS R,b	1 \rightarrow R(b)	None <Note3>
0 110b brrr rrrr	0xxx	JBC R,b	if R(b)=0, skip	None
0 111b brrr rrrr	0xxx	JBS R,b	if R(b)=1, skip	None
1 00kk kkkk kkkk	1kkk	CALL k	PC+1 \rightarrow [SP],(Page, k) \rightarrow PC	None
1 01kk kkkk kkkk	1kkk	JMP k	(Page, k) \rightarrow PC	None
1 1000 kkkk kkkk	18kk	MOV A,k	k \rightarrow A	None
1 1001 kkkk kkkk	19kk	OR A,k	A \vee k \rightarrow A	Z
1 1010 kkkk kkkk	1Akk	AND A,k	A & k \rightarrow A	Z
1 1011 kkkk kkkk	1Bkk	XOR A,k	A \oplus k \rightarrow A	Z
1 1100 kkkk kkkk	1Ckk	RETL k	k \rightarrow A,[Top of Stack] \rightarrow PC	None
1 1101 kkkk kkkk	1Dkk	SUB A,k	k-A \rightarrow A	Z,C,DC
1 1110 0000 0001	1E01	INT	PC+1 \rightarrow [SP],001H \rightarrow PC	None
1 1111 kkkk kkkk	1Fkk	ADD A,k	k+A \rightarrow A	Z,C,DC

<注意>

- 此指令只适用于IOC5~IOC6，IOCB~IOCF。
- 建议此指令不用于RF。
- 此指令不能操作RF。

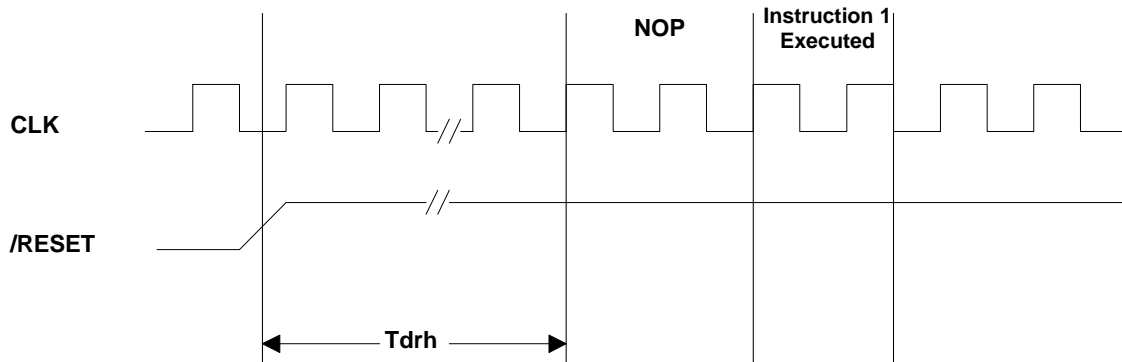
4.14 时序图

AC Test Input/Output Waveform

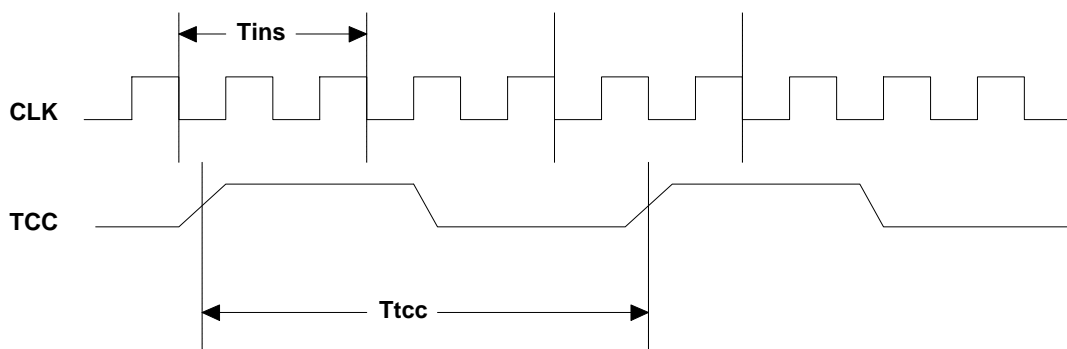


AC Testing : Input is driven at 2.4V for logic "1",and 0.4V for logic "0".Timing measurements are made at 2.0V for logic "1",and 0.8V for logic "0".

RESET Timing (CLK="0")



TCC Input Timing (CLKS="0")



5 绝对最大范围

Items	Rating
Temperature under bias	0°C to 70°C
Storage temperature	-65°C to 150°C
Input voltage	-0.3V to +6.0V
Output voltage	-0.3V to +6.0V

6 电气特性

6.1 DC电气特征

(Ta = 0°C ~ 70 °C, VDD= 5.0V±5%, VSS= 0V)

Symbol	Parameter	Condition	Min	Typ	Max	Unit
Fxt	XTAL: VDD to 2.3V	Two cycle with two clocks	DC		4.0	MHz
Fxt	XTAL: VDD to 3V	Two cycle with two clocks	DC		8.0	MHz
Fxt	XTAL: VDD to 5V	Two cycle with two clocks	DC		20.0	MHz
ERC	RC: VDD to 5V	R: 5KΩ, C: 39 pF	F-30%	1500	F+30%	KHz
IIL	Input Leakage Current for input pins	VIN = VDD, VSS			±1	μA
VIH1	Input High Voltage (VDD=5.0V)	Ports 5, 6	2.0			V
VIL1	Input Low Voltage (VDD=5.0V)	Ports 5, 6			0.8	V
VIHT1	Input High Threshold Voltage (VDD=5.0V)	/RESET, TCC (Schmitt trigger)	2.0			V
VILT1	Input Low Threshold Voltage (VDD=5.0V)	/RESET, TCC (Schmitt trigger)			0.8	V
VIHX1	Clock Input High Voltage (VDD=5.0V)	OSCI	2.5			V
VILX1	Clock Input Low Voltage (VDD=5.0V)	OSCI			1.0	V
VIH2	Input High Voltage (VDD=3.0V)	Ports 5, 6	1.5			V
VIL2	Input Low Voltage (VDD=3.0V)	Ports 5, 6			0.4	V
VIHT2	Input High Threshold Voltage (VDD=3.0V)	/RESET, TCC (Schmitt trigger)	1.5			V
VILT2	Input Low Threshold Voltage (VDD=3.0V)	/RESET, TCC (Schmitt trigger)			0.4	V
VIHX2	Clock Input High Voltage (VDD=3.0V)	OSCI	1.5			V
VILX2	Clock Input Low Voltage (VDD=3.0V)	OSCI			0.6	V
VOH1	Output High Voltage (Ports 5, 6) (P60~P63, P66~P67 are Schmitt trigger)	IOH = -12.0 mA	2.4			V
VOL1	Output Low Voltage (P50~P53, P60~P63, P66~P67), (P60~P63, P66~P67 are Schmitt trigger)	IOL = 12.0 mA			0.4	V
VOL2	Output Low Voltage (P64,P65)	IOL = 16.0 mA			0.4	V
IPH	Pull-high current	Pull-high active, input pin at VSS	-50	-100	-240	μA
IPD	Pull-down current	Pull-down active, input pin at VDD	20	50	120	μA



Symbol	Parameter	Condition	Min	Typ	Max	Unit
ISB1	Power down current	All input and I/O pins at VDD, output pin floating, WDT disabled			1	μA
ISB2	Power down current	All input and I/O pins at VDD, output pin floating, WDT enabled			10	μA
ICC1	Operating supply current(VDD=3V) at two clocks	/RESET= 'High', Fosc=32KHz (Crystal type,CLKS="0"), output pin floating, WDT disabled	15	15	30	μA
ICC2	Operating supply current (VDD=3V) at two clocks	/RESET= 'High', Fosc=32KHz (Crystal type,CLKS="0"), output pin floating, WDT enabled		19	35	μA
ICC3	Operating supply current(VDD=5.0V) At two clocks	/RESET= 'High', Fosc=4MHz (Crystal type, CLKS="0"), output pin floating			2.0	mA
ICC4	Operating supply current(VDD=5.0V) at two clocks	/RESET= 'High', Fosc=10MHz (Crystal type, CLKS="0"), output pin floating			4.0	mA

* 这是参数是已经测试的特性值

* 最小，典型，最大栏的数据是在25°C时获得的结果。这些数据用于指导设计，已经过测试

6.2 AC电气特征

(Ta=0°C ~ 70 °C, VDD=5V±5%, VSS=0V)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
Dclk	Input CLK duty cycle		45	50	55	%
Tins	Instruction cycle time (CLKS="0")	Crystal type	100		DC	ns
		RC type	500		DC	ns
Ttcc	TCC input period		(Tins+20)/N*			ns
Tdrh	Device reset hold time	Ta = 25°C TXAL,SUT1,SUT0=1,1	17.6-30%	17.6	17.6+30%	ms
Trst	/RESET pulse width	Ta = 25°C	2000			ns
Twdt1*	Watchdog timer period	Ta = 25°C SUT1,SUT0=1,1	17.6-30%	17.6	17.6+30%	ms
Twdt2*	Watchdog timer period	Ta = 25°C SUT1,SUT0=1,0	4.5-30%	4.5	4.5+30%	ms
Twdt3*	Watchdog timer period	Ta = 25°C SUT1,SUT0=0,1	288-30%	288	288+30%	ms
Twdt4*	Watchdog timer period	Ta = 25°C SUT1,SUT0=0,0	72-30%	72	72+30%	ms
Tset	Input pin setup time			0		ns
Thold	Input pin hold time			20		ns
Tdelay	Output pin delay time	Cload=20pF		50		ns

- * Twdt1: 选项字 (SUT1,SUT0)用来定义振荡器起振时间，在晶振模式中，WDT溢出时间长度等于启动时间（18ms）
- * Twdt2: 选项字 (SUT1,SUT0)用来定义振荡器起振时间，在晶振模式中，WDT溢出时间长度等于启动时间（4.5ms）
- * Twdt3: 选项字 (SUT1,SUT0)用来定义振荡器起振时间，在晶振模式中，WDT溢出时间长度等于启动时间（288ms）。
- * Twdt4: 选项字 (SUT1,SUT0)用来定义振荡器起振时间，在晶振模式中，WDT溢出时间长度等于启动时间（72ms）
- * 这是参数是已经测试的特性值
- * 最小、典型、最大栏的数据是在25°C时获得的结果。这些数据用于指导设计，未经测试
- * N= 选择的预分频比率
- * 看门狗定时器的持续时间由选择代码（Bit6和Bit5）决定。

6.3 IC特性

下面几张图基于有限采样点数生成，仅供参考。并不能保证在此所述设备特性的精确性，某些图中的数据可能超出具体保证的操作范围

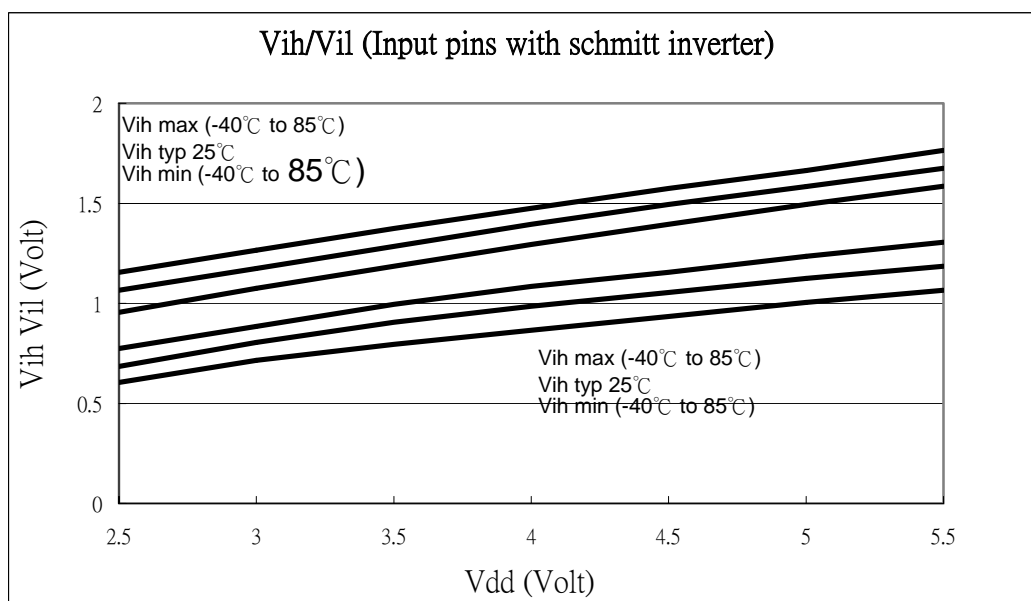


Fig. 18 Vih, Vil of P60~P63, P66, P67 vs. VDD

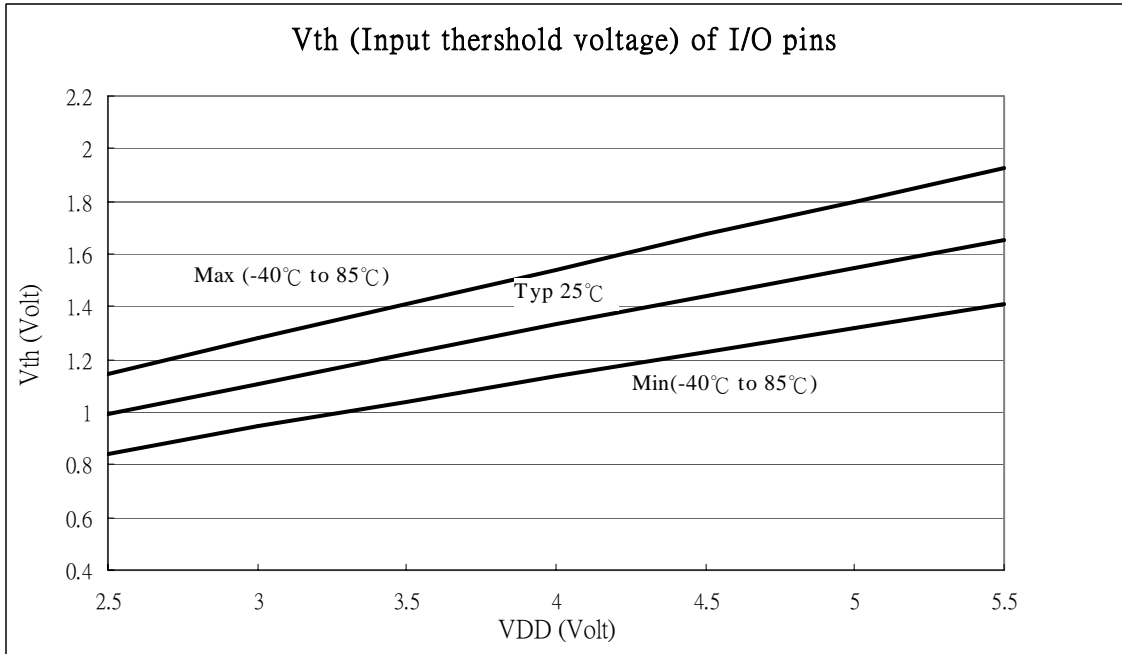


Fig. 19 Vth (Threshold voltage) of P50~P53, P64~P65 vs. VDD

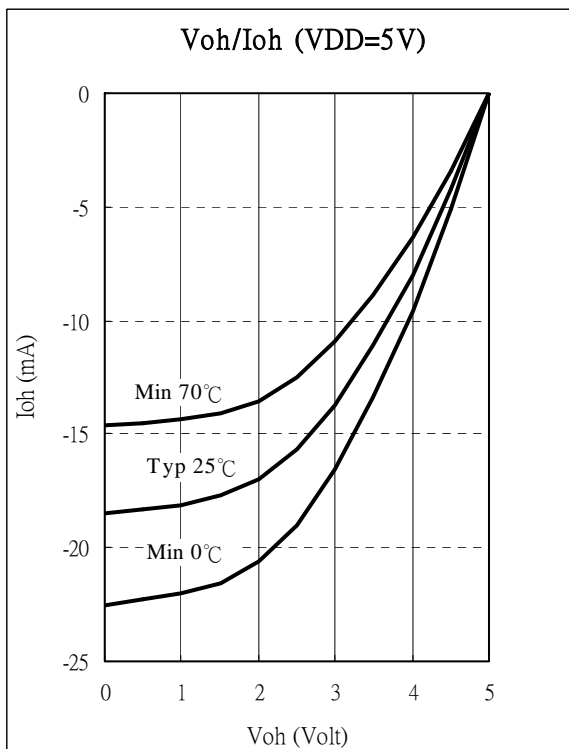


Fig.20 Port5 and Port6 Voh vs. Ioh, VDD=5V

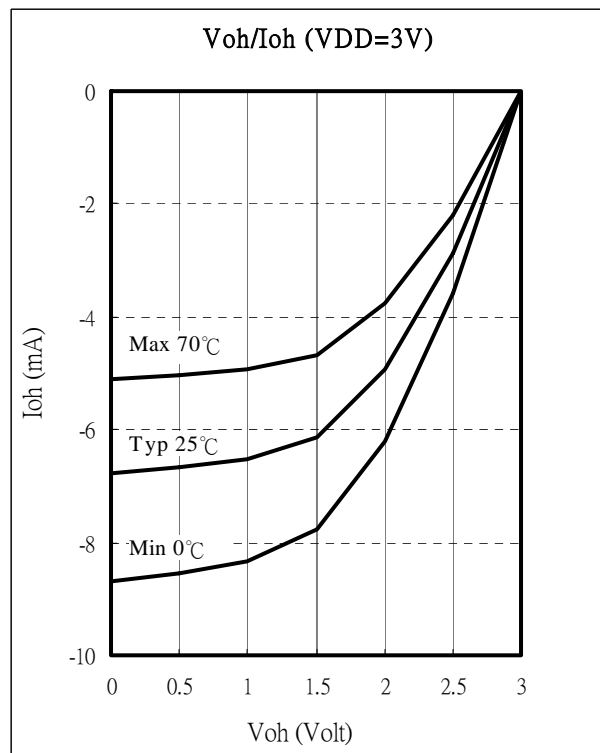


Fig. 21 Port5 and Port6 Voh vs. Ioh, VDD=3V

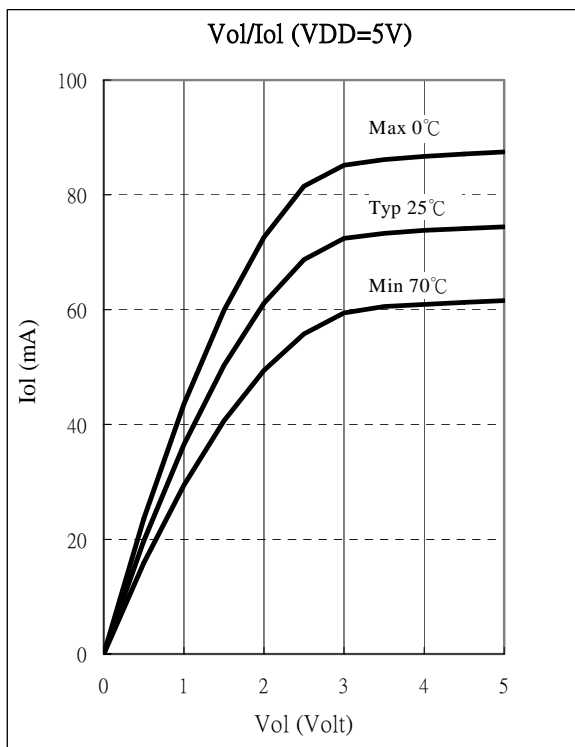


Fig. 22 Port5, Port6.0~Port6.3 and Port6.6~Port6.7 Vol vs. IoI, VDD=5V

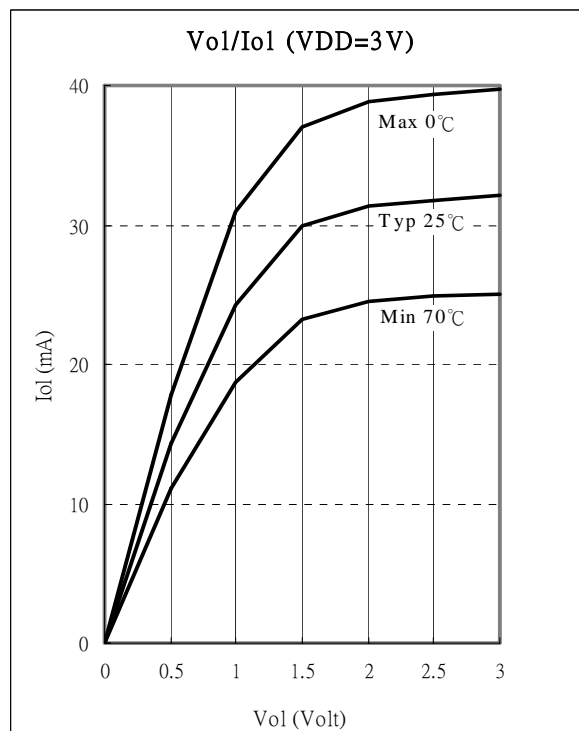


Fig. 23 Port5, Port6.0~Port6.3 and Port6.6~Port6.7 Vol vs. IoI, VDD=3V

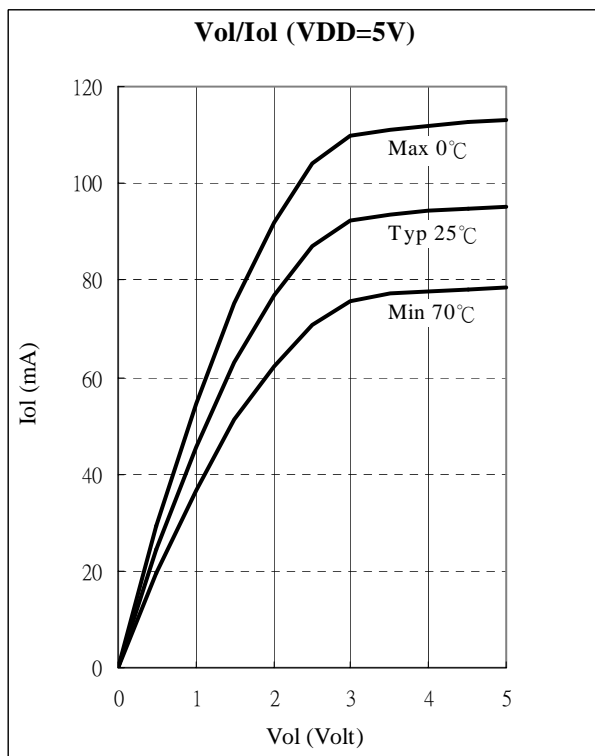


Fig. 24 Port6.4 and Port6.5 Vol vs. IoI, VDD=5V

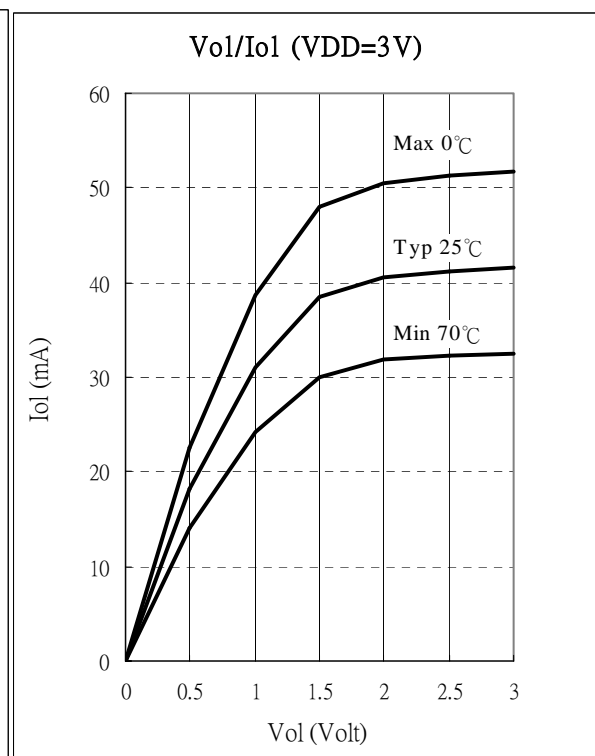


Fig. 25 Port6.4 and Port6.5 Vol vs. IoI, VDD=3V

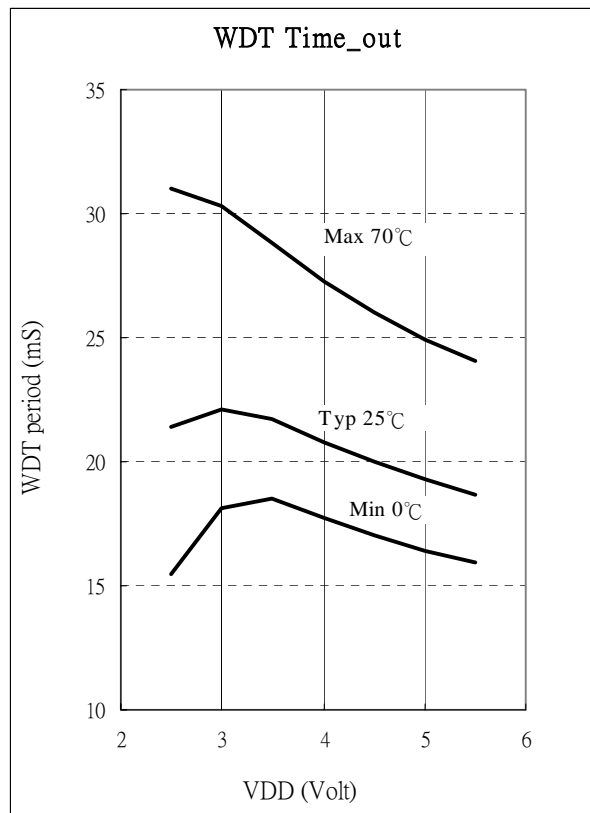


Fig. 26 WDT time out period vs. VDD,
perscaler set to 1:1

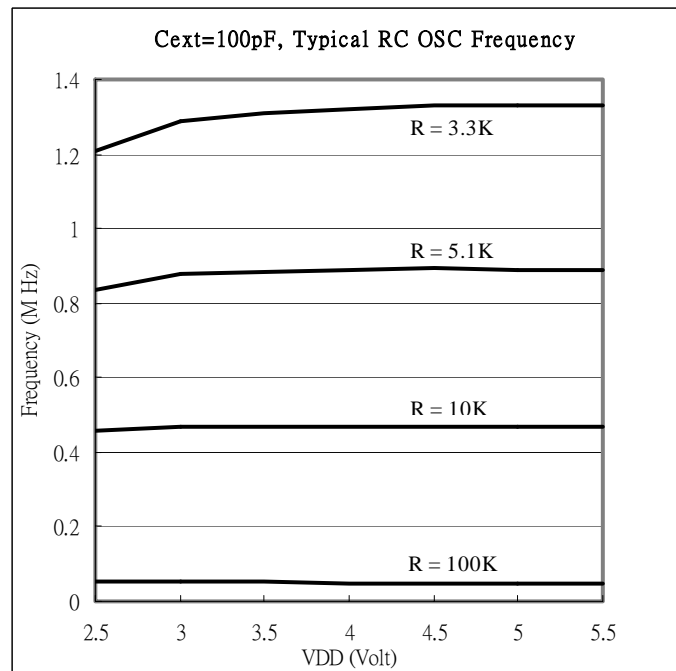


Fig. 27 Typical RC OSC Frequency vs. VDD
(Cext=100pF, Temperature at 25°C)

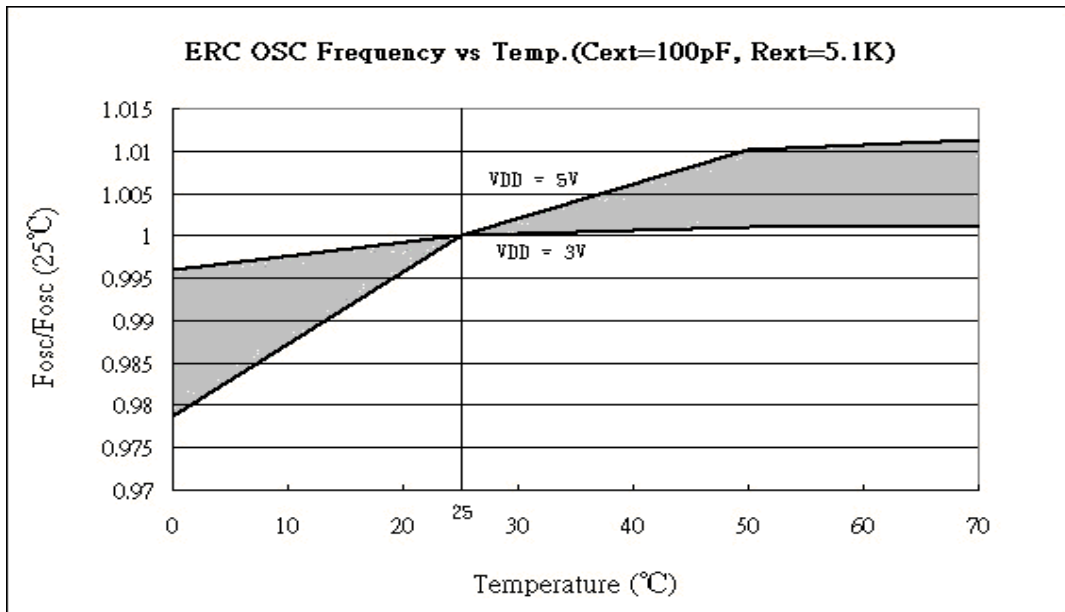


Fig. 28 Typical RC OSC Frequency vs. Temperature (R and C are ideal components)

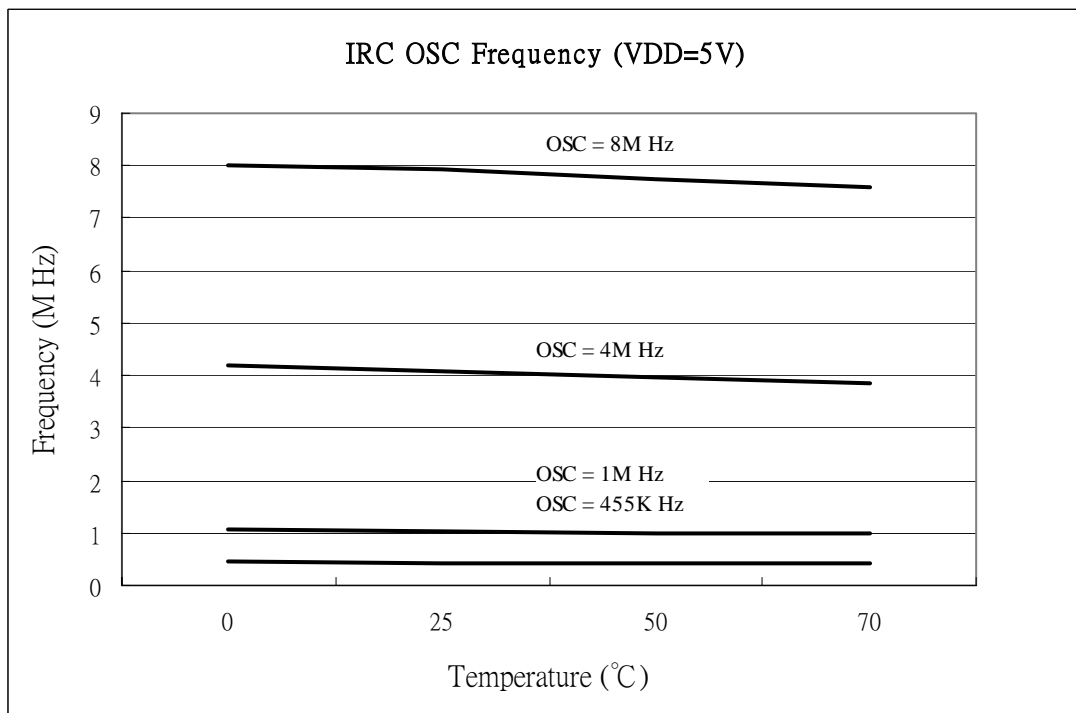


Fig. 29 Internal RC OSC Frequency vs. Temperature, VDD=5V

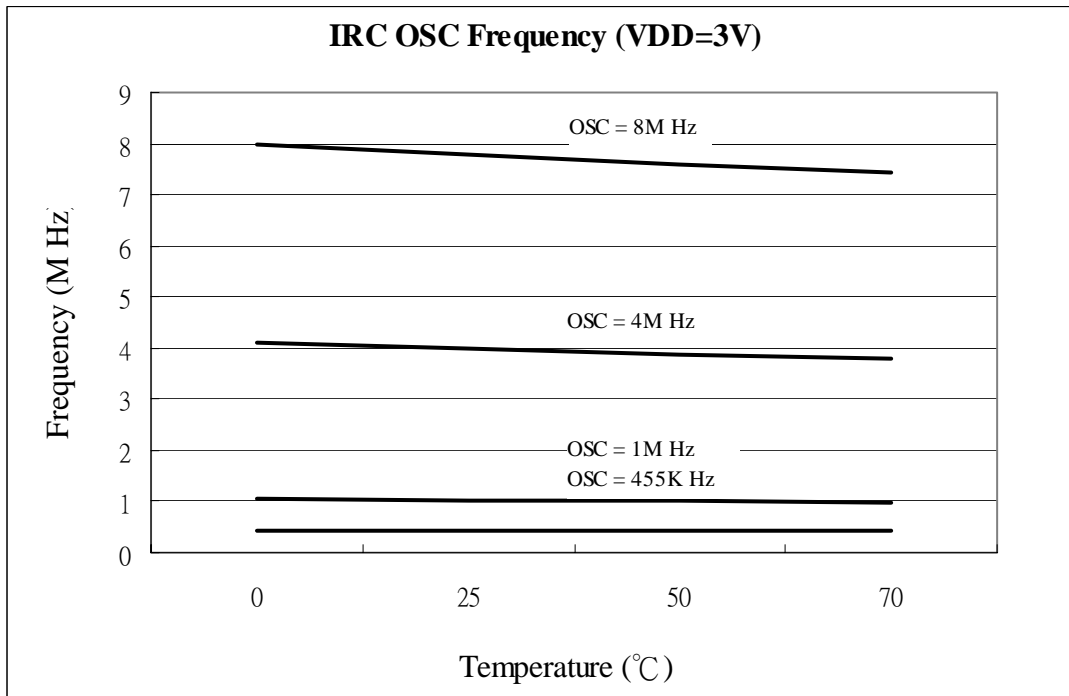


Fig. 30 Internal RC OSC Frequency vs. Temperature, VDD=3V

Four conditions exist with the Operating Current ICC1 to ICC4. These conditions are as follows:

ICC1: VDD=3V, Fosc=32K Hz, 2 clocks, WDT disable

ICC2: VDD=3V, Fosc=32K Hz, 2 clocks, WDT enable

ICC3: VDD=5V, Fosc=4M Hz, 2 clocks, WDT enable

ICC4: VDD=5V, Fosc=10M Hz, 2 clocks, WDT enable

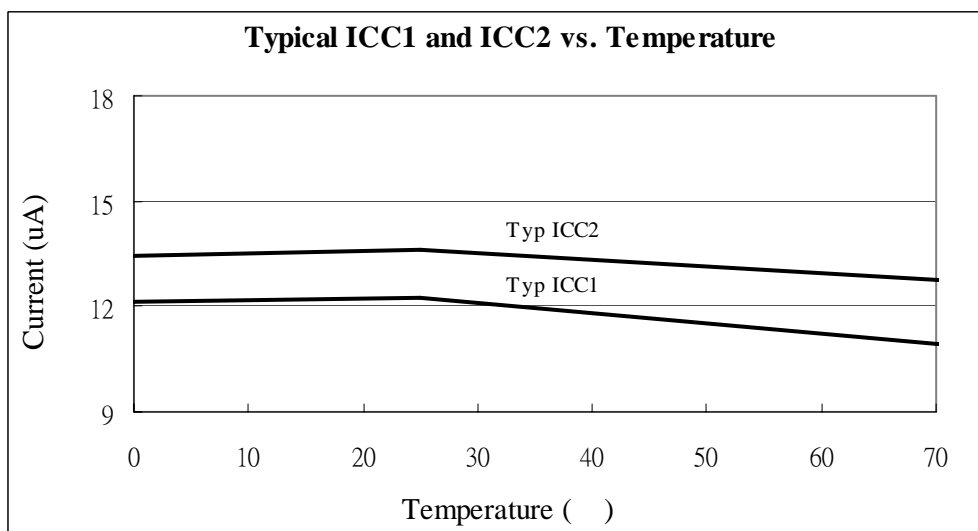


Fig. 31 Typical operating current (ICC1 and ICC2) vs. Temperature

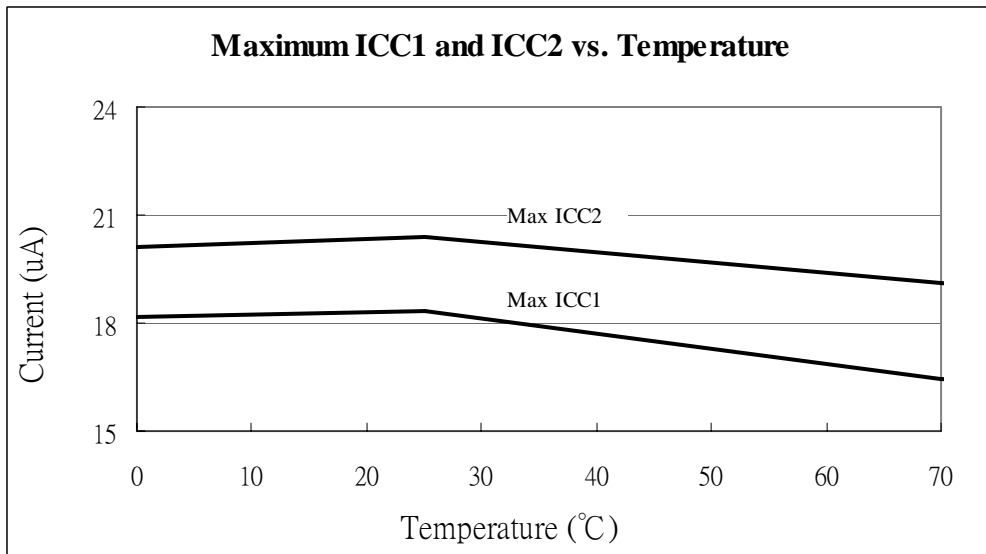


Fig. 32 Maximum operating current (ICC1 and ICC2) vs. Temperature

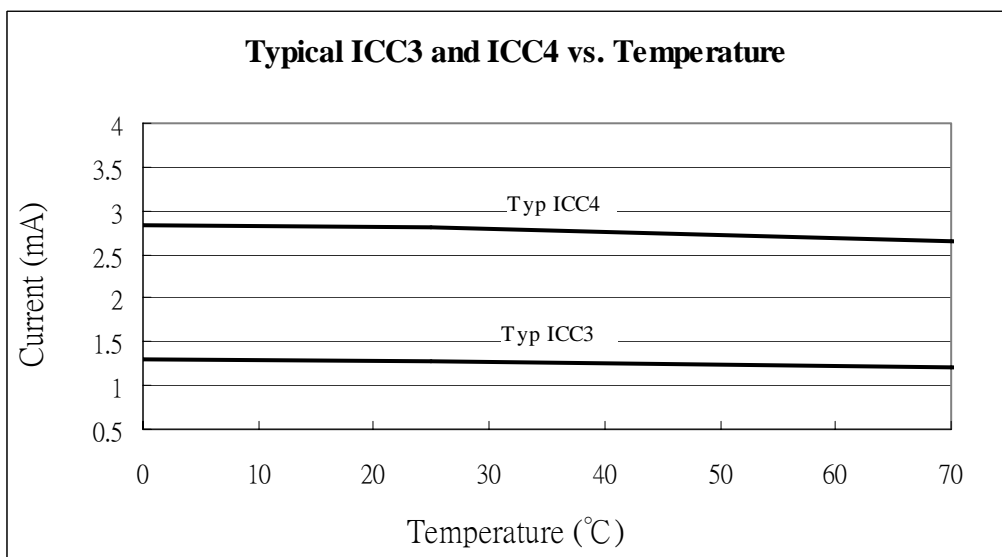


Fig. 33 Typical operating current (ICC3 and ICC4) vs. Temperature

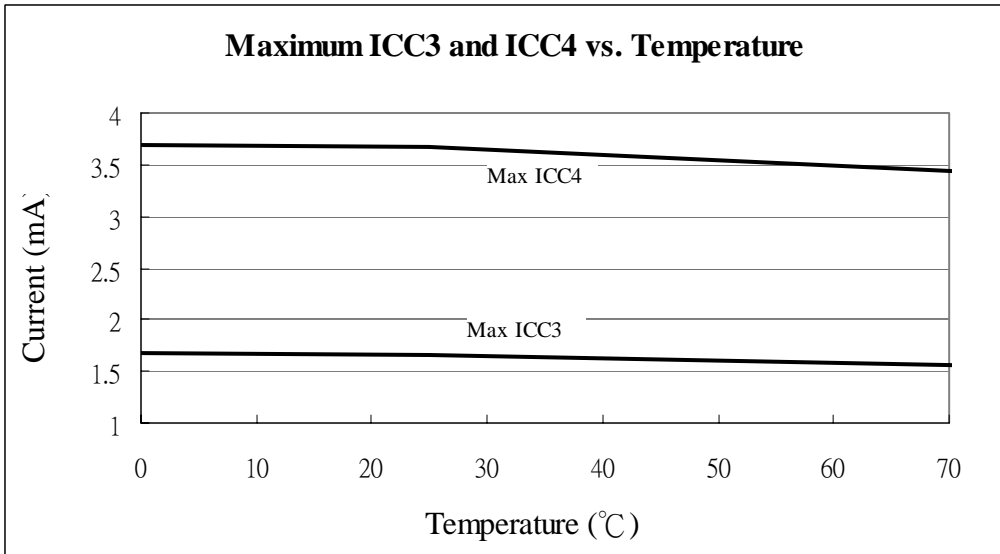


Fig. 34 Maximum operating current (ICC3 and ICC4) vs. Temperature

Two conditions exist with the Standby Current ISB1 and ISB2. These conditions are as follows:

ISB1: VDD=5V, WDT disable

ISB2: VDD=5V, WDT enable

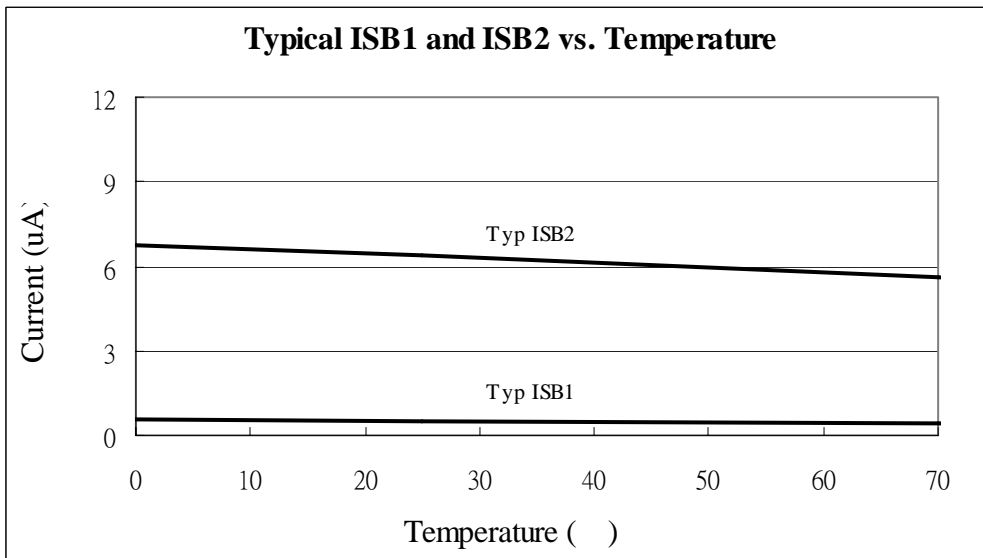


Fig. 35 Typical standby current (ISB1 and ISB2) vs. Temperature

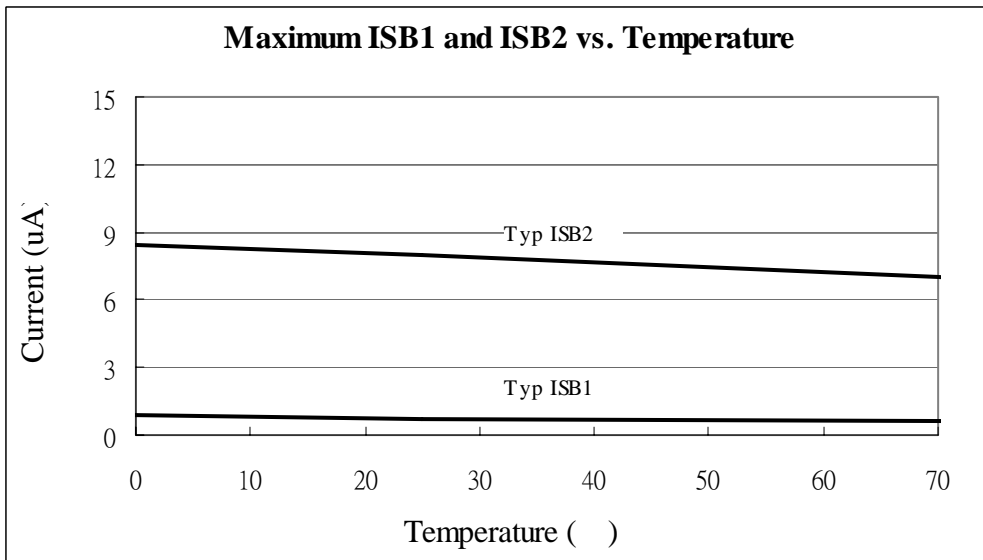


Fig. 36 Maximum standby current (ISB1 and ISB2) vs. Temperature

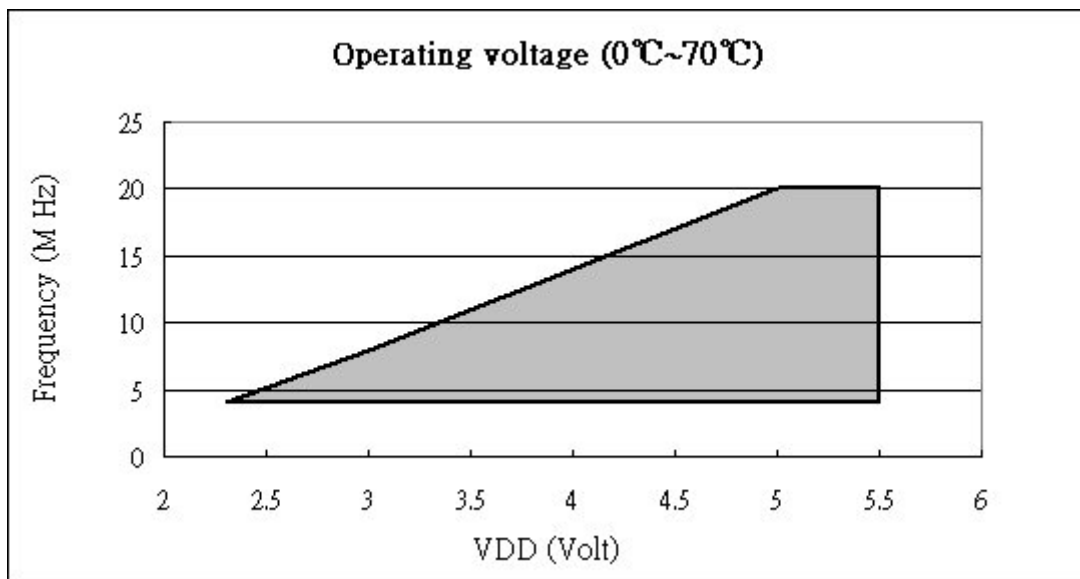


Fig. 37 Operating voltage under temperature range of 0°C to 70°C

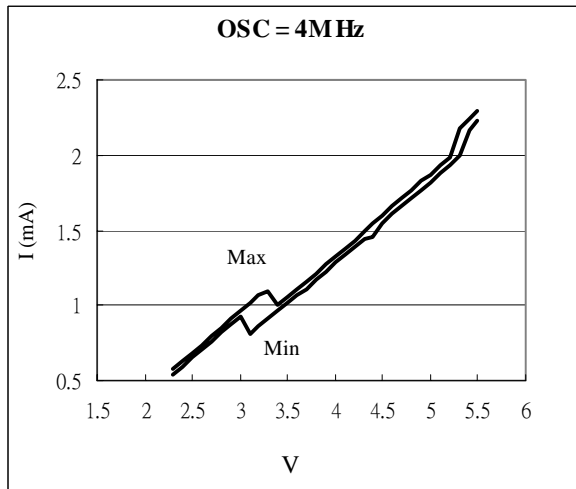


Fig. 38 V-I curve in operating mode, operating frequency is 4M Hz

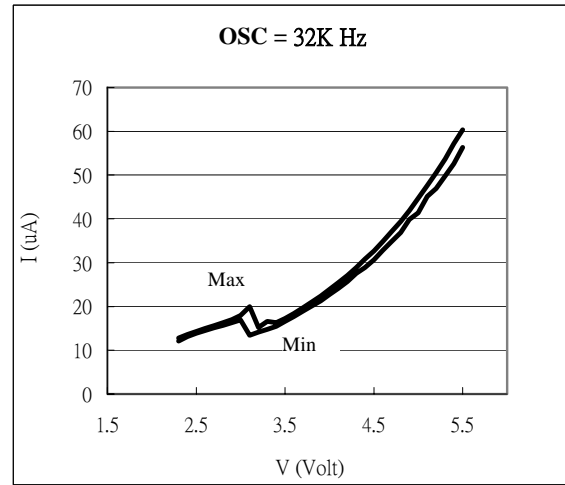


Fig.39 V-I curve in operating mode, operating frequency is 32K Hz

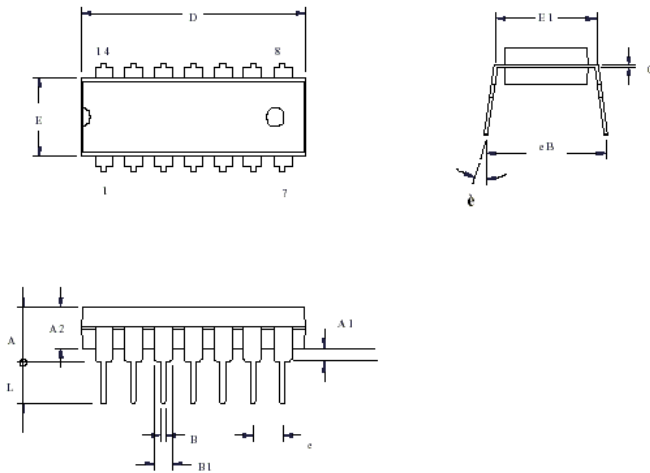
附录

A 封装类型：


OTP MCU	Package Type	Pin Count	Package Size
EM78P153SP	DIP	14	300 mil
EM78P153SN	SOP	14	150 mil

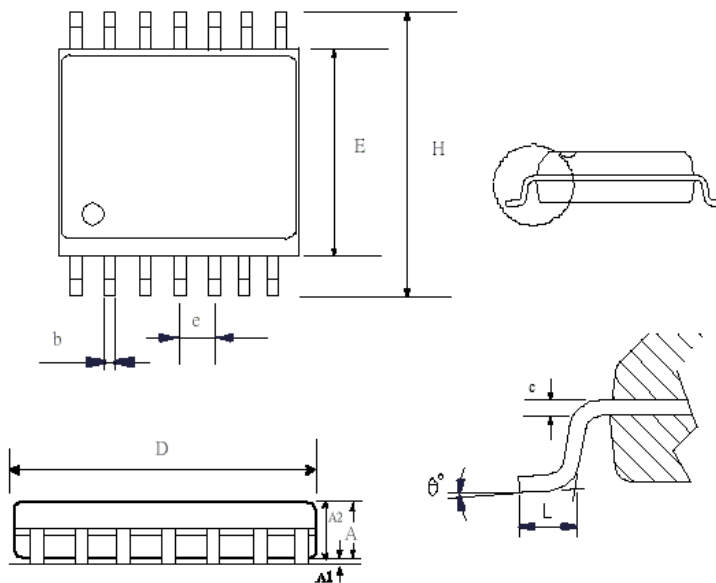
B 封装信息

14-Lead Plastic Dual in line (PDIP) — 300 mil




Symbal	Min	Normal	Max
A			4.318
A1	0.381		
A2	3.175	3.302	3.429
c	0.203	0.254	0.356
D	18.796	19.050	19.304
E	6.174	6.401	6.628
E1	7.366	7.696	8.025
eB	8.409	9.017	9.625
B	0.356	0.457	0.559
B1	1.143	1.524	1.778
L	3.048	3.302	3.556
e		2.540(TYP)	
θ	0		15

TITLE: PDIP-14L 300MIL PACKAGE OUTLINE DIMENSION	
File: D14	Edition: A
	Unit: mm
	Scale: Free
	Material:
	Sheet: 1 of 1

14-Lead Plastic Small Outline (SOP) — 150 mil


Symbol	Min	Normal	Max
A	1,350		1,750
A1	0,100		0,250
b	0,330		0,510
c	0,190		0,250
E	3,800		4,000
H	5,800		6,200
D	8,550		8,750
L	0,600		1,270
e	1,27(TYP)		
θ'	0		8

TITLE: SOP-14(150MIL) PACKAGE OUTLINE DIMENSION	
File : NSO14	Edition: A
	Unit : mm
	Scale: Free
	Material:
Sheet: 1 of 1	

