



配置快速入门指南 (Xilinx 保密草件)

作者: Stephanie Tapp

XAPP501 (v1.4) 2003 年 3 月 3 日

综述

本应用笔记讨论的是 Xilinx 的复杂可编程器件 (CPLD)、现场可编程门阵列 (FPGA) 和 PROM 系列的配置和编程选项。它示意了每个系列的最常用的一些配置方法。

介绍

用不同的方法配置 Xilinx 的 FPGA 和编程 CPLD 以及 PROM, 有助于满足系统设计人员的不同需要。本文档描述了不同的配置模式以帮助设计人员选择适当的配置或编程方法, 并提供了用于生产或原型验证的一些最常用的方法的一些例子。

正如下面所描述, 配置或编程 Xilinx 的可编程逻辑器件主要有必不可少的三步。要了解更多信息, 请参考 Xilinx 公司的 [软件手册 \(Software manuals\)](#)。

- **第 1 步 - 设计输入**

软件设计输入工具被用来建立一个 VHDL、Verilog、ABEL 或原理图 (Schematic) 形式的设计。

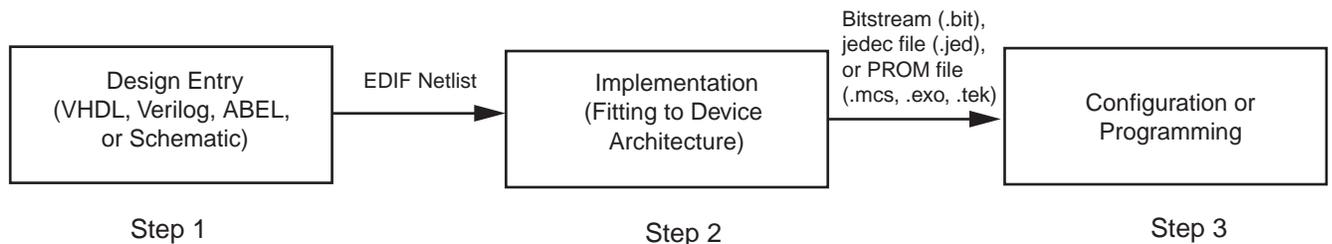
- **第 2 步 - 实现**

软件实现工具被用来将设计网表适配到所需的 Xilinx 的器件结构中去并生成一个配置用的比特流或 jedec 文件。

- **第 3 步 - 配置或输入**

配置是用外部的数据源 (如 PROM、CPLD 或微处理器) 将配置数据下载到 FPGA 中的一个过程。

编程是将配置数据或编程数据载入到 CPLD 或 PROM 的过程。参见 Figure 1。



x501_01_010901

Figure 1: 配置和编程流程概览

器件定义

Xilinx 生产三种类型的可编程逻辑器件。下面是这些产品类型的扼要描述, 用来帮助设计人员理解每种类型器件的配置需求:

© 2003 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and further disclaimers are as listed at <http://www.xilinx.com/legal.htm>. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

NOTICE OF DISCLAIMER: Xilinx is providing this design, code, or information "as is." By providing the design, code, or information as one possible implementation of this feature, application, or standard, Xilinx makes no representation that this implementation is free from any claims of infringement. You are responsible for obtaining any rights you may require for your implementation. Xilinx expressly disclaims any warranty whatsoever with respect to the adequacy of the implementation, including but not limited to any warranties or representations that this implementation is free from claims of infringement and any implied warranties of merchantability or fitness for a particular purpose.

FPGA

Xilinx 的 FPGA 是易失的，因为它们是基于 SRAM 工艺的。也就是器件在被关电后将会丢失配置。FPGA 通常使用一个外部的如 PROM 的存储器件，从而在生产场合下防止电源掉电后丢失配置数据。FPGA 也可以通过电缆进行编程而不需要外部存储器件。

PROM

Xilinx 的 PROM 器件是非易失的器件，通常被用来为 Xilinx 的 FPGA 存储配置数据。这些器件有两种不同的类型可供：

- 一次可编程 (OTP) 的 PROM
- 在系统可编程 (ISP) 可重新编程的 PROM

CPLD

Xilinx 的 CPLD 总体上是非易失的，使用 EEPROM 或 FLASH Cell 工艺。既然不需要外部的存储器件，Xilinx 的 CPLD 的非易失特性使得在编程过程中有不同的要求。

软件工具概览

本小节主要描述针对 Xilinx 的 FPGA、CPLD 和 PROM 产品可用的软件。软件工具如 Table 1 所示，对于配置和编程 Xilinx 的器件而言有两个目的：

1. 生成一个配置或编程的文件；对于 FPGA 是一个比特流 (.bit) 文件，对于 CPLD 是一个 jedec (.jed) 文件，对于 PROM 是一个 PROM(.mcs, .exo, .tek) 文件。
 - 设计输入工具 - 产生设计网表。
 - 实现工具 - 生成比特流或 jedec 文件。
 - iMPACT 软件 - 从设计网表中产生 PROM 文件。
2. 将文件下载到器件：
 - iMPACT - Xilinx 的软件下载工具 (Software Download Tool)，用于编程与 Xilinx 器件相兼容的边界扫描 (JTAG) 链，或者在从串模式或 SelectMAP 模式下编程 FPGA 器件。

Table 1: 可用的 Xilinx 的软件包

产品名称	Foundation (DE>IMP>CP) ⁽¹⁾	Foundation ISE (DE>IMP>CP) ⁽¹⁾	WebPACK ISE (DE>IMP>CP) ⁽¹⁾	Alliance (IMP>CP) ⁽¹⁾	WebFITTER (DE>IMP) ⁽¹⁾
Virtex™ 系列 / Virtex-II 系列 / Virtex-II Pro™ 平台式 FPGA	X	X	X ⁽²⁾	X	
Spartan™-II/III 系列 (FPGA)	X	X	X ⁽²⁾	X	
XC9500/XL/XV 系列 (CPLD)	X	X	X	X	X
CoolRunner™ / CoolRunner-II™ 系列 (CPLD)	X	X	X	X	X
XC18V00 系列 (PROM)	X	X	X	X	
OTP PROM 系列 (XC1700L, XC17S00A, XC1700E, XC17V00, SC17S00)	X	X	X	X	

Notes:

1. DE = 包括了设计输入软件 (Design Entry Software)；IMP = 包括了实现软件 (Implementation Software)；CP = 包括配置或编程软件 (Configuration or Programming Software)。
2. 参见最新版本的 WebPACK 软件，了解其所支持的 FPGA 器件的信息。

选择配置模式

在决定配置环境之前，了解可用的配置模式是非常重要的。Table 2 列出了每个系列所支持的模式，在表后有每种模式的描述。

Table 2: 所支持的模式（按系列）

	JTAG 模式	SelectMAP/ 从并模式	主串模式	从串模式	单独的编程器模式
Virtex 系列 / Virtex-II 系列 /Virtex-II Pro 平台 FPGA	X	X	X	X	
Spartan-II/III 系列 (FPGA)	X	X	X	X	
XC9500-XL/XV 系列 (CPLD)	X				X
CoolRunner/CoolRunner-II 系列 (CPLD)	X				X
ISP PROM 系列	X				X
OTP PROM 系列					X

FPGA 所支持的模式

JTAG 或边界扫描模式

JTAG 或边界扫描模式是一个工业界标准（IEEE 1149.1 或 1532）的串行编程模式。来自电缆、微处理器或其它器件的外部逻辑被用来驱动特定的 JTAG 引脚：测试数据输入（TDI）、测试模式选择（TMS）和测试时钟（TCK）。由于它的标准化性和可以通过同样的四个 JTAG 脚编程 FPGA、CPLD、PROM，这种模式非常流行。在这种模式下，每个 TCK 载入一个比特的数据。

SelectMAP/ 从并模式

Virtex 系列支持 SelectMAP 模式，而从并模式则被 Spartan-II 系列所支持。SelectMAP/ 从并模式允许通过一个字节宽的端口并行读和写。一个外部的时钟源，微处理器，下载电缆或其它的 FPGA 是需要的。在这种模式下，每个 CCLK 周期载入一个字节数据。当配置速度是一个关键因素时，这种模式通常被用作 Virtex-E/Virtex-II 或 Spartan-II 器件的配置模式。

主串模式

主串模式被 Xilinx 的所有的 FPGA 系列的器件所支持，但是除了 Xilinx 的 CPLD 器件。这是 FPGA 配置的一个最简单的方法。FPGA 下载来自串行 PROM 的配置数据。利用 FPGA 提供时钟，可以利用驱动配置时钟的内部振荡器自行下载。FPGA 提供所有的控制逻辑。在该模式下，数据在每个 CCLK 周期被载入一个比特。

从串模式

像主串模式一样，从串模式被 Xilinx 的所有的 FPGA 系列器件所支持，但是除了 Xilinx 的 CPLD。它利用外部的时钟被允许以菊花链方式配置。在这种模式下，一个外部的时钟、微处理器、另外的 FPGA 或下载电缆是需要的。在该模式下，数据在每个 CCLK 周期被载入一个比特。

CPLD/PROM 所支持的模式

单独的编程模式

单独的编程器（Standalone Programmer）模式被第三方编程器（Third Party Programmers）和 HW-130 编程器所支持。

JTAG 或边界扫描模式

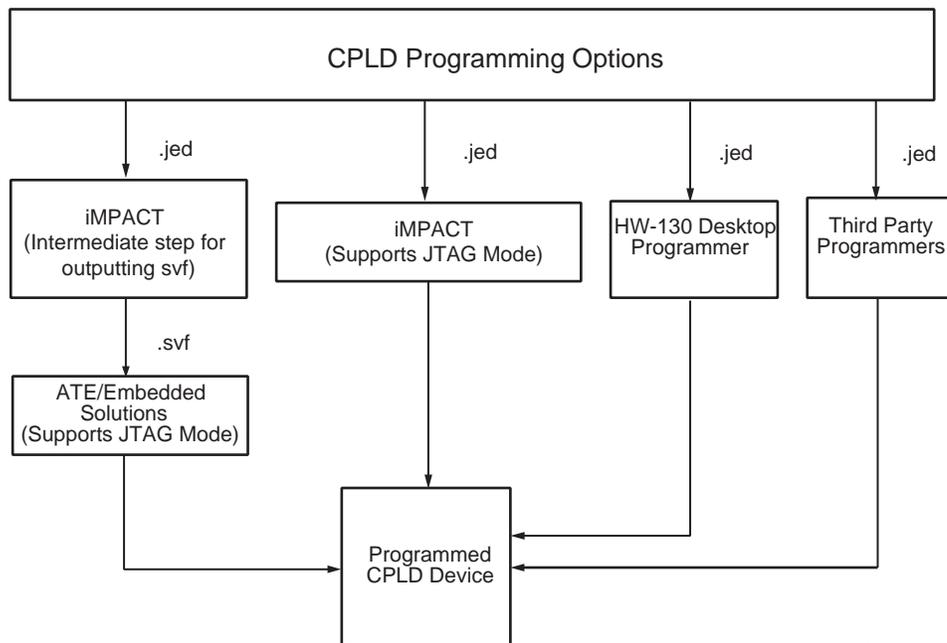
JTAG 或边界扫描模式是一个工业界标准（IEEE 1149.1 或 1532）的串行编程模式。来自电缆、微处理器或其它器件的外部逻辑被用来驱动 JTAG 所特定的引脚：测试数据输入（TDI）、测试模式选择（TMS）和测试时钟（TCK）。由于它的标准化性和可以通过同样的四个 JTAG 脚编程 FPGA、CPLD、PROM，这种模式非常流行。在这种模式下，每个 TCK 载入一个比特的数据。。

编程 / 配置选项

后面的单元提供了每个系列的所有的配置或编程流程的概况。

CPLD 编程选项

CPLD 编程流程开始于 CPLD 适配软件生成 jedec 文件之后。CPLD 适配软件嵌于 Table 1 中所指的所有的 Xilinx 的软件包中。Figure 2 所示的是将 jedec 文件下载进 CPLD 器件的一些可用选项。



x501_02_01080102

Figure 2: CPLD 编程选项

ATE/ 嵌入式解决方案

随着单板密度的增加和微处理器在许多系统中变得很常见，嵌入式解决方案正在变得非常流行。要了解如何将 Xilinx 的 CPLD 用于 ATE 或嵌入式系统中的一些案例，参见 Xilinx 的 [ATE](#) 网页或 Xilinx 的 [嵌入式解决方案 \(Embedded Solutions\)](#) 的网页。

iMPACT 软件

iMPACT 是一个软件工具，被用来利用电缆通过边界扫描 (JTAG) 引脚将 jedec 文件载入 CPLD。这个软件程序包含在 Table 1 中所指的所有的 Xilinx 的软件包中，除了 WebFITTER 之外。要了解更多信息，请参见 Xilinx 的 [软件手册 \(Software manuals\)](#)。

HW-130 和第三方编程器

HW-130 是 Xilinx 的一个单独的编程器，它通常被用在针对编程大量的 Xilinx 的 CPLD 的原型验证的场合中。

第三方编程器，如数据 I/O (Data I/O) 和 BP 微系统 (BP Microsystems)，支持很多的 Xilinx 的 CPLD。要了解所支持的编程器的详细信息，请参见 Xilinx 的 [编程器 \(Programmer\)](#) 网页。

FPGA 配置流程

参见 Table 1，了解用来生成 FPGA 比特流的可用的软件包。Figure 3 给出了将比特流下载入 FPGA 器件的几种选择。

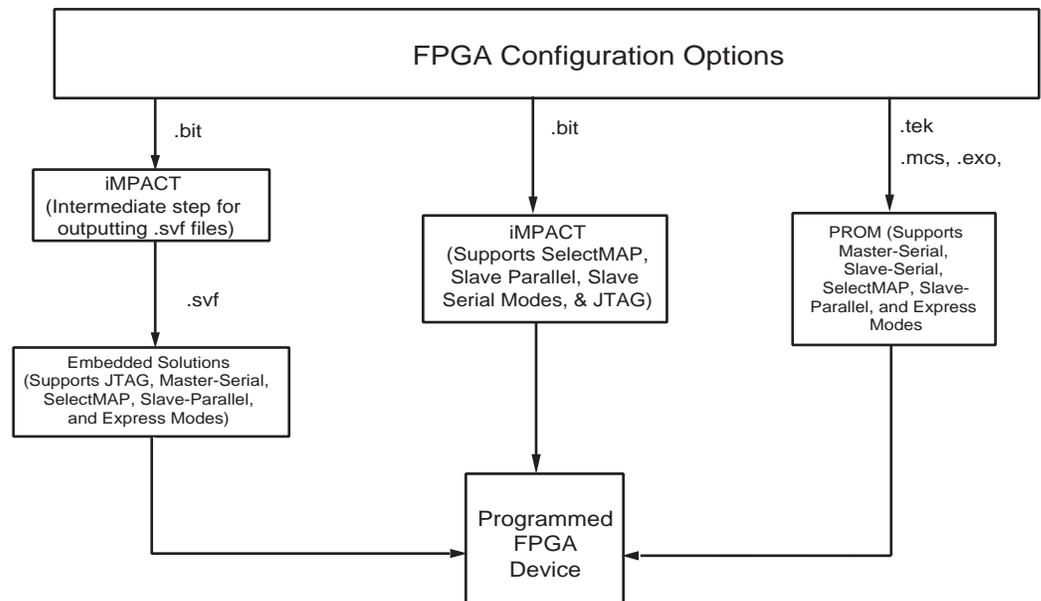


Figure 3: FPGA 配置选项

iMPACT 软件

iMPACT 是一个 Xilinx 的软件程序，被用来利用从串、SelectMAP、从并或边界扫描（JTAG）连接通过 Xilinx 的 Parallel IV 或 MultiLINX 电缆将比特流载入 FPGA。这个软件工具包含在 Table 1 所示的 Xilinx 的所有用于 FPGA 设计的软件包中。参见 Xilinx 的 [软件手册 \(Software manuals\)](#)。

嵌入式解决方案

随着单板密度的增加和微处理器在许多系统中变得很常见，嵌入式解决方案正在变得非常流行。要了解将 Xilinx 的 FPGA 用于嵌入式系统中的一些案例，参见 Xilinx 的 [嵌入式解决方案 \(Embedded Solutions\)](#) 的网页。

PROM

PROM 相对于 FPGA 而言是一个伴随存储器器件。从 PROM 配置 FPGA 是使用最为广泛的配置方法之一。PROM 必须用为 FPGA 所准备的数据进行配置。当 PROM 被置于系统中时，FPGA 从存储器器件中自行配置。这个方法支持主串、从串、SelectMAP 和从并模式。

PROM 流程

PROM 是 FPGA 系列的伴随器件。iMPACT 软件工具将要写入到 FPGA 系列器件中的比特流转换成一个 PROM 文件。Figure 4 给出了将 PROM 文件下载到 PROM 器件中的可用的选项。

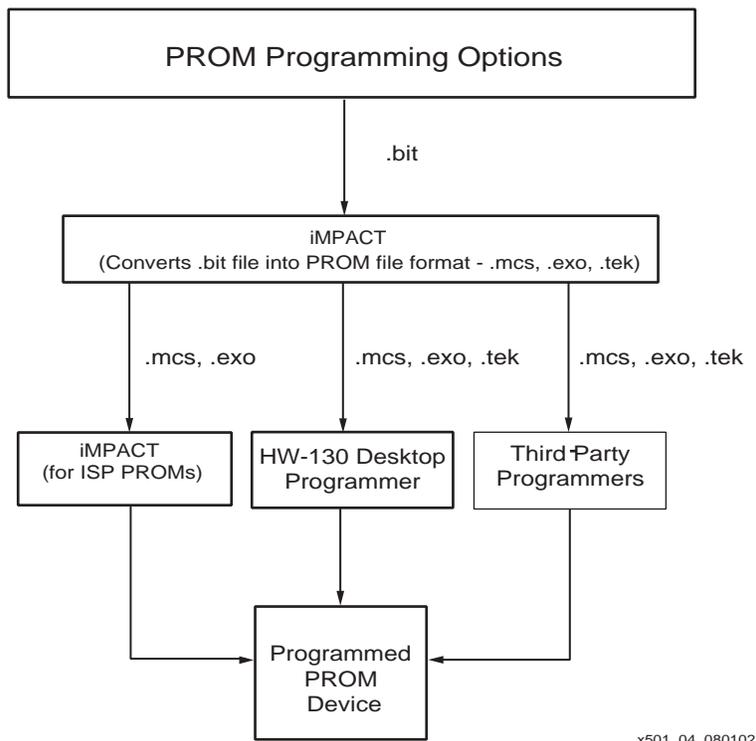


Figure 4: PROM 编程选项

iMPACT 软件

iMPACT 是一个用来生成 PROM 文件并将 PROM 文件下载到一个 ISP PROM (XC18V00) 中的软件工具。这个软件工具包含在 Table 1 中所提及的针对 PROM 的 Xilinx 的所有的软件包中。参见 Xilinx 的 [软件工具 \(Software manuals\)](#)。

HW-130 和第三方编程器

HW-130 是 Xilinx 的台式编程器。Xilinx 的台式编程器用于原型验证场合，而且对 Xilinx 的两种类型的 PROM 都可编程。

第三方编程器，如数据 I/O (Data I/O) 和 BP 微系统 (BP Microsystems) 可以支持很多的 Xilinx 的 PROM。要了解关于第三方支持的详细信息，请参见 [编程器 \(Programmer\)](#) 网页。

选择配置或编程方法的小贴士

系统设计人员需要考虑正被开发的系统是用于原型验证场合还是生产场合，或兼而有之。在这个问题被回答之后，配置选择的范围就可以缩小了。首先讨论建议用于原型验证场合的一些选项。

原型验证场合

原型验证场合需要对器件的很方便的访问，以多次重新配置。在这种场合下，有两种选项效果最好:

Table 3: 原型验证所建议的配置选项

选项	CPLD	FPGA	PROM
使用 Xilinx 的配置或编程软件加电缆	iMPACT 软件	iMPACT 软件	iMPACT 软件 (ISP PROM 选项)
台式编程器	HW-130/MultiPRO 台式工具 ⁽¹⁾	不适用 (FPGA 是易失器件)	HW-130/MultiPRO 台式工具 ⁽¹⁾

Notes:

1. 参见 MultiPRO 或 HW-130 的数据手册以了解器件支持情况

生产场合

对于生产场合，重新配置已经没有较快的编程时间和保持配置数据的稳健的配置方法那么重要了。Table 4 列出了针对这种场合的一些选择。

Table 4: 生产场合所建议的配置选项

选项	CPLD	FPGA	PROM
嵌入式解决方案	用户自编代码 (参见 XAPP058)	用户自编代码 (参见 XAPP058)	用户自编代码 (参见针对 ISP PROM 的 XAPP058)
自动测试设备 (ATE)	ATE/第三方 JTAG 工具	不典型 (FPGA 是易失器件)	ATE/第三方 JTAG 工具
第三方编程器 (例如, BP 微系统, 数据 I/O)	编程器可以支持	不适用 (FPGA 是易失器件)	编程器可以支持
PROM	不适用 (CPLD 是非易失器件)	PROM 可以支持	不适用

Xilinx 的通用配置 / 编程的装置

本小节为 Xilinx 的用户提供了较通用的配置和编程装置的快速概览。在这里给出的装置被设置来用于原型验证或生产场合。对于每种装置，都概要描述了装置的优点、所需的软件和硬件，以及硬件连接的方式。

CPLD 的 JTAG 链装置

CPLD 的 JTAG 链 (XC9500/XL/XV 或 CoolRunner) 是针对 CPLD 的最常用的编程方法，既然它又能用于原型验证场合，又能用于生产场合。

- **优点：**

- 支持在系统编程 (In-System Programming)
- 只需四个 JTAG 引脚就可以配置和测试链

- **使用的硬件：**

Xilinx 的 CPLD 器件的组合 (XC9500/XL/XV 或 CoolRunner)

- 对于原型验证场合: Xilinx 的电缆 (Parallel IV 或 MultiLINX)
- 对于生产场合: 微处理器 (嵌入式解决方案)、自动测试设备 (ATE) 或第三方编程器

- **使用的软件：**

Xilinx 的 CPLD 编程 jedec 文件 (Foundation/Alliance 或 WebPACK 软件包可以生成 jedec 文件)。

- 对于原型验证场合: iMPACT 软件
- 对于生产场合: Xilinx 的 CPLD 编程 jedec 文件被转换成 Xilinx 的串行矢量文件 (Serial Vector Files) (.svf)，以便给微处理器、ATE 或第三方编程器使用。参见 [XAPP058](#)。

参见 Xilinx 的 [ATE](#) 和 [编程器 \(Programmer\)](#) 网页以了解更多信息。

硬件方面的考虑

实现一个 CPLD 的 JTAG 链的连接如 Figure 5 所示。

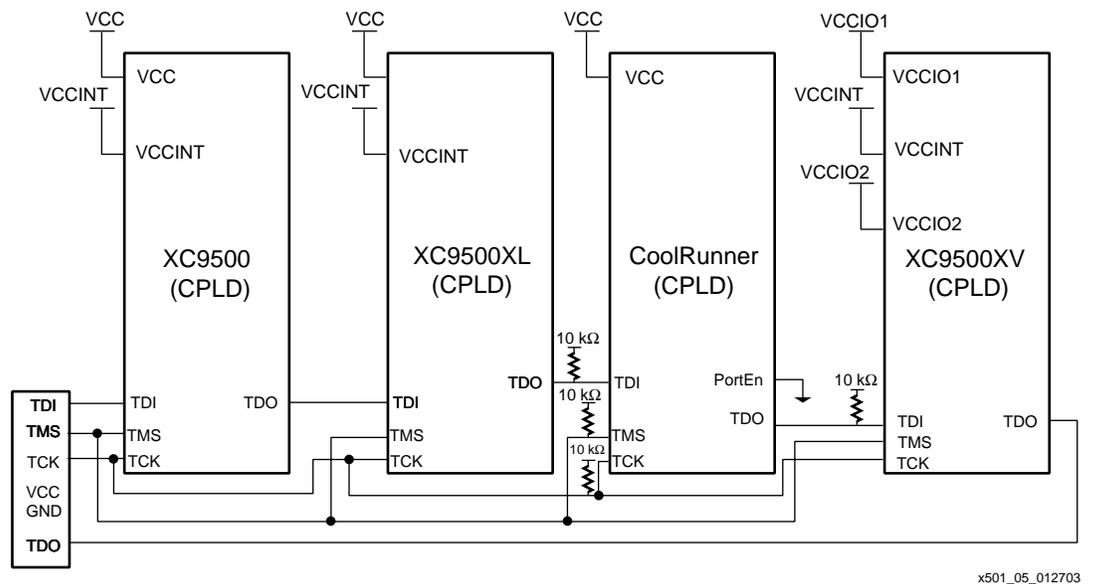


Figure 5: CPLD 的 JTAG 链的连接

如 Figure 5 所示，当使用有混合着不同电压器件的 JTAG 链时，需要格外的小心以确保这些器件之间的完整性。参阅器件的数据手册以选取合适的操作电压范围。在这个例子中，在单个的 JTAG 链中，使用了一个 5V、3.3V 和 2.5V 的器件，尽管这不是典型的，但可以有助于讨论混合电压链的考虑因素。

为了配合 XC9500 (5V) 和 XC9500XV (2.5V) 器件, V_{CCIO} 信号必须接在 3.3V 上。这样使得所有器件上的 TDO 引脚都被驱动在符合电压要求的 3.3V 上。对于 XC9500XV, 只有 TDO 引脚所在的 V_{CCIO} 组 (1 或 2) 需要被驱动在 3.3V 上。

当在这个装置中使用电缆时, 电缆必须被驱动在 3.3 V 上。这就确保了 TMS 和 TCK 这些 TAP 引脚的电平值处于 Figure 5 中所有特定器件所需求的电压范围之内。既然 5 V 部件接收了稍低但仍然可以接收的信号电平, 所以良好的信号完整性是必须给予恰当考虑的一个实际因素。参照下面的几小节了解一些小技巧及技术以确保适当的信号完整强度, 和实现 CPLD 的 JTAG 链的一些通用的实际方法。

通用 JTAG 器件的检查清单

1. 对于多于五个器件的较长的 JTAG 链, 在间隔的一些点上为 TMS 和 TCK 信号加一些缓冲, 以防止未知的器件的不匹配。
2. 确保 V_{CC} 在相应的范围之内: 对于 XC9500 器件是 $5V \pm 5\%$, 对于 XC9500XL/CoolRunner 器件是 $3.3V \pm 10\%$, 对于 XC9500XV 器件是 $2.5V \pm 10\%$ 。
3. 在芯片的每个 V_{CC} 点上同时加一个 0.1 mF 和 0.01 mF 的电容, 并将它们直接连接到最近的地。

XC9500/XL/XV 器件特定的检查清单

1. 对于 XC9500/XL/XV 系列器件而言, TDI 和 TMS (JTAG) 引脚有内部上拉, 不需要任何的外部上拉, 既然这些引脚是 JTAG 专用的。
2. XC9500/XL/XV 器件的 V_{CCINT} 引脚上被提供非常干净 (没有噪声) 的电压是非常重要的, 并且电压要在正确的范围之内。
3. XC9500/XL 器件的 JTAG 时钟— TCK, 最高频率为 10 MHz。
4. 当决定将器件置于一个混合电压的链中时, 必须注意确保兼容。例如, XC9500XV 系列部件不是 5 V 所容忍的, 所以需要小心以确保该器件的输入被适当的电压电平所驱动。

CoolRunner 器件特定的检查清单

1. 在此推荐的编程装置实例中, 当使用专用的 JTAG 引脚时, PortEn 引脚应被接地。
注: 如果 JTAG 引脚需要被用作双用途的 I/O 时, PortEn 引脚应该跳开。PortEn 引脚应被拉高, 以重新建立 JTAG 引脚的连接。
2. CoolRunner 器件的 JTAG 引脚上需要外加一个 10 k Ω 的电阻以防止它们浮空。
3. CoolRunner 器件的 JTAG 时钟— TCK, 最高频率为 10 MHz。

软件实现方面的考虑

需要生成软件的 jedec 文件以编程器件。当生成 jedec 编程文件时, 应该考虑软件实现选项 (Software Implementation Option), 如下面的所示。XC9500/XL/XV 实现选项对于所有的 Xilinx 的软件包而言都是一样的。实现软件对于 XC9500/XL/XV 器件的缺省设置在本例中是推荐采用的, 除了下述的选项之外:

“在不用的 I/O 上建立可编程的 GND 引脚 (Create Programmable GND Pins on Unused I/O)” – 在缺省的条件下, 这个选项是不被选择的。建议检查此选项以防止不用的 I/O 引脚浮空和消耗额外的功率。参见 Figure 6。

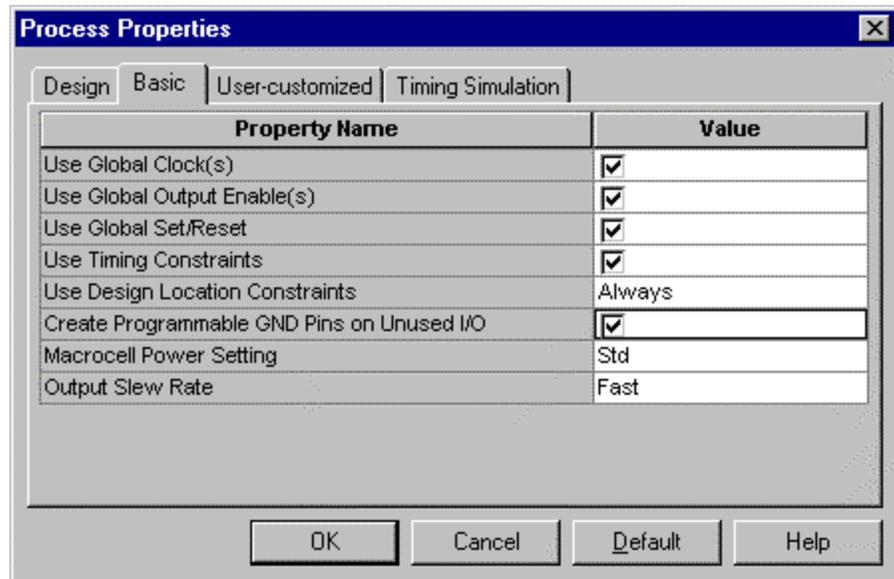
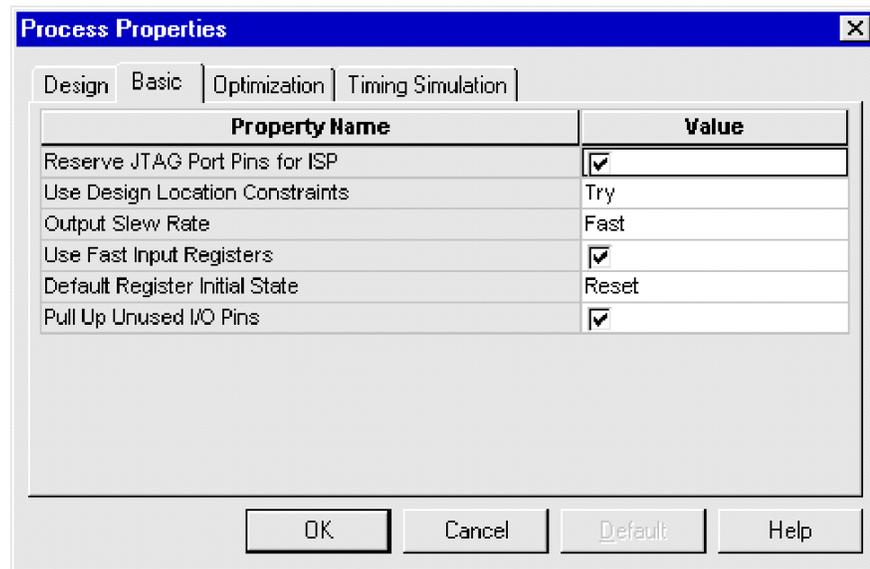


Figure 6: WebPACK ISE 软件包中的 Xilinx 的 XC9500/XL/XV 器件的实现选项

Figure 7 中对于 CoolRunner 器件的软件缺省设置在本例中是被建议采用的。用户必须注意的两个最重要的编程选项描述如下：

- “上拉不用的 I/O 引脚 (Pull Up Unused I/O Pins)” – 缺省情形下，这个选项是被选择的。这是建议采用的状态，以防止由于 CMOS I/O 而导致额外的功率耗散。
- “为 ISP 保留 JTAG 端口引脚 (Reserve JTAG Port Pins for ISP)” – 缺省情形下，这个选项是被选择的。为了本例的应用目的，建议将这个选项保持缺省。只有用户打算将 JTAG 引脚用作双用途 I/O 的时候这个选项可以不选。



x501_07_122800

Figure 7: WebPACK ISE 软件包中 CoolRunner 的实现选项

软件下载方面的考虑

完成 CPLD 的 JTAG 链的实现所需的最后一步是将比特流编程到器件中。有了 JTAG 链编程，在原型验证（即“样机”）和生产场合，这个都可完成。

原型验证场合

在原型验证场合, 使用 Xilinx 的编程器是非常普遍的, 它包括一个单独的可下载的软件模块, 该模块需要用一个 Xilinx 的电缆来访问器件的 JTAG 引脚。

当目标器件是 CoolRunner 或 9500/XL/XV 系列时, 使用 Xilinx 的 iMPACT 软件工具将 jedec 文件下载进器件。一直确定使用软件的最新版本。

生产场合

在生产场合, ATE 或第三方编程器更为普遍。通常这些工具提供更快的编程时间, 并且在很多情形下, 提供了在给定时间内编程更多器件的手段。

在这种场合下, jedec 文件通常被转换成一个标准矢量格式 (.svf) 文件。这种文件格式是被供应商广泛接受的一种标准, 是传递编程文件的一种常用方式。这种格式是上面原型验证单元所描述的 Xilinx 的编程器的可选输出。如何在 Xilinx 的编程器中生成这些文件的描述在应用笔记 [XAPP503](#) 中可以找到。

Virtex 系列或 Spartan-II 主串和边界扫描 (JTAG) 组合装置

主串和边界扫描 (JTAG) 模式是 Virtex 系列和 Spartan-II 器件所最常采用的两种配置模式。

• 优点:

- 主串模式和边界扫描 (JTAG) 模式的组合给了用户一个灵活的易于调试的、并可以有多种配置方法的装置。
- 主串模式为生产提供了简单而稳健的配置方法, 而边界扫描 (JTAG) 模式提供了在系统编程支持, 使得在原型验证阶段配置一个链时有灵活性。

• 使用的硬件: Xilinx 的 Virtex/Virtex-E 或 Spartan-II 器件和 XC18Vxx 伴随器件的任意组合。

- 原型验证场合: Xilinx 的电缆 (Parallel IV 或 MultiLINX)
- 生产场合: Xilinx 的 PROM 和能支持编程器 / 软件的硬件

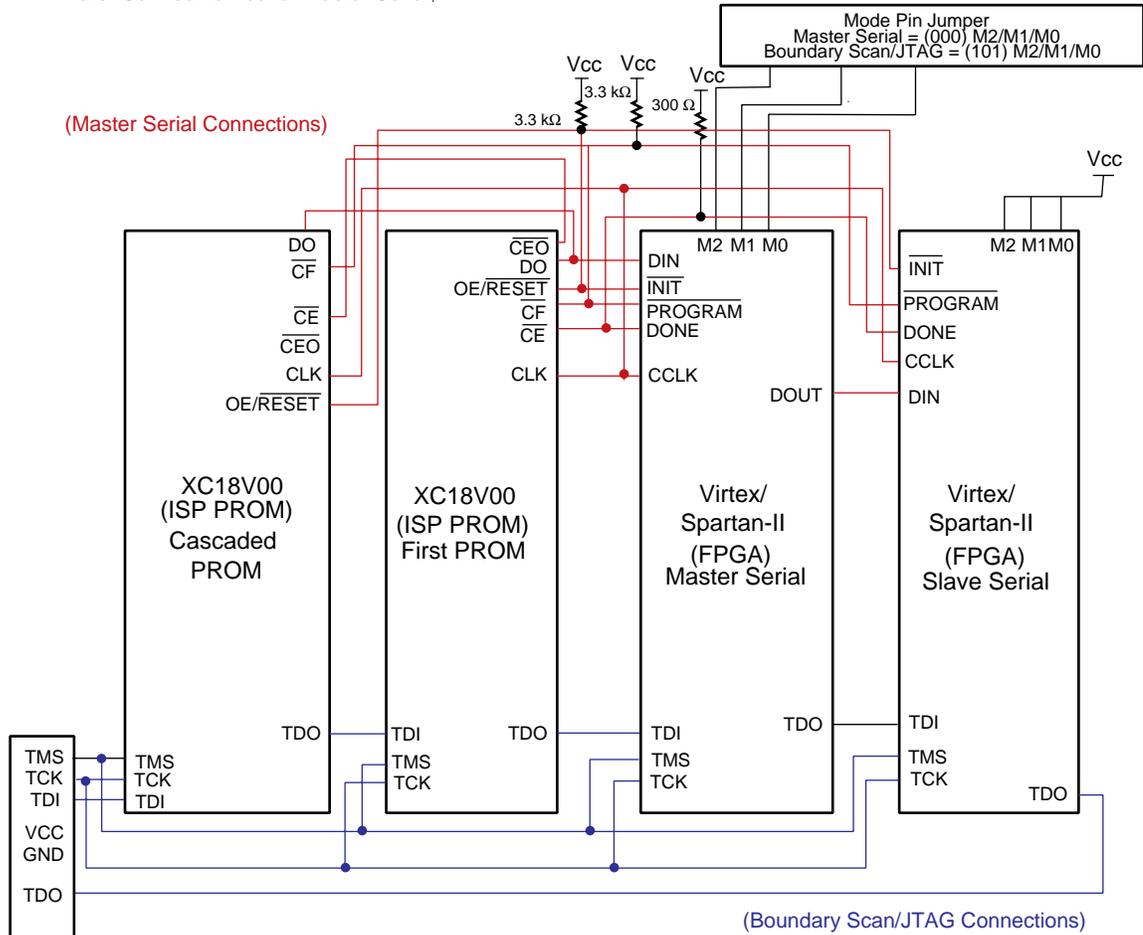
• 使用的软件: Xilinx 的 FPGA 编程比特流 (.bit 文件) (Foundation 或 Alliance 软件包生成比特流)。

- 原型验证场合: iMPACT 软件
- 生产场合: 用来生成 Xilinx 的 PROM 文件 (.mcs, .exo) 的 Xilinx 的 iMPACT 软件 (包括 Foundation 和 Alliance 软件包) 以及合适的第三方编程器软件。

硬件方面的考虑

为 Virtex 系列或 Spartan-II 实现主串和边界扫描 (JTAG) 模式组合的硬件连接如 [Figure 8](#) 所示。

Note: Connect to Vcc for Master Serial,



x501_11_20501

Figure 8: Virtex/Spartan-II 器件在主串和边界扫描 (JTAG) 模式下的连接

额外的硬件方面的考虑列于下面:

- 参照相应系列的数据手册以了解每个部件所需的电压值。
- 对于 Spartan-II 或 Virtex 系列的模式引脚, 下列设置是需要的:
 - 主串模式 - M0 = 0, M1 = 0, M2 = 0
 - 边界扫描 (JTAG) 模式 - M0 = 1, M1 = 0, M2 = 1
- 边界扫描 (JTAG) 引脚 - 对于 Virtex 和 Spartan-II 器件, TMS、TCK 和 TDI 引脚在缺省的情形下都提供了内部的可编程的弱上拉。TDO 是浮空的。
- 输出缓冲器可以提供高达 24 mA 的电流而接收电流可高达 48 mA。
- 对于 Virtex 和 Spartan-II 器件, 边界扫描 (JTAG) 时钟频率 - TCK 最高是 33 MHz。

软件实现方面的考虑

一旦硬件装置被建立, 软件比特流需要被生成以准备编程器件。当使用这种含有 Virtex 或 Spartan-II 器件的配置装置时, 下面的软件实现选项在生成比特流时需要考虑。参见 Figure 9。

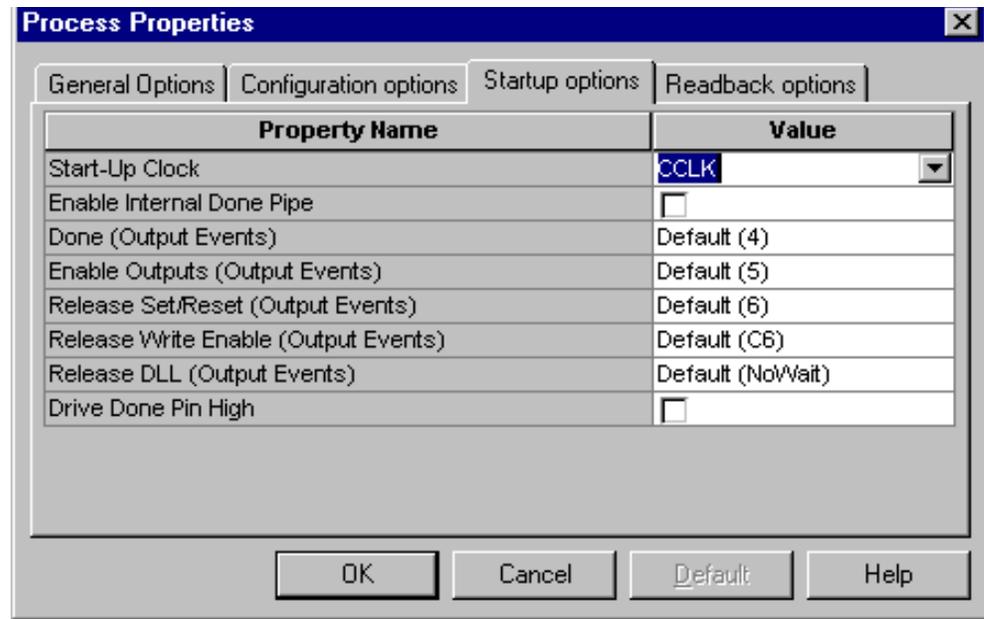


Figure 9: Virtex 或 Spartan-II 的启动选项 (Startup Options)

在为边界扫描 (JTAG) 下载建立比特流时, 上面的缺省选项应该被使用, “启动时钟 (Start-Up Clock)” 除外, 必须要变到 “JTAGCLK”。

- 启动时钟 - 比特流必须用适当的启动时钟选项来生成以便使器件能被恰当地配置。“启动时钟” 选项缺省设置是主串模式下的 “CCLK”。当要生成边界扫描 (JTAG) 模式的比特流时, 该选项必须被设置为 “JTAGCLK”, 这既可以在 GUI 的下拉菜单中设置, 也可以使用 bitgen 的命令行来设置:
- 对于使用边界扫描 (JTAG) 的配置:

```
bitgen -g startupclk:jtagclk designName.ncd
```
- 对于通过主串方式的配置:

```
bitgen -g startupclk:cclk designName.ncd
```

Notes:

1. 如果一个装置使用了这两种配置模式, 则两个比特流文件必须被生成: 一个为边界扫描 (JTAG) 下载, 而另外一个为主串下载。

Virtex 或 Spartan-II 的配置选项对于所有的 Xilinx 的软件包都是一样的。在本例中缺省的配置选项设置是推荐使用的。一些重要的选项描述如下:

- “配置速率”是一个实现选项，它控制在主串模式下的 CCLK 的速度。
- 配置选项包括在模式引脚、PROGRAM、DONE 和 CLK 引脚上的可编程上拉。边界扫描 (JTAG) 必须保持缺省设置。

要了解详细的信息或关于命令行选项的信息，请参考 [开发系统参考指南 \(Development Systems Reference Guide\)](#)。

软件下载方面的考虑

在比特流生成之后，遵循如下面所讨论的推荐用于这种装置的配置选项。参见 Figure 10。

原型验证

对于使用这种装置的原型验证，Xilinx 的 iMPACT 软件是常常被用到的。Xilinx 的 iMPACT 软件含有一个单独的可下载的软件模块，它需要用一根 Xilinx 的电缆将比特流从 PC 下载到器件中。为了达到此目的，访问 Virtex、Spartan-II 或 XC18V00 器件的四个边界扫描 (JTAG) 引脚是需要的。

- 使用 Xilinx 的 iMPACT 软件将比特流下载到部件中。

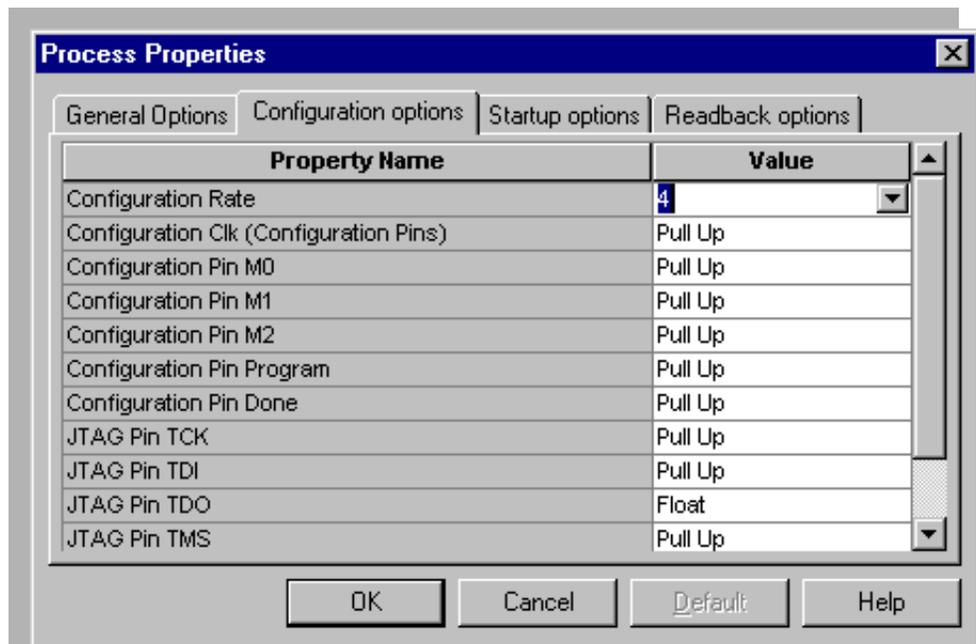


Figure 10: Virtex 或 Spartan-II 器件的配置选项

生产

在生产场合，系统不为电源的毛刺或掉电条件的影响是非常重要的。因为 FPGA 器件是易失的，电源掉电将擦除器件的内容。为了保证在系统被关电的时候编程数据不丢失，建议使用诸如主串的模式。在本例中，配置数据被永久存储在 PROM 中。如果发生电源掉电，PROM 中的数据在电源重新获得时重新配置 FPGA。下面是编程 XC18V00 的 PROM 所需的步骤。

- 使用 iMPACT 软件生成模式将比特流格式化化成 PROM 文件。
- ATE/ 第三方编程器下载到系统中的 XC18V00 器件中去。

支持

要了解有关配置的更多信息，在 Xilinx 的 [配置解决方案 \(Configuration Solutions\)](#) 网页上有大量的 Xilinx 特定的应用笔记。

配置检查清单

在设计一个有 FPGA/CPLD 的电路板之前, Xilinx 建议给予下列与配置相关的因素一些考虑。

• 硬件

- 与边界扫描 (JTAG) 相关的:
 - 如果在一个配置链中有多片 FPGA/CPLD/ (ISP) PROM, 考虑加一些跳线器来隔离器件以便每片器件可以分别载入和调试。
 - 确保像对待其它高速时钟一样对待配置或边界扫描 (JTAG) 时钟。
 - 考虑在设计中加一些额外的备用引脚, 以便在以后调试时能将信号引出。
 - 在边界扫描 (JTAG) 电路的间隔的多个点上为 TMS 或 TCK 信号加一些缓冲, 以防止未知的器件的不匹配。
 - 当编程一个特定的部件有困难时, 通过在 iMPACT 软件中选择 HIGHZ 选项将 JTAG 链中的其余部分置于 HIGHZ 模式。这样可以减少此部件可见的噪声。
 - 如果一个自由运行的时钟被送入边界扫描 (JTAG) 器件中, 它在 ISP 边界扫描 (JTAG) 操作期间可能有必要被断开或禁止进入这些器件。
- 与电缆有关的:
 - 不要将扩展的电缆连到电缆的目标系统侧, 因为这会损害配置数据的完整性并导致校验和错误。
 - 将电缆的配置头紧紧连到目标系统。
 - 与 PC 一起使用的并行电缆比 MultiLINUX 电缆消耗的来自 LCA 板上的功耗要少。这是因为 MultiLINUX 电缆利用了一个嵌入式的微处理器并且具有诸如支持 SelectMAP/USB 等的额外特性, 而并行电缆没有。
 - 要为使用电缆配置的能力和与你选择的生产配置方法设计。这使得有多种编程选择, 并有非常容易调试器件的方法。
- 与电路板相关的:
 - 要有使用跳线器将模式引脚设置为不同值的能力。
 - 记住信号完整性问题、终端匹配、边沿速率、地弹和微观布局。
 - 对于超过 60 MHz 的设计, Xilinx 建议做板级开关特性的仿真以确保没有反射或地弹问题。
 - 记住同时开关输出 (SSO) 问题。
 - 确保地引脚没有过载以防止在输出上的地弹。
 - 未用的 I/O 可以被设置为输出并接地以给器件增加额外的接地。
 - 如果有空间, 可以在 DONE 引脚上加 LED 以便可以确定 FPGA 有没有被配置。
 - 在关键的配置引脚 (DOUT、INIT、DONE 和 PROGRAM) 上加测试点以便调试和了解状态信息。
 - 不要过载配置信号。检查配置信号的扇出 / 扇入负载。
 - 在你的时钟源上加输出使能 (Output Enable)。这样可以允许你在配置期间停止系统时钟来检查串扰和其它噪声。
 - 了解开关噪声。它可能导致在设计进程中的擦除时间或编程时间的延长, 特别是对于长链。
 - 确保 V_{CC} 值位于正被使用的器件的允许值之内。
 - 在芯片的每个 V_{CC} 点上同时加一个 0.1 mF 和 0.01mF 的电容器, 并且将它们直接连接到最近的地上。

• 软件:

- Xilinx 的 WEBPACK 软件包中有最新的 iMPACT 软件, 可以被用来作为一个实验室安装, 以便无需安装整个软件工具套件就可以在 <http://www.xilinx.com/products/software/webpowered.htm#webpack> 网页获得下载软件。
- 阅读 Foundation/Alliance 4.2i 软件手册中有关配置选项的文档。
- 考虑需要可编程上拉和下拉 I/O 引脚在配置软件中设置。
- 检查是否在 DLL 锁定系统时钟前或后释放 DONE 引脚。
- 不要将普通的设计信号加在配置引脚上。
- 对于 Virtex /Spartan-II 设计, 启动 (STARTUP) 模块是不被建议使用的。如果使用了这个特性, 要确保配置后内部信号不会冲突并将部件锁死。启动的复位与通常的系统复位需要有同样的优先级别。

- 通过在 iMPACT 软件的 “Operations -> Idcode looping” 运行 IDCODE 循环指令来检查系统噪声。这会显示一个编辑窗口。设定所需循环的次数。这个操作应被正确完成（百分之一百）；否则，将会有系统噪声。
- 使用 Xilinx 的序列号大于 5000 的 Parallel IV 电缆的最新版本。

配置问题解决工具

下面的软件工具可以根据用户提供给工具的输入来帮助用户按部就班地查找配置问题。访问：
<http://www.xilinx.com/support/troubleshoot/psolvers.htm>

结论

配置是使用 PLD 的一个非常重要但常常不被重视的一步。理解本应用笔记中的选项和使用本应用笔记中的指南会使编程或配置一个 PLD 的过程变得更容易。

版本修改历史

下表给出了本文档的版本修改历史。

日期	版本号	版本修改
02/14/01	1.0	Xilinx 的初始发布
02/26/01	1.1	完成了细微的编辑
08/02/01	1.2	完成了细微的编辑
06/10/02	1.3	加入 “Virtex 系列” 和 “Virtex-II 系列平台式 FPGA”
03/03/03	1.4	通篇更新完成