基于数字移相的高精度脉宽测量系统及其 FPGA 实现

北京清华大学精密仪器与机械学系(100084) 谢登科 徐端颐 齐国生 张启程

摘 要：采用 XILINX 公司的 SpartanII 系列 FPGA 芯片设计了一种基于数字移相技术的高精度脉宽测量系统，同时给出了系统的仿真结果和精度分析。与通常的脉冲计数法相比，该系统的最大测量误差减小到原来的 34.2%。

关键词：脉宽测量 数字移相 脉冲计数法 FPGA

在测量与仪器仪表领域，经常需要对数字信号的脉冲宽度进行测量。这种测量通常采用脉冲计数法，即在待测信号的高电平或低电平用一高频时钟脉冲进行计数，然后根据脉冲的个数计算待测信号宽度，如图 1 所示。待测信号相对于计数时钟通常是独立的，其上升、下降沿不可能正好落在时钟的边沿上，因此该法的最大测量误差为一个时钟周期。例如采用 80MHz 的高频时钟，最大误差为 12.5ns。

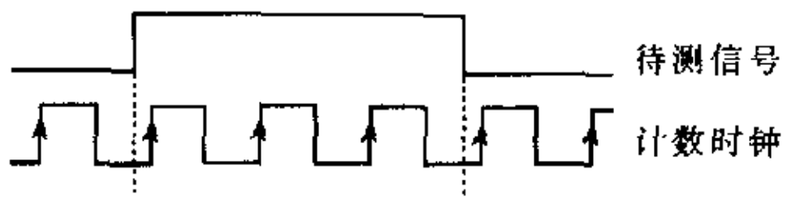


图 1 脉冲计数法测量原理

提高脉冲计数法的精度通常有两个思路：提高计数时钟频率和使用时幅转换技术[4]。时钟频率越高，测量误差越小，但是频率越高对芯片的性能要求也越高。例如要求 1ns 的测量误差时，时钟频率就需要提高到 1GHz，此时一般计数器芯片很难正常工作，同时也会带来电路板的布线、材料选择、加工等诸多问题。时幅转换技术虽然对时钟频率不要求，但由于采用模拟电路，在待测信号频率比较高的情况下容易受噪声干扰，而且当要求连续测量信号的脉宽时，电路反应的快速性方面就存在一定问题。

区别于以上两种方法，本文提出另一种利用数字移相技术提高脉宽测量精度的思路并使用 FPGA 芯片实现测试系统。

1 测量原理

所谓移相是指对于两路同频信号，以其中一路为参考信号，另一路相对于该参考信号做超前或滞后的移动形成相位差。数字移相通常采用延时方法，以延时的长短来决定两数字信号间的相位差，本文提出的测量原理正是基于数字移相技术。如图 2 所示，原始计数时钟信号 CLK0 通过移相后得到 CLK90、CLK180、CLK270，相位依次相差 90°，用这四路时钟信号同时驱动四个相同

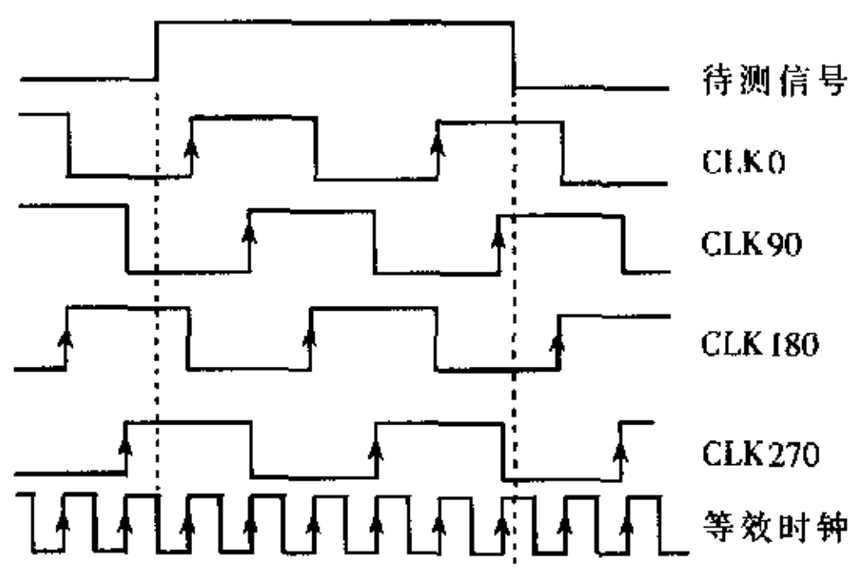


图 2 基于数字移相技术的测量原理

的计数器对待测信号进行计数。设时钟频率为 f，周期为 T，四个计数器的计数个数分别为 m_1、m_2、m_3 和 m_4，则最后脉宽测量值为：

$$w=\frac{(m_1+m_2+m_3+m_4)}{4}\times T \tag{1}$$

可以看到，这种方法实际等效于将原始计数时钟四倍频，以 $4f$ 的时钟频率对待测信号进行计数测量，从而将测量精度提高到原来的 4 倍。例如原始计数时钟为 80MHz 时，系统的等效计数频率则为 320MHz，如果不考虑各路计数时钟间的相对延迟时间误差，其测量的最大误差将降为原来的四分之一，仅为 3.125ns。同时，该法保证了整个电路的最大工作频率仍为 f，避免了时钟频率提高带来的一系列问题。

2 系统实现

系统实现的最关键部分是保证送入各计数器的时钟相对延迟精度，即要保证计数时钟之间的相位差。由于通常原始时钟频率已经相对较高(通常接近 100MHz)，周期在 10~20ns 之间，因此对时钟的延迟时间只有几 ns，使用普通的延迟线芯片无法达到精度要求；同时为了避免电路板内芯片间传送延迟的影响，保证测试系统的精度、稳定性和柔性。本文采用现场可编程门阵列(FPGA)来实现所提出的测量方法。系统结构如图 3 所示。晶振产生原始输入时钟，通过移相计数模块后得到脉宽的测量值，测量结果送入 FIFO 缓存中，以加快数据处理速

欢迎邮购本刊 1995~1999 年光盘版，每套 100 元

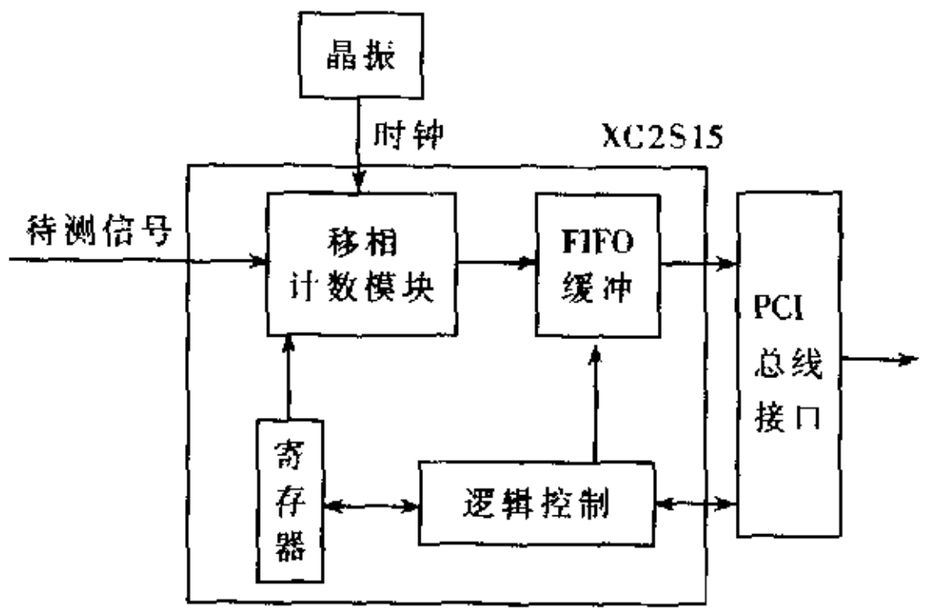


图 3 系统结构图

度，最后通过 PCI 总线完成与计算机的数据传输。逻辑控制用来协调各模块间的时序，保证系统的正常运行。为提高测试系统的灵活性和方便性，系统建立了内部寄存器，通过软件修改寄存器的值可以控制测试系统的启动停止，选择测量高电平或低电平等。移相计数模块、FIFO 缓冲以及逻辑控制均在 FPGA 芯片内实现，芯片使用 XILINX 公司的 SpartanII 系列。

SpartanII 系列是一款高性能、低价位的 FPGA 芯片，其最高运行频率为 200MHz，这里选用其中的 XC2S15-6（-6 为速度等级）。芯片提供了四个高精度片内数字延迟锁定环路（Delay-Locked Loop，即 DLL），可以保证芯片内时钟信号的零传送延迟和低的时钟歪斜（Clock Skew）；同时可以方便地实现对时钟信号的常用控制，如移相、倍频、分频等。在 HDL 程序设计中，可以使用符号 CLKDLL 调用片内 DLL 结构，其管脚图如图 4 所示。主要管脚说明如下：

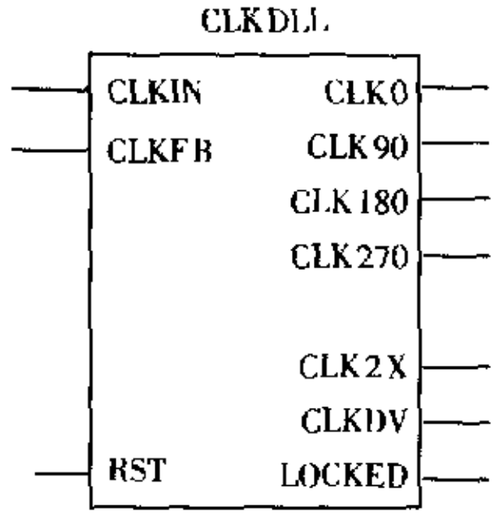


图 4 CLKDLL 管脚图

CLKIN：时钟源输入，其频率范围为 25~100MHz。

CLKFB：反馈或参考时钟信号，只能从 CLK0 或 CLK2X 反馈输入。

CLK[0|90|180|270]：时钟输出，与输入时钟同频，但相位依次相差 90°。其内部定义了属性 DUTY_CYCLE_CORRECTION，可以用来调整时钟的占空比，值为 FALSE 时，输出时钟占空比和输入时钟一致，值为 TRUE 时将占空比调整为 50%。

CLK2X：时钟源倍频输出，且占空比自动调整为 50%。

CLKDV：时钟源分频输出，由属性 CLKDV_DIVIDE 控制 N 分频，N 可以为 1.5、2、2.5、3、4、5、8 或 16。

LOCKED：该信号为低电平时，表示延迟锁相环 DLL 还没有锁定信号，上述输出时钟信号未达到理想信号；当变为高电平时，表示锁相环已经完成信号锁定，输出时钟信号可用。若时钟源输入频率大于 60MHz，则系统锁定时间大约需 20μs。

利用 DLL 功能可以非常快速方便地构建移相计数模块，实现本文前面介绍的测量方法。移相计数模块结构如图 5 所示。原始时钟通过 CLKDLL 处理后得到的相位依次相差 90°的四路时钟输出为 CLK0、CLK90、CLK180 和 CLK270，它们分别作为四个相同的 16 位计数器的计数时钟，待测信号连接计数器的使能端，同时控制四个计数器的启动和停止。有了各计数器的计数结果，再通过加法器得到累加的计数个数，最后计算出信号脉宽值。

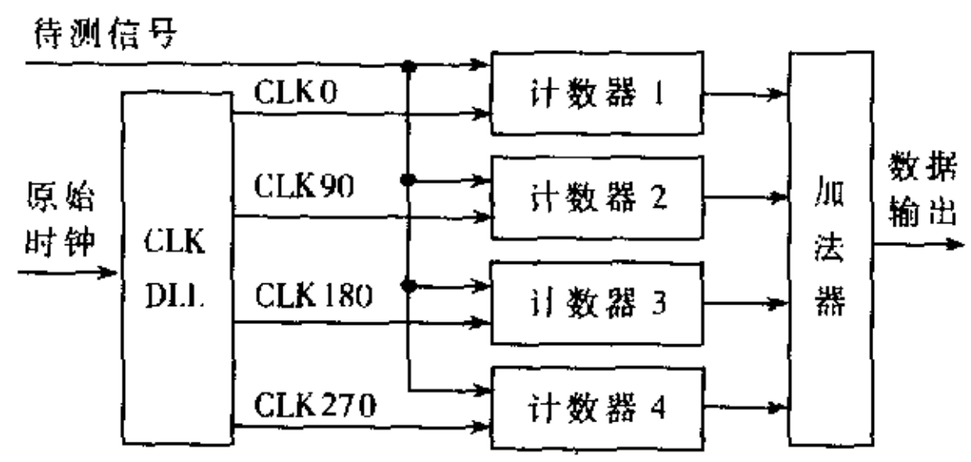


图 5 移相计数模块结构

3 仿真和精度分析

图 6 给出了 FPGA 芯片内部布线后用 Modelsim 进行仿真的结果。在 RESET 后就启动移相计数模块，开始对待测信号进行测量，完成一次测量后产生 READY 信号，同时输出测量结果，以供后续部分使用。仿真的结果证明测试系统达到设计目标。

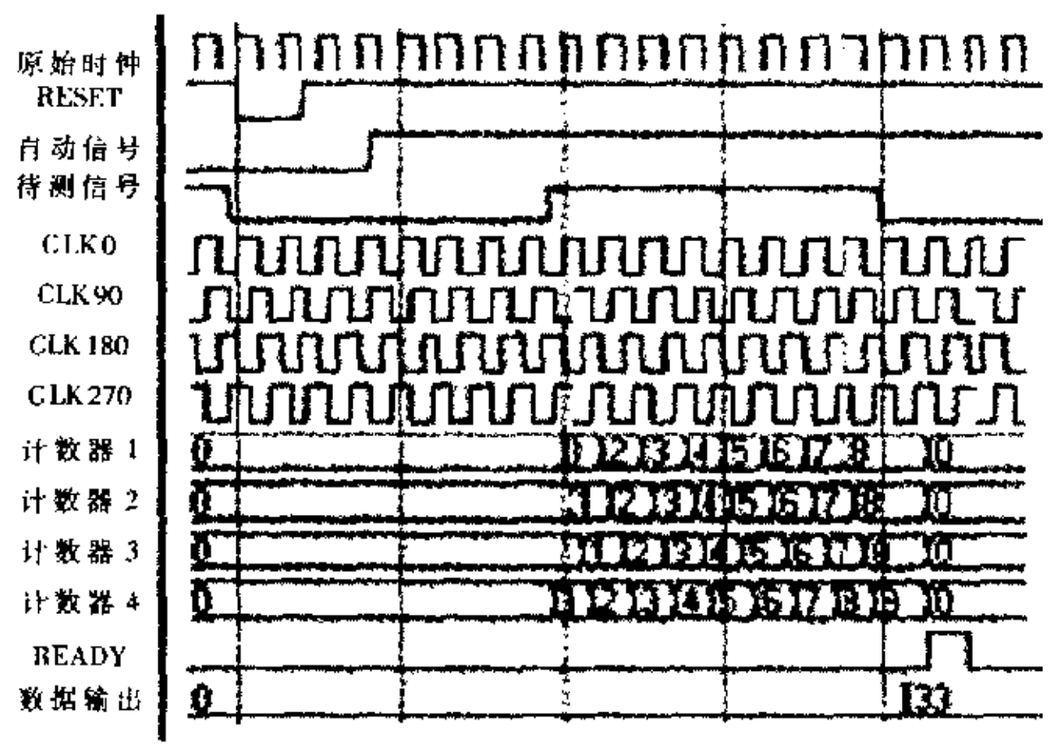


图 6 仿真波形图

下面进一步对系统做深入的误差分析。造成系统测量脉宽误差的来源主要有系统原理误差 T_S、时钟相移误差 T_P 和信号延迟误差 T_d 以及计数时钟抖晃 T_C，如图 7 所示。

由前所述，当 80MHz 晶振时钟输入时，系统原理误差 T_S=3.125ns。时钟相移误差为从 CLKDLL 中出来的四路时钟信号之间本身的相位偏移，根据芯片提供的参数，其最大 T_P 为 200ps。计数时钟抖晃是指从 CLKDLL 中输出的时钟信号本身周期的偏差，其最大 T_C 为 60ps。由于计数的时钟周期数较多，故平均后其对整个系统的

万方数据

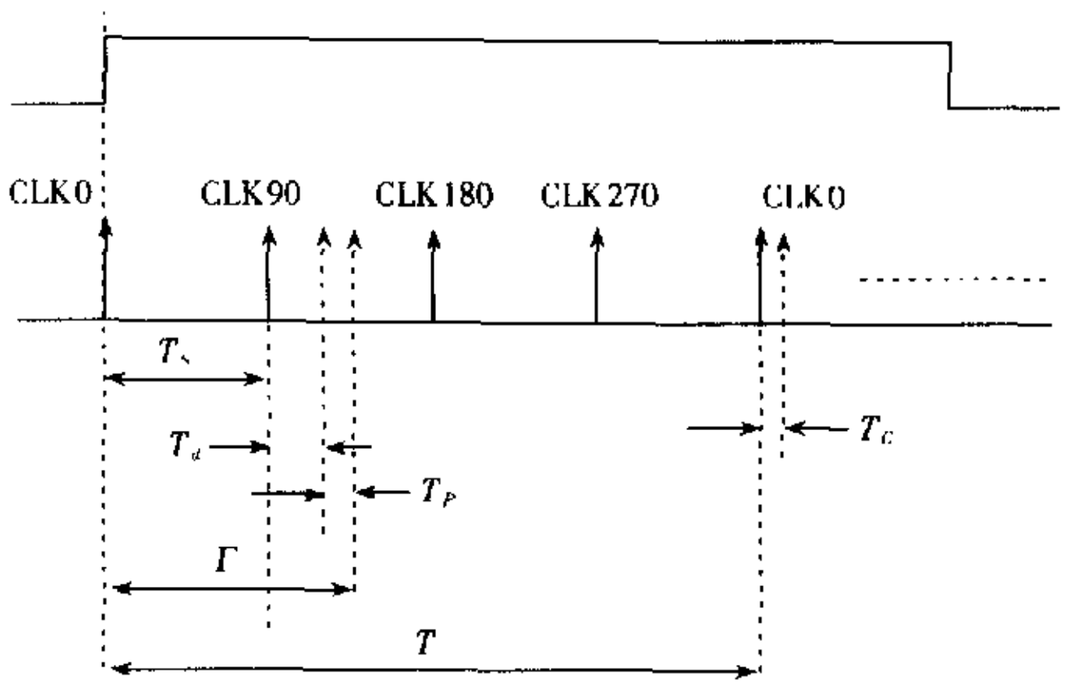


图 7 系统误差构成示意图

测量误差影响可以忽略不计。

信号延迟误差即为由于芯片内部各信号传输延迟不一致而造成的四个计数器计数的同步误差。为分析该误差情况，用 ISE 5.1 提供的 Timing Analyzer 程序对关键路径做进一步的时间分析，得到的结果如表 1 所示。

表 1 各信号到计数器的延迟分析(单位:ns)

	计数器 1	计数器 2	计数器 3	计数器 4
计数时钟延迟 CLK[0|90|180|270]	3.294	3.562	3.640	3.149
待测信号延迟	3.962	4.665	4.843	4.767
时钟相对信号延迟	0.668	1.103	1.203	1.618
延迟误差 T_d	T'_d=1.618-0.668=0.950			

表中第一栏为从 CLKDLL 中出来的计数时钟到各自计数器的延迟时间，第二栏为用来控制计数器启动停止的 HF 信号到四个计数器的时间。由于需要的是各计数时钟间相对延迟时间，故第三栏给出时钟相对于 HF 信号到计数器的延迟，即为第一栏和第二栏的差值。由此得出信号延迟误差 T_d=0.950ns。

故有系统测量误差 Γ 为：

$$\Gamma=T_S+T_P+T_d=4.275\text{ns} \quad (2)$$

即脉宽测量最大误差为±4.275ns。与脉冲计数法比较，同样的 80MHz 时钟输入，最大测量误差减小到原来的 34.2%。

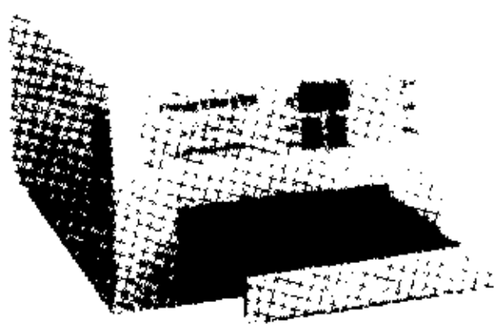
本文在数字移相技术的基础上设计了一种高精度的脉宽测量系统，使测量精度相对于脉冲计数法提高了多倍。若需进一步提高这种方法的测量精度，可以通过以下两个方面进行改进：(1)继续提高晶振频率，寻求速度更快的 FPGA 芯片。晶振频率越高，系统原理误差越小。(2)减小信号延迟误差。由前面可以看到，信号的延迟误差对系统精度的影响占了很大的比例。减小各计数时钟和待测信号到计数器的信号延迟的差异，可以有效地提高测量精度。由于 FPGA 内部信号延迟的时间均可以很方便地得到，因此在设计时可以通过调整内部各元件的放置位置以及连线来尽量减小延迟误差，或者通过添加一些门电路来增加延时以使各信号延迟时间尽可能相同。

参考文献

1 Spartan-II Data Sheet. Xilinx, 2001
2 边计年，薛宏熙译. 用 VHDL 设计电子线路. 北京：清华大学出版社，2000
3 卢 毅，赖 杰. VHDL 与数字电路设计. 北京：科学出版社，2001
4 王勇新，章恩耀，方仲彦. 时幅转换技术及其在激光测距系统中的应用. 光学技术，2001;27(2):132~135

(收稿日期：2003-10-10)

航天华泰 HT996 系列全自动表面贴装再流焊炉



HT 系列台式再流焊炉是北京航天华泰电子技术研究所高级工程师积十余年 SMT 工作经验设计、研制、开发的具有高性能、高可靠性的新型高科技产品。本产品具有体积小、耗电少、免维护、环保、操作简便性能稳定可靠等特点，非常适合院校、科研单位进行教学和研发使用，也很适合中小企业的中小批量生产。

产品技术特点：

(1)焊接产生的烟雾废气排出室外，保护工作环境；可用无铅焊料，利于自然保护；(2)红外与热风混合，自上而下垂直风向，工作面温度均匀受力合理；(3)人性化设计，工艺参数可按需自行调整；(4)不分温区 PCB 板静止不动温度按设定温度曲线变化实现静止焊接；(5)工件盘自动进出，无需人工看管焊接过程

产品强大功能：

(1)可焊单面板、双面板、厚膜、薄膜、铝基板等表贴电路；
(2)可焊 CSP、BGA、QFP、PLCC 等各种封装形式；
(3)可焊 1206、0805、0603、0402 等各种规格；
(4)可返修线路板，确保表贴元件不受损伤。

主要技术指标			
有效焊接面积	260mm×180mm 260mm×230mm 260mm×260mm 260mm×310mm 300mm×320mm 310×mm360mm 500×mm260mm 400×mm400mm	工艺周期	约 5 分钟
		电源电压	220V 50Hz
		额定功率	2.0kW-4.0kW
		外型尺寸 mm³	600×500×280
			600×600×280
		整机重量	40kg~60kg

本所将于 2004 年 3 月 4 日至 7 日参加在苏州国际会议展览中心举办的第 5 届中国电子工业(苏州)展览会。展位号为：C41

北京航天华泰电子技术研究所
地址：北京航天二院西工业区物资大楼 116 室
电话：010-68765212 68766142
传真：010-68766142
Email:huatai@public.fhnet.cn.net

上海办事处
地址：上海市襄阳南路 578 号甲 406 室
电话：021-54652381
传真：021-34060985
联系人：朱 振

深圳办事处
地址：深圳市红荔西路第壹世界广场 A 座 8 楼 D3
电话：0755-82969955
传真：0755-82969855
联系人：耿 庆

杭州经销商
地址：杭州市教工路 6 号求是大厦 10 楼
电话：0571-88219901 88271433
传真：0571-88219902
联系人：陈立伟 13906511055