



A7102C

Preliminary

315/433/868/915MHz FSK Transceiver

Document Title

315/433/868/915MHz FSK Transceiver

Revision History

<u>Rev. No.</u>	<u>History</u>	<u>Issue Date</u>	<u>Remark</u>
0.0	Preliminary	Jun. 26 , 2008	

AMICCOM CONFIDENTIAL

Important Notice:

AMICCOM reserves the right to make changes to its products or to discontinue any integrated circuit product or service without notice. AMICCOM integrated circuit products are not designed, intended, authorized, or warranted to be suitable for use in life-support applications, devices or systems or other critical applications. Use of AMICCOM products in such applications is understood to be fully at the risk of the customer.

Table of contents

1. 一般描述 (General Description)	4
2. 基本應用 (Typical Applications)	4
3. 特性 (Features)	4
4. 接腳配置 (Pin Configurations)	4
5. RF Chip方塊圖 (Block Diagram)	5
6. 絕對最大範圍	6
7. 電氣特性	6
8. 接腳說明	8
9. 控制暫存器 (Control Register).....	9
9.1 Control Register Summary.....	9
9.2 控制暫存器說明 (Control Register Description):.....	10
9.2.1 System clock (Address: 00h)	10
9.2.2 PLL I (Address: 01h).....	10
9.2.3 PLL II (Address: 02h).....	11
9.2.4 PLL III (Address: 03h).....	11
9.2.5 PLL IV (Address: 04h)	11
9.2.6Crystal (Address: 05h)	12
9.2.7 TX I (Address: 06h).....	13
9.2.8 TX II (Address: 07h).....	13
9.2.9 RX I (Address: 08h).....	14
9.2.10 RX II (Address: 09h)	15
9.2.11 ADC (Address: 0Ah)	16
9.2.12 FIFO (Address: 0Bh).....	16
9.2.13 Code (Address: 0Ch)	17
9.2.14 Pin Control (Address: 0Dh)	17
9.2.15 Calibration (Address: 0Eh).....	18
9.2.16 Mode control (Address: 0Fh)	20
10. 3 線串列介面(3-wire serial interface)控制.....	22
10.1 3-Wire串列介面格式.....	22
10.2 3 線串列介面時序圖(3-Wire Serial Interface Timing Chart).....	23
10.3 控制暫存器存取型態	23
10.4 3 線串列介面時序特性(3-Wire Serial Interface Timing Specification).....	24
10.5 RF chip Reset Command.....	24
10.6 重置 TX FIFO 位址指標 (Reset TX FIFO Pointer)	24
10.7 重置 RX FIFO位址指標 (Reset Rx FIFO Pointer).....	25
10.8 ID Read/Write Command.....	25
10.9 TX FIFO write /RX FIFO Read Command	25
11 振盪電路連接	27
11.1 使用內部振盪電路	27
11.2 使用外部振盪信號(Clock Source).....	27
12. 系統時脈 (System Clock)	28
12.1 clock chain 機制.....	28
12.2 一些除頻器的設定	29
13. 工作頻率設定	31
13.1 IP,FP, R值的設定.....	31
14. 系統狀態機制 (State machine)	32
15. CAL state的校準	34
15.1 IF Cal校準 (Calibration Process).....	34
15.2. VCO band校準(Calibration Process)	34
16. FIFO (First In First Out)功能	35
16.1 傳送封包格式	35
16.2 封包處理 (Packet Handling).....	36
16.3 資料傳送時間計算	36
16.4 TX/RX FIFO.....	37
16.5 FIFO Extension.....	38
17. 工作模式 (Mode of operation)	40

17.1 Direct mode	40
17.1.1 TX傳送時序.....	40
17.1.2 RX傳送時序	41
17.2 FIFO mode.....	42
17.2.1 TX傳送時序.....	42
17.2.2 RX接收時序	43
17.3 pin TRE切換時序	43
18. ADC (Analog Digital Converter)	44
18.1 溫度量測	44
18.2 RSSI量測	44
18.3 載波(Carrier)偵測	44
18.4 外部信號源量測.....	44
19. 實時時鐘RTC(Real Time Clock).....	45
20. 頻率補償 (Frequency Compensation)	46
21. 應用電路(Application Circuit)	47
21.1 315MHz Band應用電路.....	47
21.2 433MHz Band應用電路.....	48
21.3 868 / 915MHz Band應用電路.....	49
22. 包裝資訊(Package Information)	50
23. 產品資訊(Ordering Information)	51

AMICCOM CONFIDENTIAL

1. 一般描述 (General Description)

A7102C 是一單晶片 CMOS 製程，用於 315/433/868/915MHz ISM 頻段的無線應用 IC。這裝置提供 32 接腳, QFN5x5 包裝。FSK 調變技術，可雙向傳輸 data rate 最高為 150Kbps。

2. 基本應用 (Typical Applications)

- Wireless data communication
- Remote control
- Keyless entry
- Home automation
- Wireless toy

3. 特性 (Features)

- Frequency bands: 315/433/868/915MHz
- Programmable RF output power: up to 15dBm
- Low power consumption:
RX:12mA, TX:20mA@0dBm
- Supply voltage 2.2 ~ 3.6V
- Programmable data rate up to 150kbps
- No external SAW Filter
- Optional RTC function
- On chip 8-bit ADC
- Integrated temperature sensor
- RSSI (Received Signal Strength Indicator)
- Programmable channel filter bandwidth
- Programmable carrier sense indicator
- RX clock recovery
- Frame synchronization recognition
- Optional FEC/CRC/data whitening
- Optional Manchester Data
- 64 bytes TX/RX FIFO buffer
- Extern FIFO up to 256 bytes
- Small 5x5 mm QFN32 package

4. 接腳配置 (Pin Configurations)

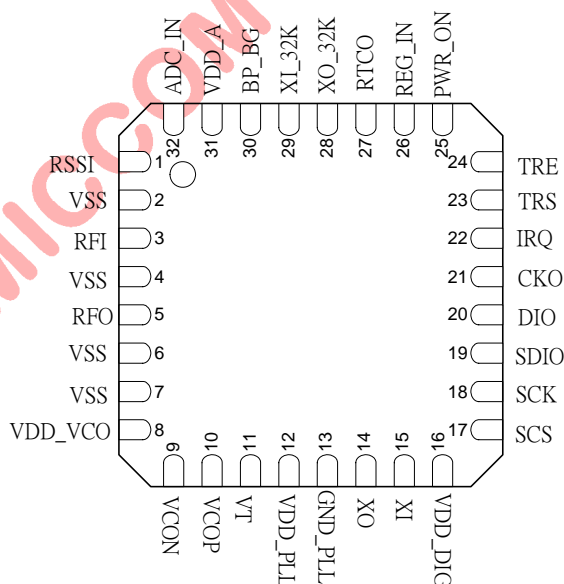


Fig1. A7102C QFN Package Top View

Important Notice:

AMICCOM reserves the right to make changes to its products or to discontinue any integrated circuit product or service without notice. AMICCOM integrated circuit products are not designed, intended, authorized, or warranted to be suitable for use in life-support applications, devices or systems or other critical applications. Use of AMICCOM products in such applications is understood to be fully at the risk of the customer.

5. RF Chip 方塊圖 (Block Diagram)

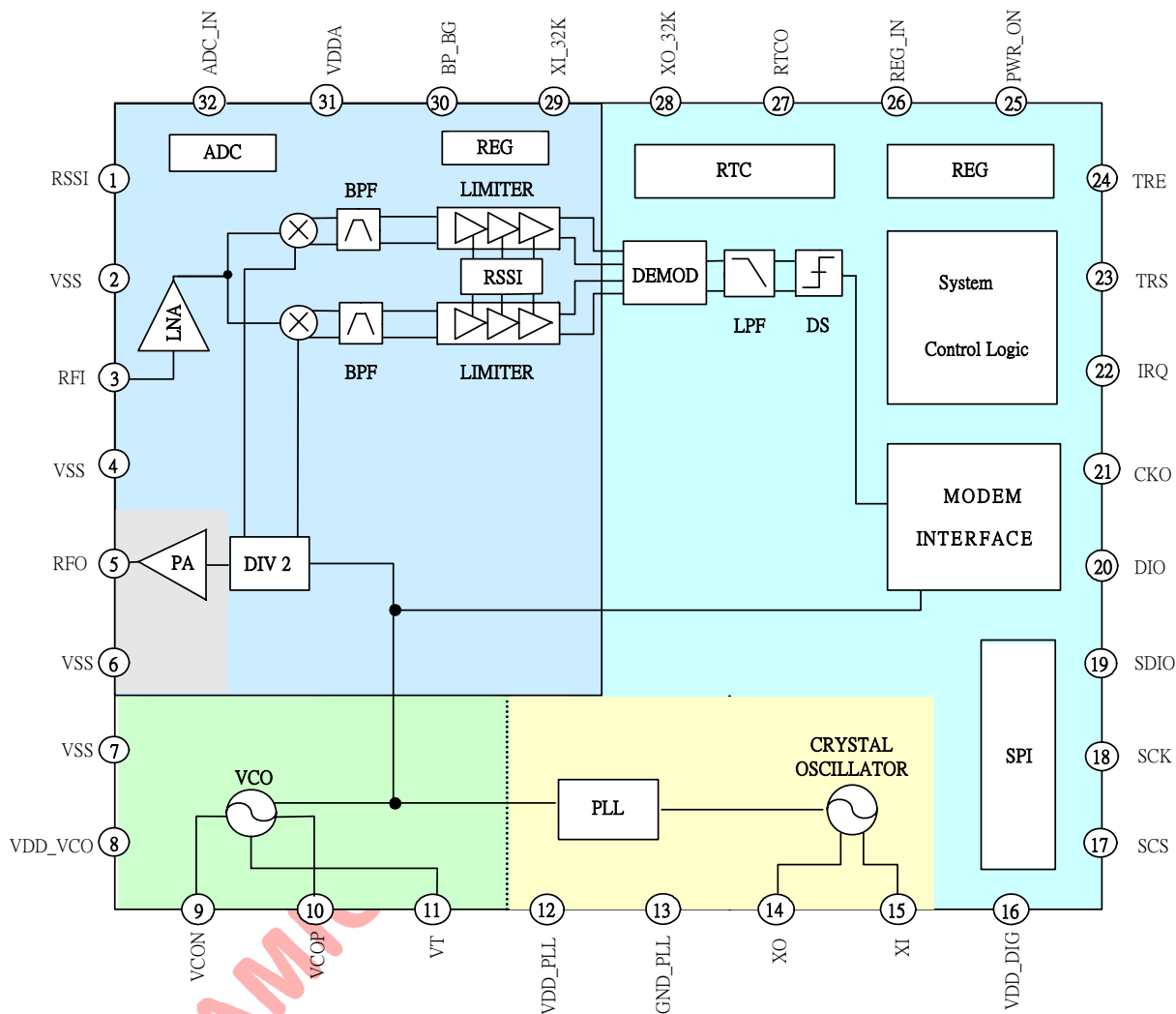


Fig2.系統方塊圖

6. 絶對最大範圍

Parameter	With respect to	Rating	Unit
Supply voltage range (VDD)	GND	-0.3 ~ 3.6	Vdc
Other I/O pins range	GND	-0.3 ~ VDD+0.3	Vdc
Maximum input RF level		0	dBm
Storage Temperature range		-55 ~ 125	°C

*Stresses above those listed under “Absolute Maximum Rating” may cause permanent damage to the device. These are stress ratings only; functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

7. 電氣特性

電氣特性(Ta=25°C, VDD=3.3V, data rate= 100kbps)

Parameter	Description	Minimum	Typical	Maximum	Unit
General					
Operating Temperature		-40		85	°C
Supply Voltage		2.2	3.3	3.6	V
Current Consumption	Sleep Mode		1		uA
	RTC Mode		50		uA
	Standby Mode(x'tal off)		0.3		mA
	Standby Mode(x'tal on)		1		mA
Current Consumption Transceiver Circuit in 315/433MHz band	RX low gain mode		13		mA
	RX high gain mode		14.5		mA
	TX Mode @15dBm output		42		mA
	TX Mode @10dBm output		34		mA
	TX Mode @5dBm output		25		mA
	TX Mode @0dBm output		20		mA
Current Consumption Transceiver Circuit in 868/915MHz band	Synthesizer Mode		8		mA
	RX low gain mode		16		mA
	RX high gain mode		18		mA
	TX Mode @12dBm output		42		mA
	TX Mode @10dBm output		34		mA
	TX Mode @5dBm output		25		mA
	TX Mode @0dBm output		20		mA
Synthesizer Mode		9		mA	
Phase Locked Loop					
X'TAL Settling Time	couple=1, high current		0.45		ms
X'TAL frequency	@150K Mode ¹		4/8/12.8/19.2		MHz
PLL Phase noise (loop component: R1=3.9k,C1=1.5nF,C2=220pF)	PN @10k offset		75		dBc/Hz
	PN @100k offset		100		dBc/Hz
	PN @500k offset		115		dBc/Hz
Reference spur			65		dBc
PLL Settling Time @settle to 10Hz	C1=2.2nF,R2=820,C2=33nF,R3=22k,C3=33pF		70		μs
Transmitter					

TX Power	@ Maximum Power Setting		15		dBm
Power Control Range	Step 5dBm		15		dB
TX Settling Time			60		μs
Receiver					
Sensitivity @BER=0.001, high gain mode, 315MHz	Data rate @50kbps ²		-112		dBm
	Data rate @100kbps ²		-109		
	Data rate @150kbps ²		-104		
Sensitivity @BER=0.001, high gain mode, 433MHz	Data rate @50kbps ²		-110		dBm
	Data rate @100kbps ²		-107		
	Data rate @150kbps ²		-104		
Sensitivity @BER=0.001, high gain mode, 868MHz	Data rate @50kbps ²		-108		dBm
	Data rate @100kbps ²		-105		
	Data rate @150kbps ²		-102		
Sensitivity @BER=0.001, high gain mode, 915MHz	Data rate @50kbps ²		-106		dBm
	Data rate @100kbps ²		-103		
	Data rate @150kbps ²		-100		
IF Frequency	@50K Mode		100		KHz
	@100K Mode		200		
	@150K Mode		300		
Receiver bandwidth	@50K Mode		50		KHz
	@100K Mode		100		
	@150K Mode		150		
Image Rejection			25		dB
RSSI Range	@RF input	-120		-60	dBm
RSSI linearity			-/+2		dB
RX Settling Time			150		μs

Note:

1. Crystal frequency can be chosen 1 to 32X of 0.8MHz.
2. Max Data rate= 50kbps @50K Mode, Max Data rate= 150kbps @150K Mode.

8. 接腳說明

Note: I: 輸入(input); O: 輸出(output); A: 類比(Analog); D: 數位(Digital)

Pin No.	Symbol		Function Description
1	RSSI	AI	RSSI bypass. 連接外部電容.
2	VSS	AI	類比(Analog)電路接地點.
3	RFI	AI	射頻(RF) 輸入端.
4	VSS	AI	類比(Analog)電路接地點.
5	RFO	AO	射頻(RF) 輸出端.
6	VSS	AI	類比(Analog)電路接地點.
7	VSS	AI	類比(Analog)電路接地點.
8	VDD_VCO	AI	VCO 電源提供輸入.
9	VCON	AI	VCO 外部電感元件接點 1.
10	VCOP	AI	VCO 外部電感元件接點 2..
11	VT	AI	VCO VT(tuning voltage)輸入.
12	VDD_PLL	AI	PLL 電源提供輸入.
13	GNDPLL	AI	PLL 電路接地.
14	XO	AO	振盪電路接點 2 .
15	XI	AI	振盪電路接點 1 .
16	VDD_DIG	AO	數位(Digital) 電源提供輸出.
17	SCS	DI	SPI 信號致能.
18	SCK	DI	SPI 時脈信號.
19	SDIO	DI/O	SPI 資料信號.
20	DIO	DI/O	在 direct mode 時, 雙向資料(TX/RX)接腳.
21	CKO	DO	時脈信號輸出. RCK (RX recovery clock) or DCK (TX data clock).
22	IRQ	DI/O	多工信號輸入/輸出. CD (carrier detect), SYNC (RX frame sync) , FP (FIFO packet).
23	TRS	DI	TX/RX state 選擇. 0:RX, 1:TX.
24	TRE	DI	TX/RX mode 致能接腳. 高電位致能.
25	PWR_ON	DI	RF Chip 電源致能(ON/OFF)接腳. 高電位致能..
26	REG_IN	AI	+3.3V 提供電源輸入接腳.
27	RTCO	DO	32.768KHz 參考時脈輸出.
28	XO_32K	AI	32.768KHz 晶體振盪電路接點 2.
29	XI_32K	AI	32.768KHz 晶體振盪電路接點 1.
30	BP_BG	AI	Bandgap bypass. 連接外部電容.
31	VDD_A	AO	類比(Analog)電源提供輸出.
32	ADC_IN	AI	外部信號 ADC 輸入腳

9. 控制暫存器 (Control Register)

A7102C chip 有16 x 16-bit的控制暫存器，可透過簡單的3線串列相容的介面操作讀出或寫入資料（SCS, SCK, SDIO）。控制暫存器列表如下：

9.1 Control Register Summary

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h System clock	W	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0	GRS	GRC4	GRC3	GRC2	GRC1	GRC0	CSC2	CSC1	CSC0
	R	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0	GRS	GRC4	GRC3	GRC2	GRC1	GRC0	CSC2	CSC1	CSC0
01h PLL I	W				MDIV	RRC3	RRC2	RRC1	RRC0	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0
02h PLL II	W	FP15	FP14	FP13	FP12	FP11	FP10	FP9	FP8	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
03h PLL III	W	AFC	MC14	MC13	MC12	MC11	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC34	MC24	MC1	MC0
	R	AFC	MC14	MC13	MC12	MC11	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC34	MC24	MC1	MC0
04h PLL IV	W					PDL2	PDL1	PDL0	HFB	VCS1	VCS0	CPS	CPC1	CPC0	SDPW	NSDO	EDI
05h Crystal	W							RTOE	RTCI	RTC1	RTC0	RTCE	XCC	XCP1	XCP0	CGS	XS
06h TX I	W				TME	GS	FDP2	FDP1	FDP0	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
07h TX II	W							TDL1	TDL0	TXDI	PAC1	PAC0	TDC1	TDC0	TBG2	TBG1	TBG0
08h RX I	W		DMT	MPL1	MPL0	SLF2	SLF1	SLF0	ETH1	ETH0	DMOS	DMG1	DMG0	BW1	BW0	ULS	HGM
09h RX II	W	RXDI	PMD1	PMD0	DCV7	DCV6	DCV5	DCV4	DCV3	DCV2	DCV1	DCV0	DCL2	DCL1	DCL0	DCM1	DCM0
0Ah ADC	W							XADS	CDM	RTH7	RTH6	RTH5	RTH4	RTH3	RTH2	RTH1	RTH0
	R							VBD1	VBD0	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
0Bh FIFO	W	FPM1	FPM0	PSA5	PSA4	PSA3	PSA2	PSA1	PSA0	FEP7	FEP6	FEP5	FEP4	FEP3	FEP2	FEP1	FEP0
0Ch Code	W			WS6	WS5	WS4	WS3	WS2	WS1	WS0	MCS	WHTS	FECS	CRCS	IDL	PML1	PML0
0Dh Pin control	W							PCS	IRQI	IRQ1	IRQ0	IRQE	CKOI	CKO1	CKO0	CKOE	SCKI
0Eh Calibration	W		VTL2	VTL1	VTL0	VTH2	VTH1	VTH0	MVBS	MVB2	MVB1	MVB0	MIFS	MIF3	MIF2	MIF1	MIF0
	R	FCD4	FCD3	FCD2	FCD1	FCD0	DVT1	DVT0	VBCF	VB2	VB1	VB0	FBCF	FB3	FB2	FB1	FB0
0Fh Mode control	W								FMT	FMS	CER	PLLE	TRSR	TRER	VBC	FBC	ADCM
	R						FECF	CRCF	FMT	FMS	CER	PLLE	TRSR	TRER	VBC	FBC	ADCM

9.2 控制暫存器說明 (Control Register Description):

9.2.1 System clock (Address: 00h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h System clock	W	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0	GRS	GRC4	GRC3	GRC2	GRC1	GRC0	CSC2	CSC1	CSC0
	R	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0	GRS	GRC4	GRC3	GRC2	GRC1	GRC0	CSC2	CSC1	CSC0
Reset		0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

SDR[6:0]:

鮑率 (data rate) 除頻器設定，將系統時脈 (f_{system}) 除頻至所需要的鮑率的 128 倍：

$$Data\ rate = \frac{1}{128} \cdot \frac{f_{system}}{SDR[6:0] + 1}$$

GRS:

時脈產生參考頻率 (clock generation reference frequency) 選擇。

[0]: 800KHz

[1]: 1.2MHz

GRC[4:0]:

時脈產生參考頻率除頻器設定，將石英振盪器訊號或外部參考信號 (f_{xtal}) 除頻成時脈產生參考頻率 (f_{CGRF})：

$$f_{CGRF} = \frac{f_{xtal}}{GRC[4:0] + 1} = 800kHz\ or\ 1.2MHz$$

CSC[2:0]:

系統時脈除頻器設定，將 clock source (f_{source}) 除頻成所需要的系統時脈：

$$f_{system} = \frac{f_{source}}{CSC[2:0] + 1}$$

註：請參考第 12 章節

9.2.2 PLL I (Address: 01h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
01h PLL I	W				MDIV	RRC3	RRC2	RRC1	RRC0	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0
Reset					1	0	0	0	0	0	0	0	0	0	0	0	0

MDIV:

RF 整數部份範圍設定：

[0]:IP[7:0]的範圍為 32~67。

[1]:IP[7:0]的範圍為 68 ~ 255。

RRC[3:0]:

RF PLL 參考除頻器設定，將石英振盪器訊號或外部參考信號 (f_{xtal}) 除頻成所需要的 PLL 參考比較頻率 (PLL phase frequency detector comparison frequency, f_{PFD})：

$$f_{PFD} = \frac{f_{xtal}}{RRC[3:0] + 1}$$

IP[7:0]:

RF 整數部份設定。

註：請參考第 13 章節

9.2.3 PLL II (Address: 02h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
02h PLL II	W	FP15	FP14	FP13	FP12	FP11	FP10	FP9	FP8	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FP[15:0]:

RF PLL 分數部份(fractional part)設定。

$$f_{RF} \cdot 2 = f_{PFD} \cdot (IP[7:0] + \frac{FP[15:0]}{2^{16}})$$

 f_{RF} 為 RF 的工作頻率

9.2.4 PLL III (Address: 03h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
03h PLL III	W	AFC	MC14	MC13	MC12	MC11	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC34	MC24	MC1	MC0
	R	AFC	MC14	MC13	MC12	MC11	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC34	MC24	MC1	MC0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

AFC:

頻率補償 (frequency compensation) 自動/手動校調選擇。

[0]: 手動校調

[1]: 自動校調

MC[14:0]:

寫入：為 RF PLL 分數部份手動設定補償值。

讀出：為自動頻率補償開啓時所得到的頻率差值。

9.2.5 PLL IV (Address: 04h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
04h PLL IV	W					PDL2	PDL1	PDL0	HFB	VCS1	VCS0	CPS	CPC1	CPC0	SDPW	NSDO	EDI
Reset						0	0	0	0	0	0	0	0	0	0	0	0

PDL[2:0]:

PLL 設定延遲時間

$$Delay = \frac{128}{f_{systemclock}} \cdot (BW[1:0] + 1) \cdot (PDL[2:0] + 1) \cdot (RRC[3:0] + 1)$$

註: BW[1:0] –RX I register (0x08), bit [3:2]

HFB:

傳輸頻段選擇。

[0]: 低頻段，工作頻率 < 500MHz

[1]: 高頻段，工作頻率在 500MHz~ 1GHz。

VCS[1:0]:

VCO 電流控制。建議值為 1。

CPS:

Charge pump tri-state 設定。

[0]: Tri-state

[1]: Normal (建議值)

CPC[1:0]:

Charge pump 電流設定。

[00]: 0.5mA

[01]: 1mA (建議值)

[10]: 1.5mA

[11]: 2mA

SDPW:

Pulse width of sigma-delta modulator.建議值為 1.

NSDO[1:0]:

Mash sigma delta order setting,

[0]: order 2.(建議值)

[1]: order 3.

EDI[1:0]:

Dither noise enable/disable 設定

[0]: dither noise 關閉(建議值)

[1]: dither noise 開啓

9.2.6Crystal (Address: 05h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
05h Crystal	W							RTOE	RTCI	RTC1	RTC0	RTCE	XCC	XCP1	XCP0	CGS	XS
Reset								0	0	0	0	0	0	0	0	0	0

RTOE[2:0]:

RTC 輸出設定。

[0]: 關閉,High Z。

[1]: 開啓。

註:請參考第 19 章節.

RTCI:

RTC 時脈信號反向輸出。

[0]: 信號非反向輸出。

[1]: 信號反向輸出。

RTC[1:0]:

RTC 週期時間設定。

[00]: 250ms。

[01]: 1s。

[10]: 500ms。

[11]: 2 sec。

RTCE:

RTC 計數器開啓/關閉設定。

[0]: 關閉。

[1]: 開啓。

XCC:

Crystal 電流設定。

[0]: Low current。

[1]: High current (建議值)。

XCP[1:0]:

Crystal regulating couple setting. 建議值為[00].

CGS:

Clock generation 選擇。

[0]: 關閉。

[1]: 開啓。

XS:

Crystal 振盪電路 On/Off 選擇設定。

[0]: 關閉。

[1]: 開啓。

9.2.7 TX I (Address: 06h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h TX I	W				TME	GS	FDP2	FDP1	FDP0	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
Reset					1	0	1	0	1	0	1	0	0	0	0	0	0

TME:

TX 調變致能。

[0]: TX 調變關閉(測試模式)。

[1]: TX 調變開啓(正常工作模式)。

GS:

高斯濾波器(Gaussain filter)選擇。

[0]: 高斯濾波器關閉。

[1]: 高斯濾波器開啓。

FDP[2:0]:

Frequency deviation power 設定。

FD[7:0]:

頻率偏移量 (frequency deviation) 設定。

$$\text{如高斯濾波器關閉 (GS = 0) : } f_{dev} = \frac{1}{2} \cdot f_{PFD} \cdot FD[7:0] \cdot \frac{2^{FDP[2:0]}}{2^{19}}$$

$$\text{如高斯濾波器開啓 (GS = 1) : } f_{dev} = \frac{1}{2} \cdot f_{PFD} \cdot 128 \cdot \frac{2^{FDP[2:0]}}{2^{19}}$$

9.2.8 TX II (Address: 07h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
07h TX II	W							TDL1	TDL0	TXDI	PAC1	PAC0	TDC1	TDC0	TBG2	TBG1	TBG0
Reset								0	0	0	0	1	1	0	1	1	1

TDL[1:0]:

TX settling 延遲時間選擇。

$$Tx \text{ settling delay} = \frac{128}{f_{systemclock}} \cdot (BW[1:0] + 1) \cdot (TDL[1:0] + 1) \cdot (RRC[3:0] + 1)$$

註: BW[1:0] –RX I register(0x08), bit [3:2].

TXDI:

TX data 輸入反向選擇。
 [0]: TX data 非反向輸入。
 [1]: TX data 反向輸入。

PAC[1:0]:

PA 電流設定。

TDC[1:0]:

TX driver 電流設定。

TBG[2:0]:

TX buffer 增益設定。

9.2.9 RX I (Address: 08h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
08h RX I	W		DMT	MPL1	MPL0	SLF2	SLF1	SLF0	ETH1	ETH0	DMOS	DMG1	DMG0	BW1	BW0	ULS	HGM
Reset			0	0	1	1	0	0	0	1	0	0	1	0	0	0	0

保留位元(Reserved for Demodulator test bit)。

[0]: Normal(預設值)。
 [1]: 測試用。

MPL[1:0]:

Symbol recovery loop filter setting after SYNC ok(建議值為[01])。

SLF[2:0]:

symbol recovery loop filter 參數設定(建議值為[100])。

ETH[1:0]:

ID code 容許錯誤 bit 數。

[00]: 0 bit。
 [01]: 1bits(建議值)。
 [10]: 2 bits。
 [11]: 3 bits。

DMOS:

Demodulator over-sample 選擇。

[0]: x64(預設值)。
 [1]: x32。

DMG[1:0]:

Demodulator 增益選擇

[00]: x1 倍。
 [01]: x3 倍(預設值)。
 [1x]: x5 倍。

BW[1:0]:

BPF 頻帶寬選擇。

[00]: 50KHz, data rate \leq 50Kbps。
 [01]: 100KHz, 50K < data rate \leq 100Kbps。
 [10]: 150Hz, 100K < data rate \leq 150Kbps
 [11]: None。

ULS:

接收端 Up/Low side band 選擇。

[0]: 上旁波帶(Up side band), TX A 端頻率 - IF 頻率(中頻) = RX B 端頻率。
 [1]: 下旁波帶(Low side band), TX A 端頻率 + IF 頻率(中頻) = RX B 端頻率。

HGM:

LNA gain 設定。

[0]: Low Gain。

[1]: High Gain。

9.2.10 RX II (Address: 09h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
09h RX II	W	RXDI	PMD1	PMD0	DCV7	DCV6	DCV5	DCV4	DCV3	DCV2	DCV1	DCV0	DCL2	DCL1	DCL0	DCM1	DCM0
Reset								0	0	0	0	1	1	0	1	1	1

RXDI:

RX data 輸入信號反向。

PMD[1:0]:

Preamble 長度偵測設定。DCM[1:0] = 01, 10, 11 時，會自動執行 preamble 長度偵測。

[00]: 0 bit。

[01]: 4 bits。

[10]: 8 bits(預設值)。

[11]: 16 bits。

注意：偵測長度設定需小於 PML[1:0](Code register(0x0C))的設定值。

DCV[7:0]:

DC 值設定，使用於 DCM[1:0]=00 時。

DCL[2:0]:

RX data 處理程序中，偵測 n 個“0”，n 個“1”，更新 DC 平均值(DC average)選擇設定。

DCL[2:0]	DC 平均(DC average)動作	
	Sync 前	Sync 後
000	4	32
001	8	32
010	16	32
011	32	32
100	4	64
101	8	64
110	16	64
111	32	64

Ex. DCL[2:0] = 000,

在 ID 收到前，data 處理(採用 Peak detector 機制)以每 4 個“1”及 4 個“0”作一次 DC 值的更新動作。

在 ID 收到後，data 處理(採用 Peak detector 機制)以每 32 個“1”及 32 個“0”作一次 DC 值的更新動作。

DCM[1:0]:

RX data 的 DC 值選擇設定。

[00]: 由 DCM[7:0]值設定。

[01]: 收到 preamble 偵測長度時，決定 DC 值。

[10]: 收到 ID 時，決定 DC 值。

[11]: 收到 data 長度(DCL[2:0]值設定)，決定 DC 值。

9.2.11 ADC (Address: 0Ah)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Ah ADC	W							XADS	CDM	RTH7	RTH6	RTH5	RTH4	RTH3	RTH2	RTH1	RTH0
	R							VBD1	VBD0	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Reset								0	0	0	0	1	1	0	1	1	1

XADS:

ADC 輸入信號的選擇。

[0]: 對內部溫度或 RSSI 信號作 ADC 量測轉換。

[1]: 對外部信號作 ADC 量測轉換。

CDM:

載波(Carrier) 偵測開啓/關閉。

[0]: RSSI/Temperature 量測。

[1]: Carrier 偵測。

RTH[7:0]:

載波偵測(carrier detect)臨界值設定。

在 RX mode 時，

CD=1: RSSI 值 \leq RTH。

CD=0: RSSI 值 \geq RTH。

VBD[1:0]:

VCO 偏壓偵測值。

ADC[7:0]:

溫度、RSSI 或外部信號量測的 ADC 值輸出。

RX state: Digital RSSI output. $PWR_{RSSI} = -110\text{dbm} + 40 * \text{RSSI} [7:0] / 8$.

Non-RX state: Digital thermometer output. The temperature slope is around $+2^\circ\text{C} / \text{LSB}$.

9.2.12 FIFO (Address: 0Bh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Bh FIFO	W	FPM1	FPM0	PSA5	PSA4	PSA3	PSA2	PSA1	PSA0	FEP7	FEP6	FEP5	FEP4	FEP3	FEP2	FEP1	FEP0
Reset								0	0	0	0	1	1	0	1	1	1

FPM[1:0]:

TX/RX FIFO 臨界值設定。請參考第 16.5 章節。

設定值	Bytes in TX FIFO	Bytes in RX FIFO
[00]	4	60
[01]	8	56
[10]	12	52
[11]	16	48

PSA[5:0]:

TX FIFO packet 傳送起始位址設定。請參考第 16.4 章節。

FEP[7:0]:

TX/RX FIFO bytes 結束位址設定。FIFO 結束位址 = FEP[7:0]+1。

9.2.13 Code (Address: 0Ch)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Ch Code	W			WS6	WS5	WS4	WS3	WS2	WS1	WS0	MCS	WHTS	FECS	CRCS	IDL	PML1	PML0
Reset				0	1	0	1	0	1	0	0	0	0	0	1	0	1

WS[6:0]:

Whitening initial seed (Data Encryption key)設定。

MCS:

Manchester code 選擇。

[0]: Manchester code 關閉。

[1]: Manchester code 開啓。

WHTS:

Data whitening (Data Encryption)選擇。

[0]: Data whitening 關閉。

[1]: Data whitening 開啓。

FECS:

FEC 選擇。

[0]: FEC 關閉。

[1]: FEC 開啓。

CRCS:

CRC 選擇。

[0]: CRC 關閉。

[1]: CRC 開啓。

IDL:

ID code 長度選擇。

[0]: 2 bytes。

[1]: 4 bytes。

PML[1:0]:

Preamble 長度選擇。

[00]: 1 byte。

[01]: 2 bytes。

[10]: 3 bytes。

[11]: 4 bytes。

9.2.14 Pin Control (Address: 0Dh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Dh Pin control	W							PCS	IRQI	IRQ1	IRQ0	IRQE	CKOI	CKO1	CKO0	CKOE	SCKI
Reset											0	0	0	0	1	0	1

PCS:

Pin TRE, TRS 控制選擇。

[0]: 使用 register 控制 mode 的選擇。

[1]: 使用 pin TRE, TRS 控制 mode 的選擇。

IRQI:

IRQ pin 信號反向輸出。

[0]: pin IRQ 非反向輸出 (Active high) 。
 [1]: pin IRQ 反向輸出 (Active low) 。

IRQ[1:0]:

Pin IRQ 輸出信號選擇。

	TX state	RX state
[00]	WPLL state & TX state(WTR)	WPLL state & RX state(WTR)
[01]	ID code 傳送完成(EOAC)	ID code 正確找到(FSYNC)
[10]	TX 調變開始(TMEO)	carrier 偵測到(CD)
[11]	None	外部 sync 信號輸入(for direct mode)

IRQE:

IRQ pin 輸出開啓。
 [0]: pin IRQ High Z 。
 [1]: pin IRQ 開啓。

CKOI:

CKO pin 信號反向輸出。
 [0]: pin CKO 非反向輸出。
 [1]: pin CKO 反向輸出。

CKO[1:0]:

CKO pin 信號輸出選擇。
 [00]: BCK(Bit Clock) 。
 [01]: MRCK(Modulation Rate) 。
 [10]: FPF(FIFO Point Flag) 。
 [11]: 保留。

CKOE:

CKO pin 信號輸出開啓。
 [0]: pin CKO High Z 。
 [1]: pin CKO 開啓。

SCKI:

3-wire 串列介面 pin - SCK 信號反向輸入。
 [0]: pin SCK 非反向輸入。
 [1]: pin SCK 反向輸入。

9.2.15 Calibration (Address: 0Eh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Eh	W		VTL2	VTL1	VTL0	VTH2	VTH1	VTH0	MVBS	MVB2	MVB1	MVB0	MIFS	MIF3	MIF2	MIF1	MIF0
Calibration	R	FCD4	FCD3	FCD2	FCD1	FCD0	DVT1	DVT0	VBCF	VB2	VB1	VB0	FBCF	FB3	FB2	FB1	FB0
Reset			0	0	0	0	0	0	0	1	0	0	0	0	1	1	0

VTL[2:0]:

VT 低臨界值(Threshold)設定。
 [000]: VTL=0.1V 。
 [001]: VTL=0.2V 。
 [010]: VTL=0.3V 。
 [011]: VTL=0.4V 。
 [100]: VTL=0.5V (建議值) 。
 [101]: VTL=0.6V 。
 [110]: VTL=0.7V 。
 [111]: VTL=0.8V 。

VTH[2:0]:

VT 高臨界值(Threshold)設定

- [000]: $V_{TH} = V_{dd} - 0.1V$ ◦
- [001]: $V_{TH} = V_{dd} - 0.2V$ ◦
- [010]: $V_{TH} = V_{dd} - 0.3V$ ◦
- [011]: $V_{TH} = V_{dd} - 0.4V$ ◦
- [100]: $V_{TH} = V_{dd} - 0.5V$ ◦
- [101]: $V_{TH} = V_{dd} - 0.6V$ ◦
- [110]: $V_{TH} = V_{dd} - 0.7V$ ◦
- [111]: $V_{TH} = V_{dd} - 0.8V$ ◦ (建議值)

註 $V_{dd} = V_{DD_A} = 2.5v$

MVBS:

VCO bank 自動(Auto)/手動(Manual)校準選擇 ◦

- [0]: 自動校準 ◦
- [1]: 手動校準 ◦

MVB[2:0]:

VCO band 手動校調值設定 ◦

MIFS:

IF filter tuning 自動(Auto)/手動(Manual)校準選擇 ◦

- [0]: 自動校準 ◦
- [1]: 手動校準 ◦

MIF[3:0]:

IF filter tuning 手動(Manual)校調值設定 ◦

FCD[4:0]:

IF filter 校準值與目標值的差值 ◦

DVT[1:0]:

DVT 值輸出 ◦

- [00]: $V_T < V_{TL} < V_{TH}$ ◦
- [01]: $V_{TL} < V_T < V_{TH}$ ◦
- [10]: No used ◦
- [11]: $V_{TL} < V_{TH} < V_T$ ◦

VBCF:

VCO band 自動校調成功/錯誤指示 ◦

- [0]: 校調成功 ◦
- [1]: 校調錯誤 ◦

VB[2:0]:

VCO bank 自動校調值 ◦

FBCF:

IF filter 自動校調成功/錯誤指示 ◦

- [0]: 校調成功 ◦
- [1]: 校調錯誤 ◦

FB[3:0]:

IF filter tuning 自動校準值 ◦

9.2.16 Mode control (Address: 0Fh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Fh	W								FMT	FMS	CER	PLLE	TRSR	TRER	VBC	FBC	ADCM
Mode control	R						FECF	CRCF	FMT	FMS	CER	PLLE	TRSR	TRER	VBC	FBC	ADCM
Reset									0	0	0	0	0	0	0	0	0

FMT:

FIFO mode test。

[0]: Normal(正常工作模式)。

[1]: FIFO mode test。僅在 FIFO mode 工作模式有效。當完成封包(packet)測試後，會自動清除為 0。

FMS:

Direct/FIFO mode 工作模式選擇。

[0]: Direct mode。

[1]: FIFO mode。

CER:

RF chip 致能選擇。

[0]: chip 關閉。

[1]: chip 開啓。

PLLE:

PLL 開啓選擇。

[0]: PLL 關閉。

[1]: PLL 開啓。

TRSR:

TRX state 選擇(使用暫存器(register)控制 Tx/Rx state 選擇功能)。

[0]: RX state。

[1]: TX state。

當設定 bit TRER=1 後，依 bit TRSR 選擇進入 TX state 或 RX state。

TRER:

TRX state 致能選擇(使用暫存器(register)控制進入 Tx/Rx 功能)。

[0]: 清除 TRE

[1]: 致能 TRE。如在 FIFO mode 時，傳送封包(packet)完成後，會自動清除為 0。

VBC:

VCO 自動校準(calibration)選擇。

[0]: 關閉 VCO 校準功能或已校準完成。

[1]: 啓動 VCO 校準功能。完成校準後，會自動清為 0。

FBC:

IF filter 自動校準(calibration)選擇。

[0]: 關閉 IF 校準功能或已校準完成。

[1]: 啓動 IF 校準功能。完成校準後，會自動清為 0。

ADCM:

ADC 量測致能。

[0]: 關閉 ADC 量測。

[1]: 啓始 ADC 量測。這 bit 設定後，量測動作完成時，會自動清除為 0。

	None Rx state	RX state
[0]	None	None
[1]	溫度量測	RSSI 量測、載波偵測、對外部信號作 ADC 量測轉換



FECF:

FEC 檢查旗標。

[0]: FEC 檢查正確。

[1]: FEC 檢查錯誤。

CRCF:

CRCF 檢查旗標。

[0]: CRC 檢查正確。

[1]: CRC 檢查錯誤。

AMICCOM CONFIDENTIAL

10.3 線串列介面(3-wire serial interface)控制

A7102 RF chip控制暫存器的控制係藉由簡單的3線串列介面操作讀出或寫入資料(SCS, SCK, SDIO)。

寫入控制暫存器值時，SCK時脈上升緣(rising edge)，將資料門鎖(latch)寫入控制暫存器。

讀出控制暫存器值時，在寫入位址資料欄(address)後，SCK時脈上升緣(rising edge)時，MCU可讀出資料(RF chip會在下降緣(falling edge)將資料轉換)。

10.1 3-Wire 串列介面格式

Address Byte(8 bits)								Data words(16 bits)																
R/W	Command				Address				Data															
A7	A6	A5	A4	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

SPI format

Address bytes:

Bit 7: R/W bit

- [0]: 寫 data 至 register。
- [1]: 從register讀出data。

Bit [6:4]: Command

- [00x]: 讀/寫 控制register。
- [01x]: 讀/寫 ID code。
- [10x]: 讀/寫 FIFO register。
- [110]: 重置TX/RX FIFO指標。
- [111]: 重置RF register。

Bit[3:0]: 控制暫存器位址

指令表:

Address Byte								說明
b7	b6	b5	b4	b3	b2	b1	b0	
0	0	0	x	A3	A2	A1	A0	寫 data 到控制暫存器 A[3:0]
1	0	0	x	A3	A2	A1	A0	從控制暫存器 A[3:0]讀出 data
0	0	1	x	x	x	x	x	寫入 ID code 指令
1	0	1	x	x	x	x	x	讀出 ID code 指令
0	1	0	x	x	x	x	x	TX FIFO 寫入指令
1	1	0	x	x	x	x	x	RX FIFO 讀出指令
X	1	1	1	x	x	x	x	RF chip Reset 指令
0	1	1	0	x	x	x	x	TX FIFO 位址指標重置指令
1	1	1	0	x	x	x	x	RX FIFO 位址指標重置指令

註：x – Don't care

Data words:

Bit[15:0]: 資料位元

10.2 3 線串列介面時序圖(3-Wire Serial Interface Timing Chart)

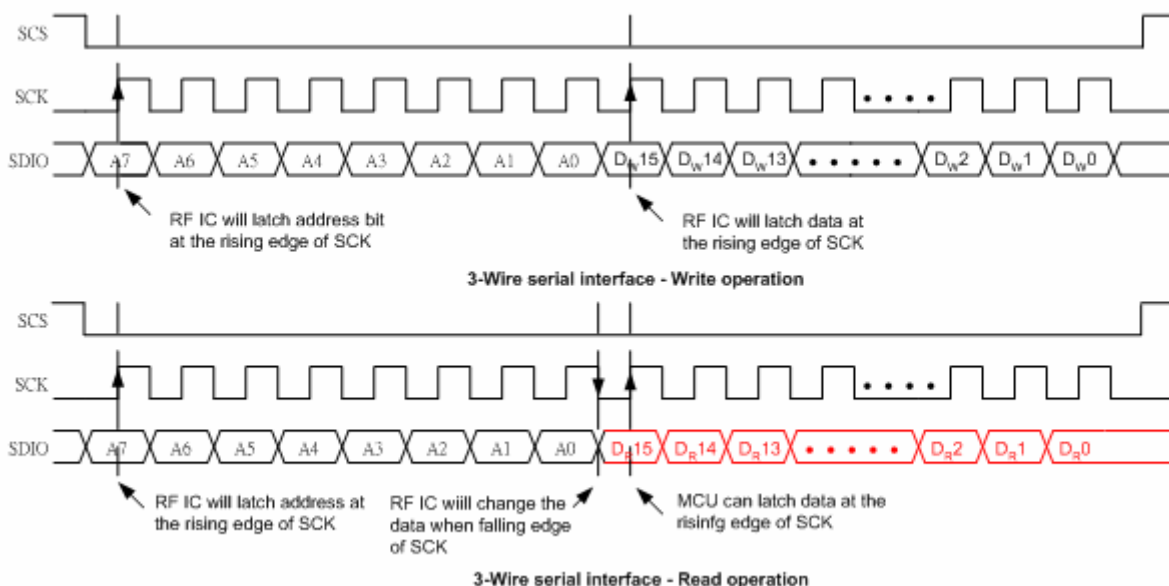


Fig3. 3 線串列介面讀/寫時序

10.3 控制暫存器存取型態

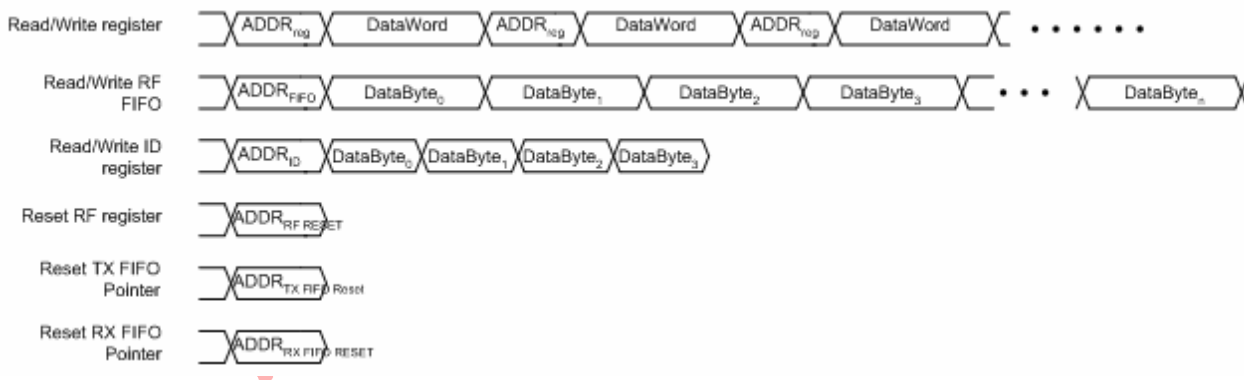


Fig4. 控制暫存器存取型態

10.4 3 線串列介面時序特性(3-Wire Serial Interface Timing Specification)

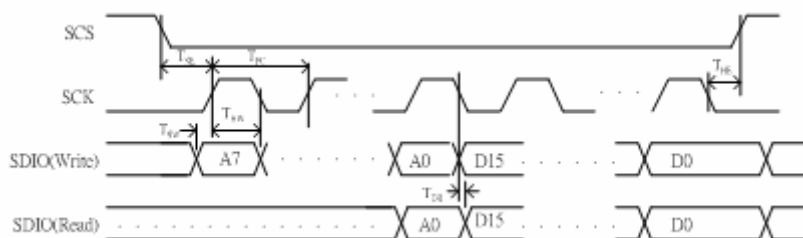


Fig5. 3 wire SPI 介面時序

Parameter	Description	Min.	Max.	Unit
F_C	SPI clock frequency.		10	MHz
T_{SE}	SCS setup time.	50		ns
T_{HE}	SCS hold time.	50		ns
T_{SW}	SDIO setup time.	50		ns
T_{HW}	SDIO hold time.	50		ns
T_{DR}	SDIO delay time.	0	100	ns
T_{HR}	SDIO hold time.	0		ns

10.5 RF chip Reset Command

A7102C RF chip 除了在電源開啓(power on)時，會自動重置動作外(POR)，使用者亦可使用 RF chip reset 命令，重置 RF chip 的控制暫存器值。

使用 3-wire 串列介面，寫入重置命令(Reset Command)時序，如下圖所示。
在 bit A0 的 SCK 時脈正緣(rising edge)時，開始執行 RF Reset 的動作。

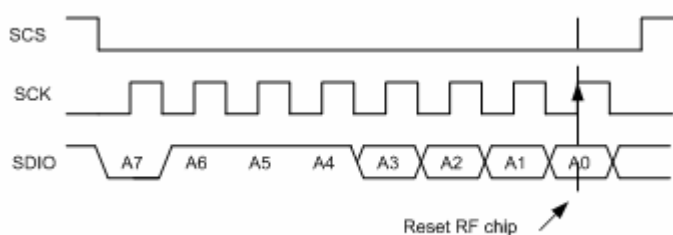


Fig 6. Reset Command 時序

10.6 重置 TX FIFO 位址指標 (Reset TX FIFO Pointer)

TX FIFO 寫入位址指標重置，使用 3-wire 串列介面寫入重置命令時序，如下圖所示。

在 bit A0 的 SCK 時脈正緣(rising edge)時，開始執行 TX FIFO 位址指標重置動作，回復到地址 0x00。

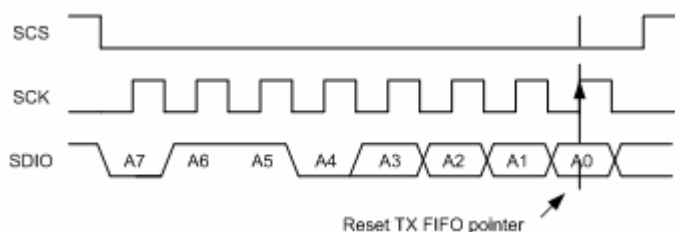


Fig 7. TX FIFO Pointer 重置時序

10.7 重置 RX FIFO 位址指標 (Reset Rx FIFO Pointer)

RX FIFO 讀出位址指標重置，使用 3-wire 串列介面寫入重置命令時序，如下圖所示。

在 bit A0 的 SCK 時脈正緣(rising edge)時，開始執行 RX FIFO 位址指標重置動作，回復到位址 0x00。

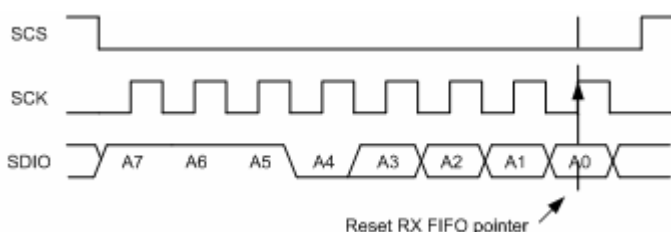


Fig 8. Rx FIFO Pointer 重置時序

10.8 ID Read/Write Command

使用 3-wire 串列介面寫入 ID 或讀出 ID 命令時序方法如下圖所示。

首先，依指令表寫入 Address Byte，執行 ID Read/Write 命令，之後再讀出/寫入 DataByte。

如使用者已寫入 DataByte 0, DataByte 1，之後設定 SCS=1，可結束 ID Read/ Write 動作。或完成 DataByte 0,1,2,3 讀出/寫入後，RF IC 會自動結束 ID Read/ Write 動作。每次執行 ID code 寫入動作時，都是從 DataByte 0 開始。

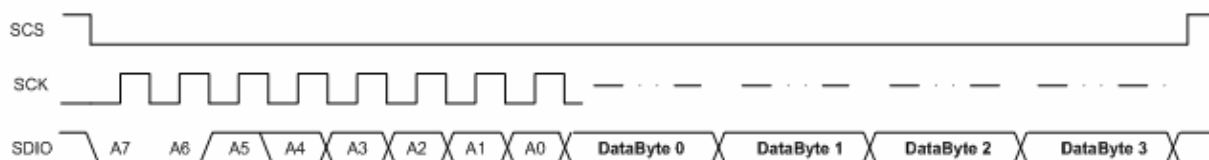


Fig 9. ID write Command 時序

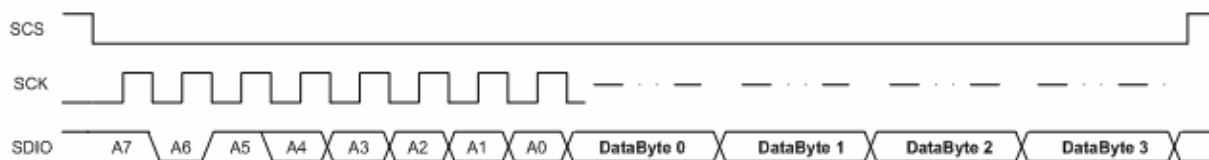


Fig 10.ID Read Command 時序

10.9 TX FIFO write /RX FIFO Read Command

使用 3-wire 串列介面寫 TX FIFO 或讀出 RX FIFO 命令時序方法如下圖所示。

TX FIFO Write Command

依指令表寫入 Address Byte，執行 TX FIFO Write 命令，之後再寫入 DataByte。完成寫入動作後，可設置 SCS=1，結束 TX FIFO 寫入動作。

每次執行 TX FIFO 寫入資料時，仍須依指令表寫入 Address Byte，之後所寫入的資料，會接續上次的最後 TX FIFO 位址指標，開始寫入。

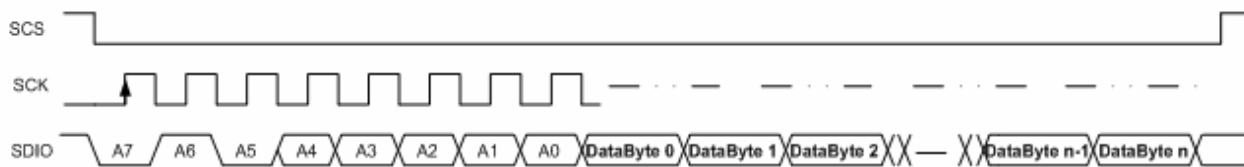


Fig 11. TX FIFO Write Command 時序

Fig 11. TX FIFO Write Command 時序

RX FIFO Write Command

依指令表寫入 Address Byte，執行 RX FIFO Read 命令，之後再讀出 DataByte。完成讀出動作後，可設置 SCS=1，結束 RX FIFO 讀出動作。

每次執行 RX FIFO 讀出資料時，仍須依指令表寫入 Address Byte，之後所讀出的資料，會接續上次的最後 RX FIFO 位址指標，開始讀出。



Fig 12. RX FIFO Read Command 時序

11 振盪電路連接

A7102 RF chip 可使用內部振盪電路或外部振盪信號源，做為基本振盪源。

11.1 使用內部振盪電路

在 A7102 的 XI 和 XO 接腳之間連接一個石英振盪器 (crystal)，對不同頻率石英振盪器須依其特性，加適當電容 C1 與 C2 值。

若要啓始振盪電路工作，可設定 crystal 控制暫存器 bit XS =1。

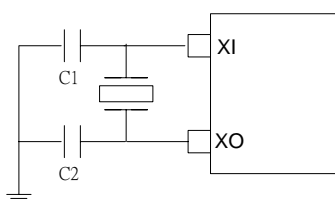


Fig13. 石英振盪電路

11.2 使用外部振盪信號(Clock Source)

A7102 也可直接由外部輸入振盪信號源，電路連接方式如下圖。振盪信號接到 XO 接腳，XI 接腳空接。IC 內部已內建阻隔 DC 的電容，故 pin XO 不需另接一電容。

若使用外部振盪信號，可設定 crystal 控制暫存器 bit XS =0，關閉振盪電路。

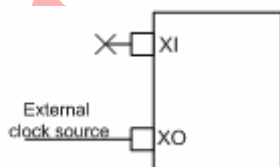


Fig14. 外部振盪源連接電路

12. 系統時脈 (System Clock)

- 使用 A7102 RF chip 時，必須先決定要使用的 Data rate，因此就會決定中頻時脈(IF clock)。如下表

Data rate	IF clock
Data rate \leq 50kbps	100kHz
50kbps < data rate \leq 100kbps	200kHz
100kbps < data rate \leq 150kbps	300kHz

- 當中頻時脈(IF clock)決定時，就可計算出系統時脈 (system clock)，如下圖。系統時脈(system clock)為 IF clock 的 64 倍。

$$f_{system} = 64 \cdot f_{IF}$$

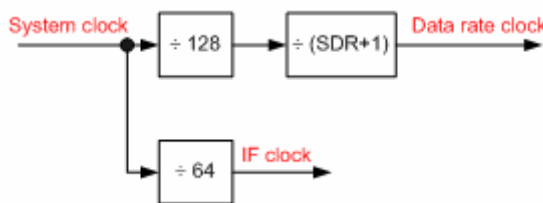


Fig15. 系統時脈方塊圖一

如何振盪出我們想要的 System clock？可由內部振盪電路(XS bit = 1)或外部振盪輸入信號，得到一個 Base Freq。

- 如果 Base Freq 是 12.8 或 19.2MHz，就將 CGS bit 設定為 0。經由 CGS 除頻後，產生 System clock。
- 如果 Base Freq 不是 12.8 或 19.2MHz，就可將 CGS bit 設定為 1。Base Freq 經由 clock chain 後，將頻率拉到 38.4MHz，再經由 CGS 除頻後，產生 System clock。

12.1 clock chain 機制

當晶體振盪或是外部提供的基準信號源不為 12.8MHz 或 19.2MHz 時，需經 GRC 除頻器將信號處理成基頻參考信號 (GRCK)，再由經內部 PLL 電路倍頻到 38.4MHz 成為時脈源 (clock source)。再依系統需求，設定計數器 CSC，以獲得正確的系統時脈(system clock)。

- 不使用 clock chain

當使用晶體振盪元件或是外部提供的基準信號源為 12.8MHz 或 19.2MHz 時，可不經 clock chain 機制處理，成為時脈源 (Clock source)。時脈源 (Clock source) 即相等於晶體振盪源的時脈。將 crystal register (0x05) 中 bit CGS 設置為 0，則不使用 clock chain 機制。

- 使用基頻參考信號 (GRCK) 800KHz 設置

當使用晶體振盪元件或是外部提供的基本信號源為 4, 8, 12, 16MHz 時，選擇基頻參考信號需設定為 800KHz：

- Crystal 控制暫存器 (0x05) 的 bit CGS 須設置為 1 以使用 clock chain。
- System clock 控制暫存器 (0x00) 中 bit GRS 須設置為 0 以選擇 800kHz 的基頻參考信號。
- 設定計數器 GRC，將晶體振盪元件或是外部提供的時脈源，除到 800kHz 的基頻參考信號。

- 使用基頻參考信號(GRCK)1.2MHz 設置

當使用晶體振盪元件或是外部提供的基準信號源為 6MHz 時，選擇基頻參考信號需設定為 1.2MHz：

- Crystal 控制暫存器 (0x05) 的 bit CGS 須設置為 1 以使用 clock chain。
- System clock 控制暫存器 (0x00) 中 bit GRS 須設置為 1 以選擇 1.2MHz 的基頻參考信號。
- 設定計數器 GRC，將晶體振盪元件或是外部提供的時脈源，除到 800kHz 的基頻參考信號。

12.2 一些除頻器的設定

■ 計數器 GRC 的設定

晶體振盪器或外部時脈信號，經由除頻後產生 800kHz 或 1.2MHz 的基頻參考信號 (f_{GRCK})，此信號會被用來產生 38.4MHz 的標準時脈源。同時這信號時脈亦會提供給 ADC 電路做為 ADC 的取樣信號源。

$$f_{GRCK} = \frac{f_{xtal}}{GRC[4:0] + 1} = 800\text{kHz or } 1.2\text{MHz}$$

■ 計數器 CSC 的設定

計數器 CSC 的設定值，將時脈源 (clock source)，經除頻動作除至所需的系統時脈。

$$f_{system} = \frac{f_{source}}{CSC[2:0] + 1}$$

■ 計數器 SDR 的設定

計數器 SDR 的設定值，將系統時脈，經除頻動作除至所需的 Data rate 的 128 倍。

$$Data\ rate = \frac{1}{128} \cdot \frac{f_{system}}{SDR[6:0] + 1}$$

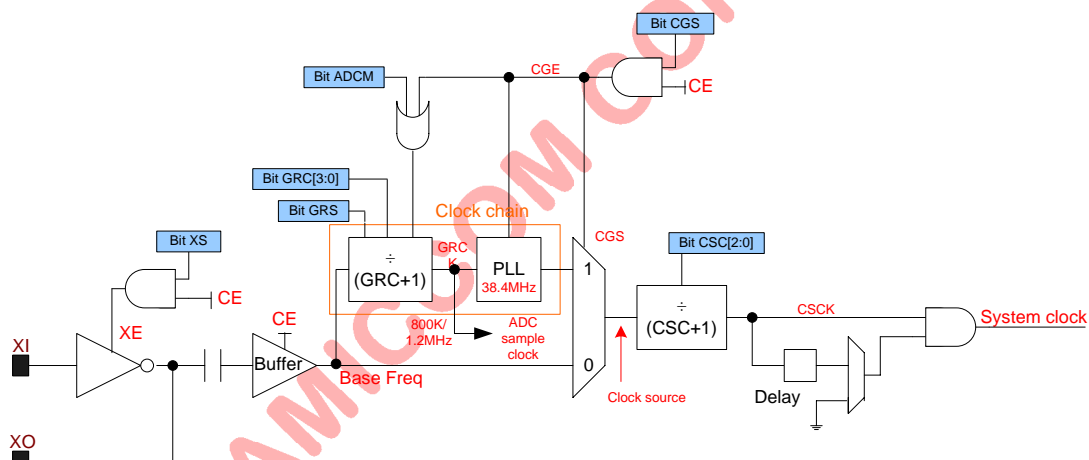


Fig16. 系統時脈方塊圖二

常用 Crystal source 的設定表：

Crystal source	CGS	GRS	GRC[4:0]	說明
12.8MHz	0	0	15	不使用 clock chain，使用基頻參考信號(GRCK)800KHz。
19.2MHz	0	0 or 1	23 or 15	不使用 clock chain，使用基頻參考信號(GRCK)800KHz 或 1.2MHz。
4MHz	1	0	4	使用 clock chain，使用基頻參考信號(GRCK)800KHz，倍頻至 38.4MHz 的時脈源。
8MHz	1	0	9	使用 clock chain，使用基頻參考信號(GRCK)800KHz，倍頻至 38.4MHz 的時脈源
12MHz	1	0	14	使用 clock chain，使用基頻參考信號(GRCK)800KHz，倍頻至 38.4MHz 的時脈源
16MHz	1	0	19	使用 clock chain，使用基頻參考信號(GRCK)800KHz，倍頻至 38.4MHz 的時脈源
6MHz	1	1	4	使用 clock chain，使用基頻參考信號(GRCK)1.2MHz，倍頻至 38.4MHz 的時脈源

註: Crystal source 為 4MHz 及 6MHz，僅在 315/433MHz Bnad 工作

AMICCOM CONFIDENTIAL

13. 工作頻率設定

A7102 RF chip 工作頻率可在 ISM 315/433MHz 頻段內任一頻率工作。依公式的計算，在 PLL I, II 控制暫存器內設置 IP, FP 及 R 值，就可完成工作頻率的設定。A7102 的 VCO 基本方塊圖如下。

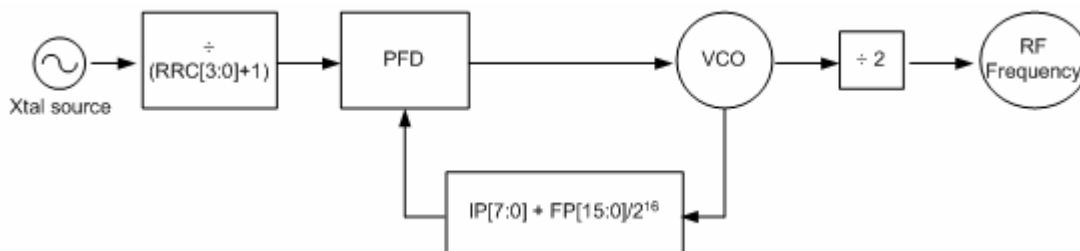


Fig17. VCO 基本方塊圖

13.1 IP, FP, R 值的設定

$$\text{公式: } f_{RF} \cdot 2 = f_{PFD} \cdot \left(IP[7:0] + \frac{FP[15:0]}{2^{16}} \right) = \frac{f_{xtal}}{RRC[3:0] + 1} \cdot \left(IP[7:0] + \frac{FP[15:0]}{2^{16}} \right)$$

參考比較頻率(f_{PFD})值的選擇，建議值為 $\geq 40 \cdot (\text{data rate})$ ，愈大愈佳。

範例. RF freq=433.2MHz, $f_{Crystal}$ =12.8MHz, f_{PFD} =12.8MHz

$$f_{PFD} = \frac{f_{xtal}}{RRC[3:0] + 1}, \quad RRC[3:0] = \frac{f_{xtal}}{f_{PFD}} - 1$$

$$\Rightarrow RRC[3:0] = (12.8 / 12.8) - 1 = 0$$

$$f_{PFD} = \frac{2 \cdot f_{RF}}{IP[7:0] + \frac{FP[15:0]}{2^{16}}}, \quad IP[7:0] + \frac{FP[15:0]}{2^{16}} = \frac{2 \cdot f_{RF}}{f_{PFD}}$$

$$\Rightarrow IP[7:0] + FP[15:0] / 2^{16} = (2 \cdot f_{RF}) / PD$$

$$IP[7:0] + FP[15:0] / 2^{16} = (2 \cdot 433.2) / 12.8 = 67.6875$$

$$IP[7:0] = 67$$

$$FP[15:0] / 2^{16} = 0.6875, \quad FP[15:0] = 0.6875 \cdot 2^{16} = 45056$$

決定MDIV bit

$32 \leq IP[7:0] \leq 67$, bit MDIV 設定為 0

$68 \leq IP[7:0] \leq 255$, bit MDIV 設定為 1

$IP[7:0] = 67$, 所以bit MDIV 設定為 0。

$64 \leq IP[7:0] \leq 255 \Rightarrow$ bit MDIV 設定為 1。

$IP[7:0] = 67$, 所以bit MDIV 可設定為 0 或 1。

14. 系統狀態機制 (State machine)

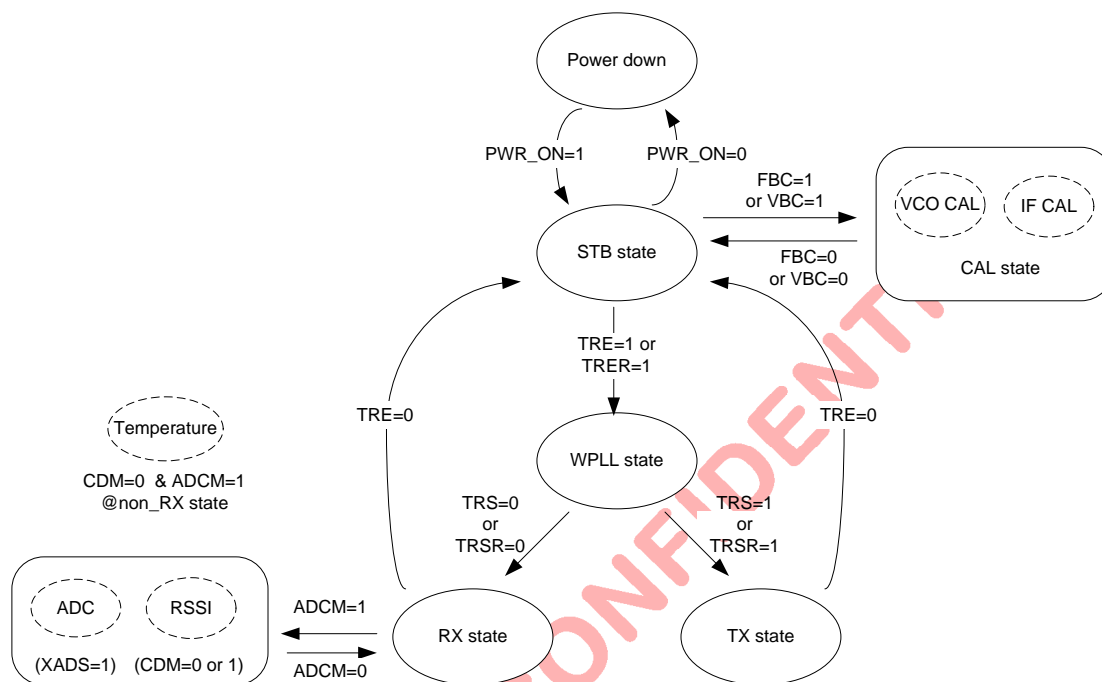


Fig18. 系統狀態機制圖

A7102 RF chip 有 6 個主要的 state。Sleep state, STB state, WPLL(waiting PLL) state, TX state, RX state, CAL state。這 state 狀態圖如系統狀態機制圖所示。

14.1 Power down state: 當 pin $PWR_ON=0$ ，RF chip 進入 Power down state。

14.2 STB state: 當 pin $PWR_ON=1$ ，會從 Power down state 進入 STB state。依 bit CER, PLLE 設定值，決定 RF chip 內部 crystal 振盪電路，參考電壓源(band gap)，PLL 電路的開啓或關閉。

如 bit CER=0, PLLE=0，chip 內部參考電壓源(band gap)及 crystal 振盪電路會關閉(即 Sleep mode)。
 如 bit CER=1, PLLE=0，chip 內部參考電壓源(band gap)及 crystal 振盪電路會開啓(即 Standby mode)。
 如 bit CER=X, PLLE=1，PLL 功能開啓(PLL On)(即 PLL mode)。

14.3 WPLL(waiting PLL) state: 當 PLL state 進入 TX/RX state 時，會依據控制暫存器 PLL I, PLL II, PLL III, PLL IV 設定值是否已變動，而進入此 state 或是直接跳脫該 state，進入 TX/RX state。

如設定值已變動時，在進入 TX/RX state 前，會自動依 PLL IV 控制暫存器 PDL[2:0]來決定延遲 PLL 穩定時間(PLL settling time)。

14.4 TX/RX state: 當 pin $TRE=1$ (或 bit $TRER=1$)時，會依據 pin TRS(或 bit TRSR)來決定進入 TX 或是 RX state(1:TX state; 0:RX state)。

當使用 FIFO mode 工作在 TX state 時，RF chip 會自動將 TX 封包(Preamble + ID + TX FIFO payload)傳送出去。若傳送結束，RF chip 會自動回到 STB state。

當使用 FIFO mode 工作在 RX state 時，RF chip 會進入 RX state 等待 TX 資料。若 TX 端確實有發射資料，則當 ID code 判斷正確後，且收到設定的資料長度後，RF chip 會自動回到 STB state。

14.5 CAL state: 在 CAL state 中，有二個獨立的校準項目，STB state 下，當 bit FBC=1 或 VBC=1 時，會進入 IF filter 校準或是 VCO band 的校準程序。完成校準程序後，bit FBC 或 VBC 會自動清除為 0，且回到 STB state。

14.6 控制狀態一覽表

A7102C 控制狀態的決定由 pin PWR_ON, bit CER, PLLE, TRSR(or pin TRS), TRER(or pin TRS)設定。

PWR_ON	CER	PLLE	TRS(TRSR)	TRE(TRER)	Operation mode
0	x	x	x	x	Power down
1	0	0	x	0	STB state, XOSC off, bandgap off, PLL off(Sleep mode)
1	1	0	x	0	STB state, XOSC on, bandgap on, PLL off(Standby mode)
1	x	1	x	0	STB state, XOSC on, bandgap on, PLL on(PLL mode)
1	x	x	1	1	TX state
1	x	x	0	1	RX state

如不使用 I/O pin 控制 TRS, TRE，可使用 3-wire 介面設定 mode 控制暫存器 bit TRSR 可視為 pin TRS，bit TRER 視為 pin TRE。在 Pin 控制暫存器 bit PCS 必須設為 0，此時 pin TRS, TRE 建議接地(Ground)。

14.7 自動模式回復(Auto Mode Back)功能

A7102 RF chip 在 FIFO mode 下，具有自動模式回復功能，可簡化使用者的操控。

如 RF chip 系統狀態是在 STB state，當使用者下達進入 TX/RX state 設定後，系統會自動打開一些電路及做一些延遲時間，讓電路穩定後進入 TX/RX state。在完成 TX/RX 動作時，會自動回復到 STB state。使用者可不需自行從 STB state 一步一步切換模式到 TX/RX state，或是從 TX/RX state 再一一返回切換設定。

自動模式回復會依據 bit CER, bit PLLE 初始設定而決定返回的 state。例如，初始設定為 CER=1, PLLE=0，則在進入 TX/RX state 且完成動作後會回復到 CER=1, PLLE=0。

15. CAL state 的校準

在初始化 A7102 時，需作硬體參數的校調。在校準程序中有 2 個校準項目，IF CAL(IF Filter calibration),及 VCO band CAL(VCO band calibration)。

- IF CAL 是校準 IF filter 中頻濾波器頻帶 (IF filter bandwidth) 及中心頻率點。
- VCO band CAL(VCO band calibration)是校準確保 VCO 能夠在適當的 band 工作。

15.1 IF Cal 校準 (Calibration Process)

在 STB state(XOSC on)下，可設定 Calibration 控制暫存器 bit MIFS=0 自動校準(auto calibration)或 bit MIFS=1 人工校準 (Manual calibration)。

如設定 mode control register 中 bit FBC=1 後，會進入 CAL state，開始執行校準動作。

如設定 bit FBC=1 不是在 STB state，這 chip 會等待進入 STB state 後，才會開始進入 CAL state。當完成校準程序後，bit FBC 會自動清除為 0。從 CAL state 再回到 STB state。

如 mode control register 中 bit TRER=1,FBC=1 或 VBC=1 同時設定時，首先會進入 CAL state，完成 IF filter 校準或 VCO band 校準後，才會進入 TX/RX state 的程序。

A7102 RF chip 在做 IF Cal 所需的最大時間約 $16 * 256 * (1 / \text{system clock})$ 。

15.2. VCO band 校準(Calibration Process)

首先需對工作頻率正確設定 PLL I, PLL II 控制暫存器值，同時設定 VCO 的 VT 值範圍(VTH[2:0], VTL[2:0])。

在 STB state(XOSC on)下，設定 Calibration 控制暫存器 bit MVBS=0 自動校準(Auto calibration)或 bit MVBS=1 人工校準 (Manual calibration)。

如設定 mode control register 中 bit VBC=1 後，會進入 CAL state 開始執行校準動作。

非 STB state 下設定 bit VBC=1，RF chip 會等待進入 STB state 後，才會開始進入 CAL state。當完成校準程序後，bit VBC 會自動清除為 0。從 CAL state 再回到 STB state。

如 mode control register 中 bit TRER=1,FBC=1 或 VBC=1 同時設定時，首先會進入 CAL state，完成 IF filter 校準或 VCO band 校準後，才會進入 TX/RX state 的程序。

A7102 RF chip 在做 VCO band 所需的最大時間約 $4 * \text{PLL settling time}$ 。

Cal state 校準使用的控制暫存器：

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Eh	W		VTL2	VTL1	VTL0	VTH2	VTH1	VTH0	MVBS	MVB2	MVB1	MVB0	MIFS	MIF3	MIF2	MIF1	MIF0
Calibration	R	FCD4	FCD3	FCD2	FCD1	FCD0	DVT1	DVT0	VBCF	VB2	VB1	VB0	FBCF	FB3	FB2	FB1	FB0

16. FIFO (First In First Out)功能

A7102C RF chip 內建 TX 和 RX FIFO register，各自擁有 FIFO 長度 64 bytes。TX FIFO 僅能寫入 data，Rx FIFO 僅能讀出 data。寫入和讀出係由 3-wire 操作介面完成。在 FIFO 操作模式下，內部硬體電路會依定義的傳送封包格式，將資料傳送或自行解封包的動作。

16.1 傳送封包格式

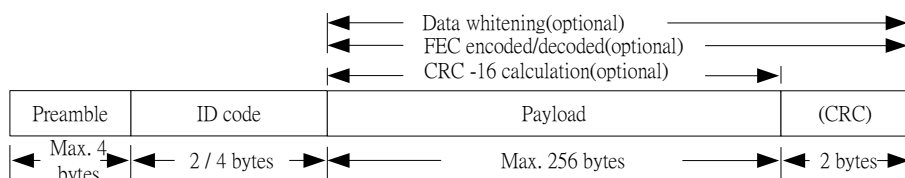


Fig19. 傳送封包格式

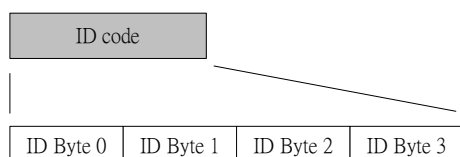


Fig20. ID Code 格式

Preamble:

Preamble 的長度可由 code control register 中 bit PML[1:0]設定，長度可為 1~4 bytes。RF Chip 會依 ID code 的第一個 bit，自動加入 Preamble "0101...0101"或"1010...1010"。

如 ID code 第一個 bit 為 0，則前導碼設定"0101..."。如 ID code 第一個 bit 為 1，則前導碼設定"1010..."。

ID code:

ID code 長度可由 code control register 中 bit IDL 設定為 2 或 4 bytes。寫入/讀出 ID code，使用 3-wire 串列介面方式讀寫。

如 bit IDL 設定為 2 bytes 時，RF chip 內部使用 ID Byte 0, ID Byte 1 為 ID 碼，而將 ID Byte2, ID Byte 3 忽略。

如 bit IDL 設定為 4 bytes 時，RF chip 內部使用 ID Byte 0, ID Byte 1, ID Byte2, ID Byte 3 為 ID 碼。

使用 FIFO 工作模式在發送狀態(TX state)下，RF chip 內部電路會自動在 Preamble 後，加入 ID code。

使用 FIFO 工作模式在接收狀態(RX state)下，RF chip 內部電路會自動比對 ID code。如收到正確的識別碼後，將 Payload 資料自動寫入 RX FIFO 中。

Rx control register I 中 bit ETH[1:0]可設定接收容許 ID code 錯誤的 bit 數。

Payload:

FIFO Payload 長度由 FIFO control register 中 FEP[7:0]設定。一次 Payload 傳送或接收長度最大為 256 bytes。由於實體的 FIFO size 只有 64 bytes，當要傳送 data 大於 64 bytes 時，請使用第 15.5 章節的機制。

寫入 TX FIFO 或讀出 RX FIFO，使用 3-wire 串列介面方式讀寫 TX/RX FIFO。

CRC:

CRC 檢查碼是一個選項。如果 code control register 中 bit CRCS=1 時，則會自動在 Payload 之後，加入 CRC 檢查碼 2 bytes。

16.2 封包處理 (Packet Handling)

A7102 RF chip 提供 4 種選項對封包資料做編碼/解碼動作，有 CRC, FEC, Data Whitening, Manchester code。

CRC:

- 當設定 code control register 中 bit CRCS=1，傳送封包時，會開始計算啓始至結束的 payload 資料(不含 preamble code, ID code)。在 payload 之後加上 2 個 bytes 的 CRC 檢查碼。
- 在接收到封包後，會自動檢查 CRC 碼。可讀取 mode control register 中 bit CRCF，如計算 CRC 檢查碼正確時，會清除為 0。如計算 CRC 檢查碼錯誤時，bit CRCF 會設定為 1。

FEC(Forward Error Correction):

- 當設定 code control register 中 bit FECS=1，傳送封包/接收封包時，會將 payload 的資料及 CRC 檢查碼(如果有 enable CRC option)，做 FEC 的編碼/解碼動作。
- 當完成接收的動作時，會自動檢查是否有 FEC 編碼的錯誤發生，且會自動更正錯誤的 bit。使用者可讀取 mode control register 中 bit FECF，如有 FEC 錯誤發生，bit FECF 會設定為 1。

Data Whitening:

- 當設定 code control register 中 bit WHIT=1，將 payload 的資料及 CRC 檢查碼，與 7 bit 可設定的初始種子，所產生的 pseudo random 序列碼(pseudo random sequence)，做 XOR 的運算後將資料傳送。使用者可自行設定 code control register 中 bit WS[6:0] data whitening 的初始種子(initial seed)。
- 在接收時，也會與這序列碼做 XOR 的運算。如收發兩端的初始種子不相同時，會無法解出正確的資料。

Manchester Code:

- 當設定 code control register 中 bit MCS=1，在傳送端會對傳送封包做 Manchester code 編碼處理。
- 接收時，解調電路會自動做 Manchester code 解碼處理，還原資料。

16.3 資料傳送時間計算

在不同編碼的選擇下，實際發射時間也會不同。

假設: Data rate 為 100Kbps，Preamble 為 4 bytes，ID code 為 4bytes，Payload 為 64 bytes，則發射時間為，

$$4 + 4 + 64 = 72 \text{ bytes} = 576 \text{ bits} \quad \text{-Preamble + ID code + Payload}$$

$$576 * 10\mu\text{s} = 5760\mu\text{s} = 5.76\text{ms} \quad \text{-總發射時間}$$

若 Enable CRC option，則會增加 2 bytes 的時間

$$2 * 8 = 16 \text{ bits} \quad \text{-CRC}$$

$$576 + 16 = 592\text{bits} \quad \text{-Preamble + ID code + Payload + ID}$$

$$592 * 10\mu\text{s} = 5920\mu\text{s} = 5.92\text{ms} \quad \text{-總發射時間}$$

若 Enable FEC option，則會將 Payload 的時間，變為原來的 7/4 倍。

$$4 + 4 = 8 \text{ bytes} = 64 \text{ bits} \quad \text{-Preamble + ID code}$$

$$64\text{bytes} * 8 * 7 / 4 = 896\text{bits} \quad \text{-Payload}$$

$$64 + 896 = 960 \text{ bit} \quad \text{-Preamble + ID code + Payload}$$

$$960 * 10\mu\text{s} = 9600\mu\text{s} = 9.6\text{ms} \quad \text{-總發射時間}$$

若 Enable FEC option，且 enable CRC，則會將 Payload 及 CRC 的時間，變為原來的 7/4 倍。

$$4 + 4 = 8 \text{ bytes} = 64 \text{ bits} \quad \text{-Preamble + ID code}$$

$$64\text{bytes} * 8 * 7 / 4 = 896\text{bits} \quad \text{-Payload}$$

$$16 * 7 / 4 = 28\text{bits} \quad \text{-CRC}$$

$$64 + 896 + 28 = 988 \text{ bit} \quad \text{-Preamble + ID code + Payload + CRC}$$

$$988 * 10\mu\text{s} = 9880\mu\text{s} = 9.88\text{ms} \quad \text{-總發射時間}$$

16.4 TX/RX FIFO

TX/RX FIFO 各自擁有 64 bytes 長度的 FIFO 暫存器。TX FIFO 僅能寫入 data，Rx FIFO 僅能讀出 data。寫入和讀出係由 3-wire 串列介面完成。

FIFO control register 中 FEP[7:0]決定使用的 TX/RX FIFO 的長度及傳送/接收封包資料結束位址指標。

- 在寫入 TX FIFO 資料前，需先設定 FEP[7:0]值。之後開始寫入 TX FIFO，如超過結束位址指標 FEP[7:0]值後，則會回到 TX FIFO 位址 0x00。如要 TX FIFO 位址指標回復，需使用 TX FIFO 指標重置命令。
- 在讀出 RX FIFO 資料前，需先設定 FEP[7:0]值。之後開始讀出 RX FIFO，如超過結束位址指標 FEP[7:0]值後，則會回到 RX FIFO 位址 0x00。如要 RX FIFO 位址指標回復，需使用 RX FIFO 指標重置命令。

MCU 使用 3-wire 串列介面寫入 TX FIFO 或讀出 RX FIFO 的資料，可不需一次寫入/讀出，可分次寫入/讀出資料。之後所寫入/讀出的資料，會從上次的位址指標繼續寫入或讀出。

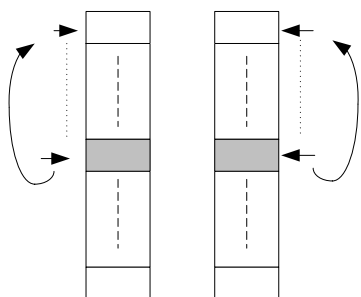


Fig 21. TX /RX FIFO Pointer

FIFO control register 中 PSA[5:0]決定傳送資料的啓始位址指標。預設值是 0x00。使用者可用於固定的系統，如使用 4 個按鍵的系統，則可將對應的 Key code 全部先寫入 TX FIFO 之中，如圖 Fig 24- A。

當其中一個按鍵按下後，則將對應的 PSA 及 FEP 寫入，並開始從 PSAx 傳送資料，到 FEPx 結束，這種作法可節省寫入 TX FIFO 的時間，如圖 Fig 24-B。

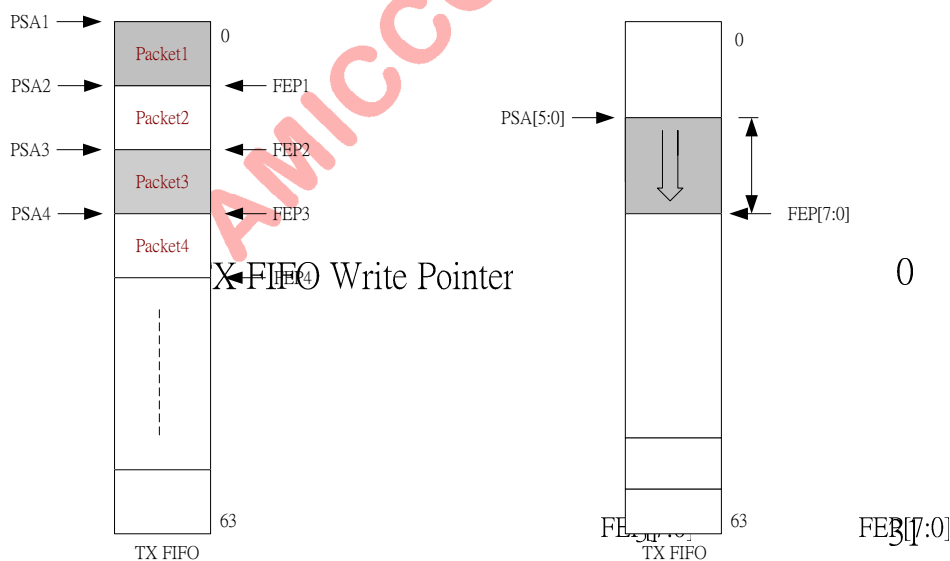


Fig 24 -A 圖

Fig 24-B 圖

Fig22. PSA 與 FEP 指標的關係圖

16.5 FIFO Extension

如果想要傳送/接收的封包長度大於 64 bytes，

- 在傳送過程中，MCU 必須及時寫入已經傳送過的 TX FIFO 區域，來重覆利用 64 bytes 的 TX FIFO。
- 在接收過程中，MCU 必須及時讀出已經接收到 RX FIFO 區域的資料。如動作錯誤，會造成資料溢出(overflow)或資料不足(underflow)。

RF IC 提供可設定的 FIFO 臨界值(FIFO control register 中 FPM[1:0])。

- 在 TX mode 下，當 WP(write pointer)減去 RP(read pointer)，小於等於 FPM[1:0]設定值時，CKO pin 會為 1，否則為 0。
- 在 RX mode 下，當 WP(write pointer)減去 RP(read pointer)，大於 FPM[1:0]設定值時，CKO pin 會為 1，否則為 0。

TX/RX FIFO 臨界值設定表:

FPM[1:0] 設定值	Bytes in TX FIFO	Bytes in RX FIFO
[00]	4	60
[01]	8	56
[10]	12	52
[11]	16	48

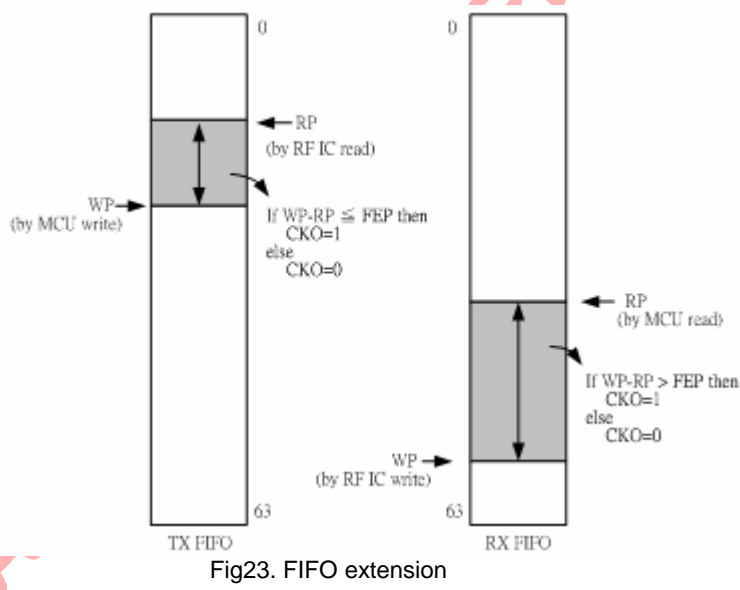


Fig23. FIFO extension

FIFO 控制器自動偵測的判斷條件：

TX FIFO:

$WP(\text{write pointer}) - RP(\text{read pointer}) \leq \text{FIFO threshold}$

WP 是指 MCU 寫入資料到 TX FIFO 的指標。RP 是指 RF chip 從 TX FIFO 中將資料取出傳送至調變器(modulation)的指標。

RX FIFO:

$WP(\text{write pointer}) - RP(\text{read pointer}) > \text{FIFO threshold point}$

WP 是指 RF chip 接收資料寫入 RX FIFO 的指標。RP 是指 MCU 從 RX FIFO 中將資料取出的指標。

如設定 FPM[1:0]=01，決定 TX FIFO 臨界點為 8 bytes，RX FIFO 臨界點為 56 bytes。

TX FIFO 的 $WP - RP \leq 8$ 時，pin CKO 會設定為 1，代表 MCU 可能需要暫停寫入以免造成 overflow。反之為 0。

RX FIFO 的 $WP - RP > 56$ 時，pin CKO 會設定為 1，代表 MCU 可能需要暫停讀取以免造成 underflow。反之為 0。

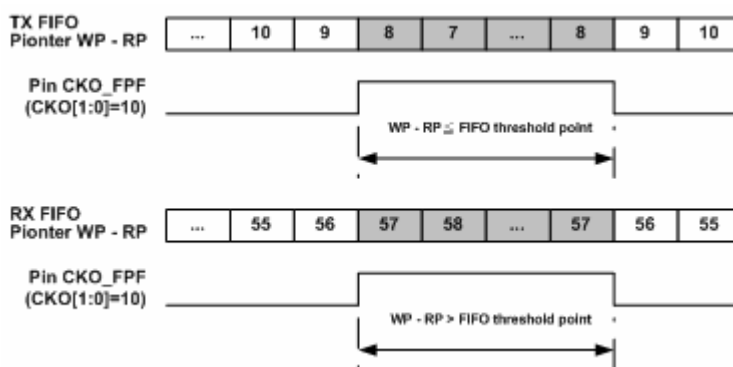


Fig24. FMP[1:0]='01' vs. Pointer(WP-RP)

AMICCOM CONFIDENTIAL

17. 工作模式 (Mode of operation)

A7102 RF chip 可分為二種主要工作模，Direct mode, FIFO mode。可設定 mode control register (0x0F) 中 bit FMS，選擇適合的工作模式。

17.1 Direct mode

Direct mode 提供使用者一個 RF 通道，在 TX 端 Baseband 系統或 MCU 將資料傳送到 pin DIO，RF chip 僅做資料調變，把資料傳送至接收端。RX 端採用數位解調方式，還原資料。Baseband 系統或 MCU 需自行找出正確的資料訊息。

17.1.1 TX 傳送時序

設定 pin TRS=1, TRE=1，工作狀態進入 TX 模式，使用 Pin DIO 將資料傳送。當資料傳送完成後，可將 pin TRE 設定為 0，結束 TX 模式，回到 STB state。

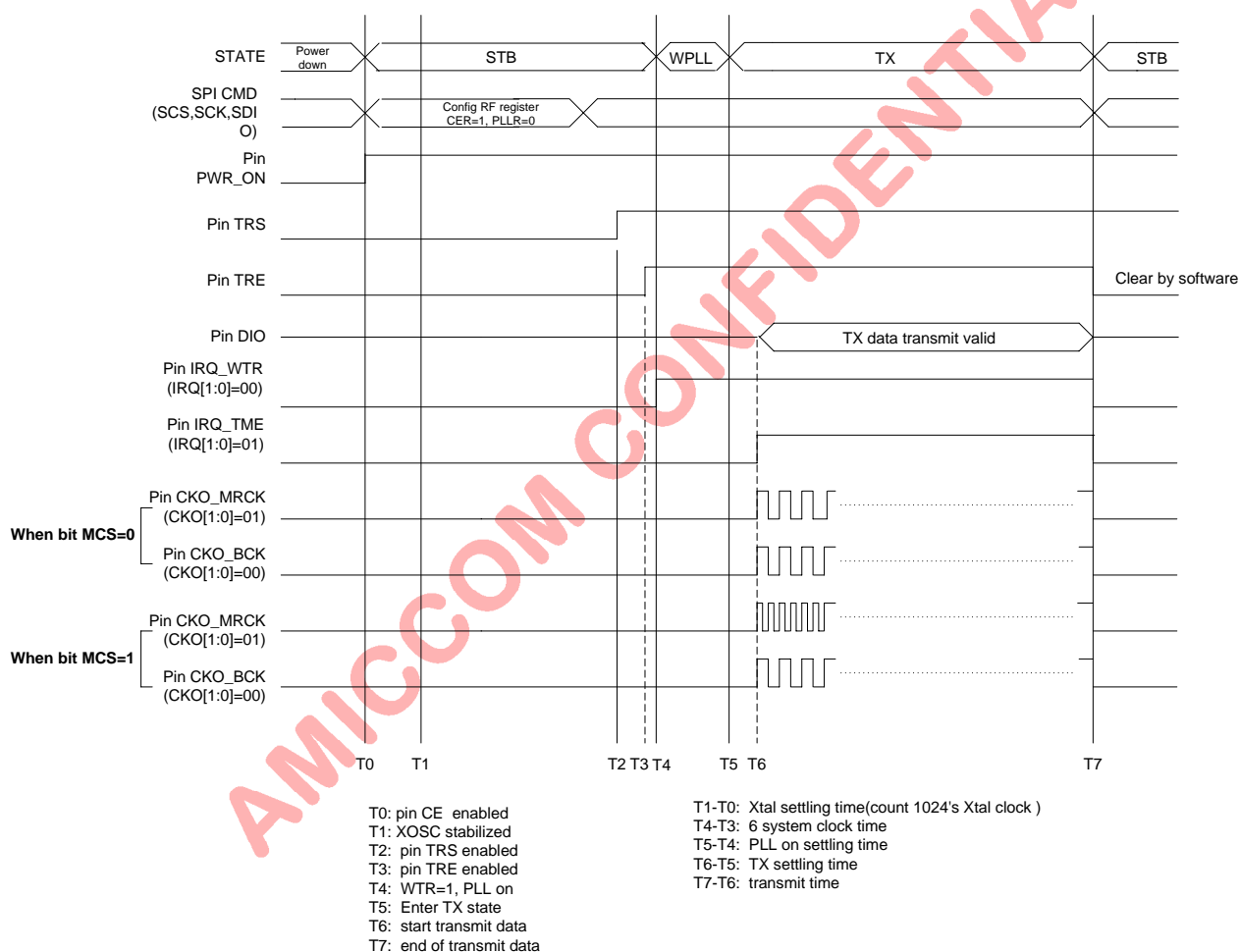


Fig25. Direct mode 的 TX 傳送時序圖

17.1.2 RX 傳送時序

設定 pin TRS=0, TRE=1, 工作狀態進入 RX 模式, 使用 Pin DIO 接收資料。當資料接收完成後, 可將 pin TRE 設定為 0, 結束 RX 模式, 回到 STB state。

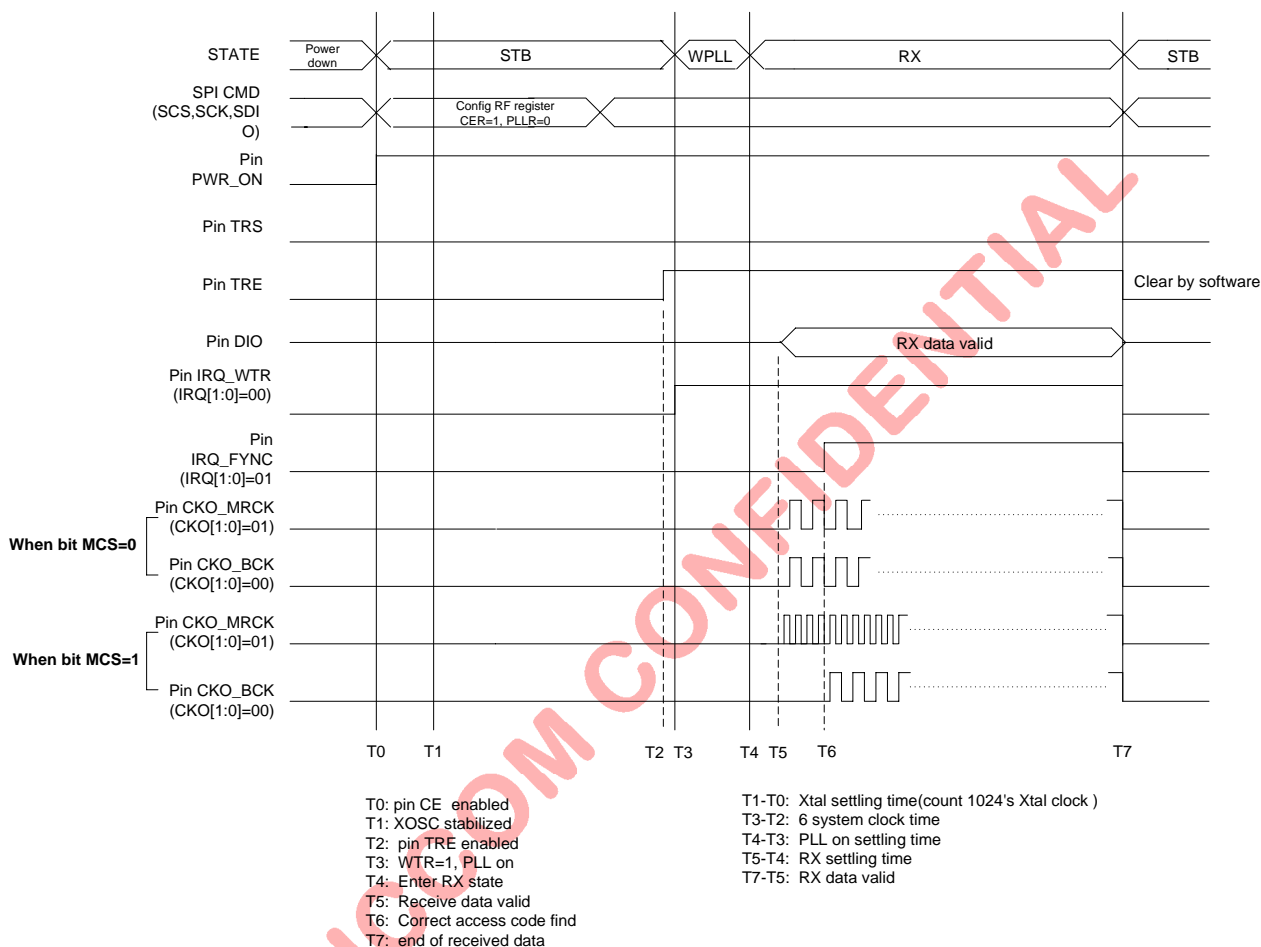


Fig26. Direct mode 的 RX 接收時序圖

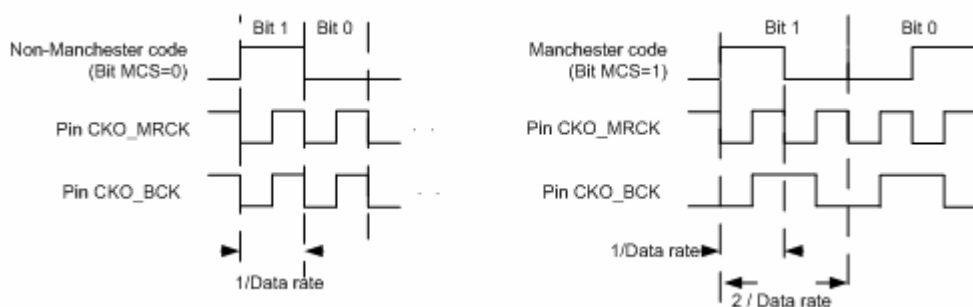


Fig27. bit MCS=0 或 1 時, BCK, MRCK 時序圖

17.2 FIFO mode

RF chip 內建 FIFO，使用者可用 3-wire 介面將傳送資料寫入 TX FIFO 中。致能 RF chip 後，內部硬體電路會自動將資料依封包格式傳送出去。接收時，硬體電路會自動找出識別碼(ID code)，並將資料寫入 RX FIFO。完成一個封包的接收時，使用者可用 3-wire 介面將資料從 RX FIFO 讀出，減輕 MCU 的工作負荷。

17.2.1 TX 傳送時序

使用 3-wire 介面將傳送資料寫入 TX FIFO。設定 pin TRS=1, TRE=1，工作狀態進入 TX 模式。開始傳送資料，直到傳送完成時，會自動回到 STB state。

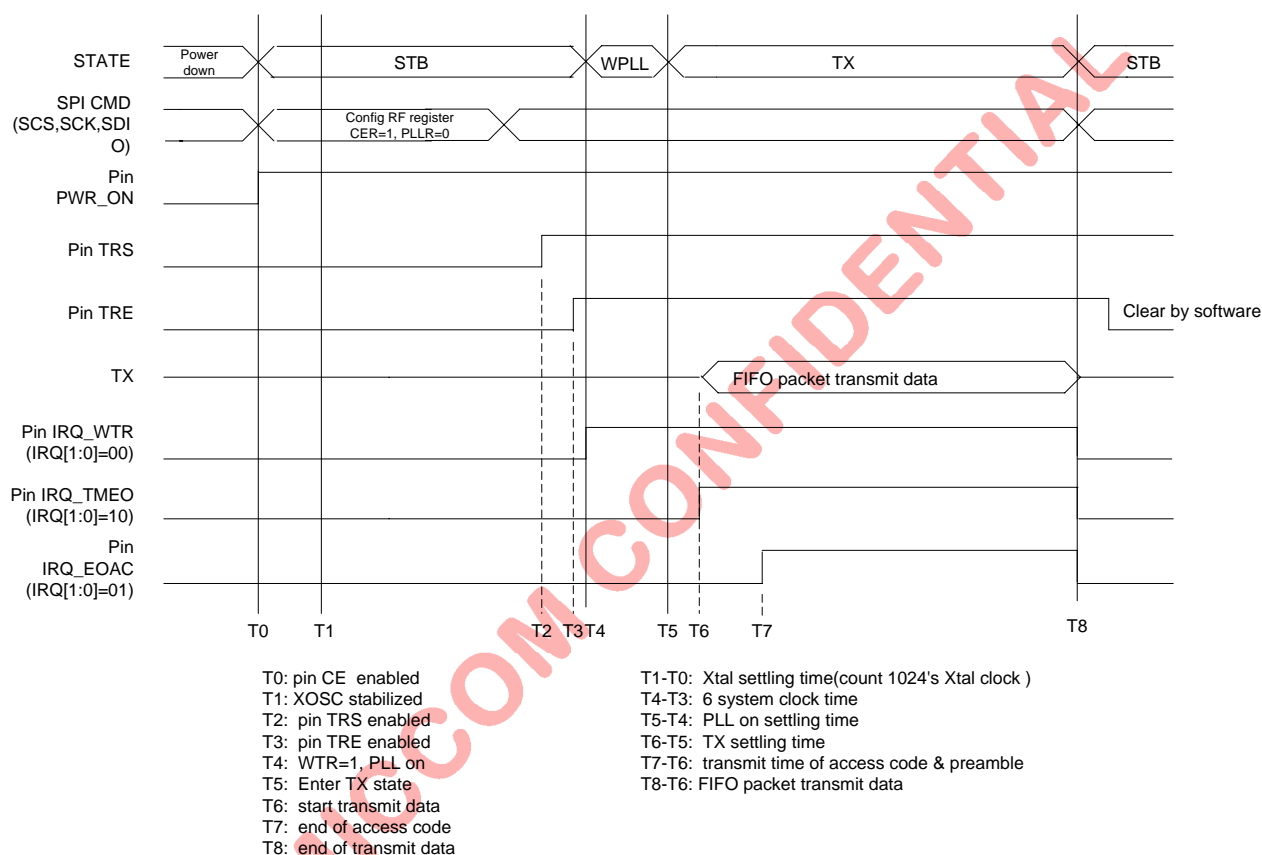


Fig28. FIFO mode 的 TX 傳送時序圖

17.2.2 RX 接收時序

設定 pin TRS=0, TRE=1，工作狀態進入 RX 模式, 等待找到相同的同步碼後 pin RX_SYN 會設定為 1。此時，接收資料開始寫入 RX FIFO。完成一資料封包接收動作後，會自動回到 STB state。使用 3-wire 介面將接收資料從 RX FIFO 讀出

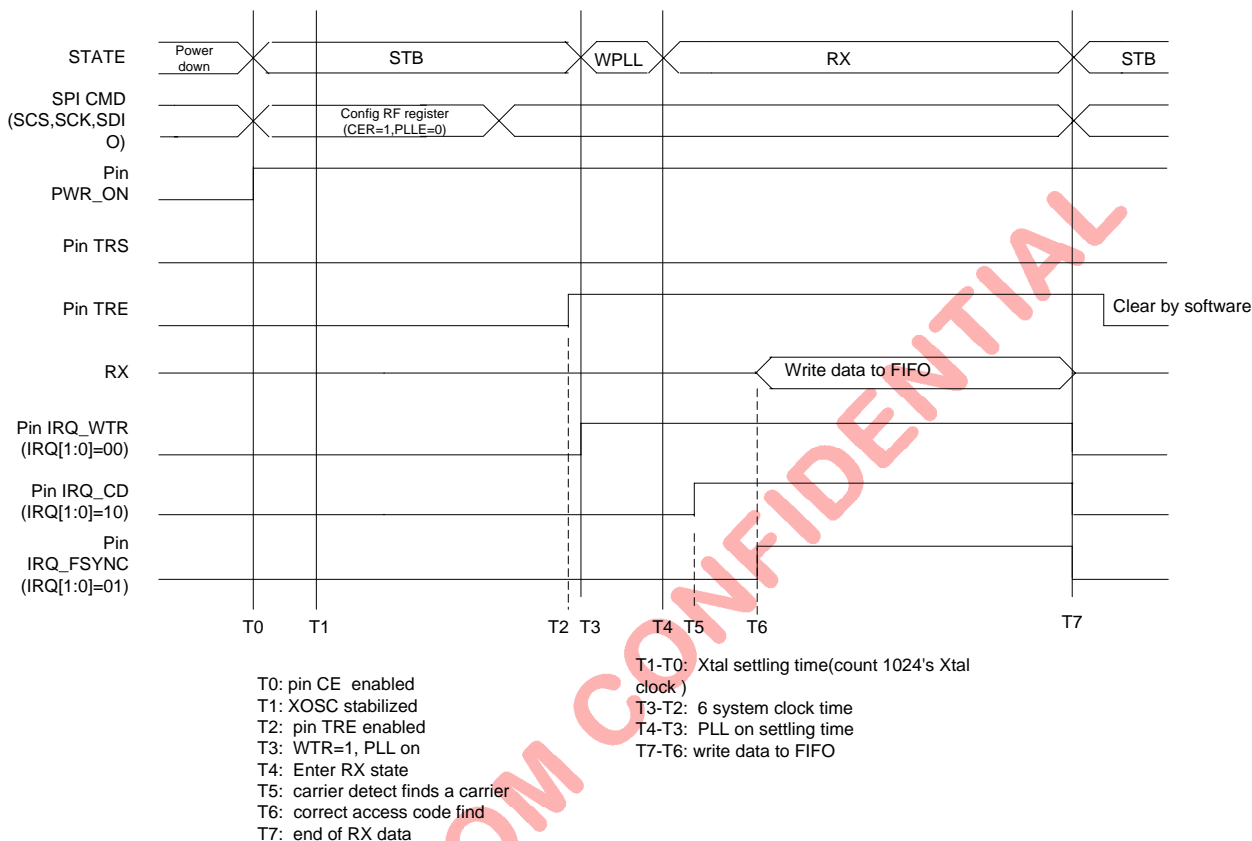


Fig29. FIFO mode 的 RX 接收時序圖

17.3 pin TRE 切換時序

使用 pin TRS, TRE，切換工作狀態進入 TX 或 RX 模式, 在 pin TRE 設定為 0，再設定為 1 時的切換時間，需大於 2 個 system clock 的時間，確保正確的工作狀態切換。

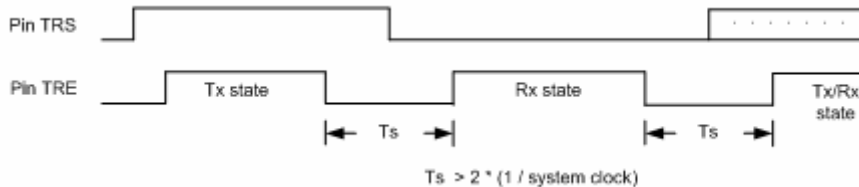


Fig30. Pin TRE 切換時序

18. ADC (Analog Digital Converter)

A7102C RF chip 內建一個 8 位元類比數位轉換器(ADC)，可供內部溫度、RSSI、載波(Carrier)偵測，或透過 pin ADC_IN(pin32)做外部信號源的量測。

ADC 所需要的轉換時間是依據 ADC 時脈來計算，需要 20 個 ADC 時脈週期的時間。在使用類比數位轉換器(ADC)時，需依據使用的 Crystal source，設定 system clock register 中 bit GRC[4:0]，選擇 ADC 時脈週期為 800KHz 或 1.2MHz。

18.1 溫度量測

A7102C RF chip 內建一個簡易的溫度感測器，可監測 RF chip 的工作環境溫度的變化。

設置 ADC register 中 bit CDM=0 後，啟動 mode control register 中 bit ADCM 為 1，開始做溫度信號的量測。當完成溫度信號量測動作，bit ADCM 會自動清除為 0。使用者再從 ADC register 中 bit ADC[7:0]讀取溫度值。

在非 RX state 下，ADC 是對溫度感測器作量測動作。如在 RX state 下，ADC 則是對 RSSI 量測。

18.2 RSSI 量測

A7102C RF chip 有內建數位 RSSI(received signal strength indicator)，可偵測 RF 的信號強度。完成 RSSI 量測後，RSSI 值可從 ADC register 中讀出，範圍值 0~255。接收信號強度愈大，RSSI 值愈小。反之，接收信號強度愈小，RSSI 值愈大。

在 RX state 下，設置 ADC register 中 bit CDM=0 後，啟動 mode control register 中 bit ADCM 為 1，開始做 RSSI 信號的量測。當完成 RSSI 信號量測動作，bit ADCM 會自動清除為 0。使用者再從 ADC register 中 bit ADC[7:0]讀取 RSSI 值。

18.3 載波(Carrier)偵測

A7102C RF chip 有提供 pin IRQ 輸出接腳，監測載波有無載波信號發生。如偵測載波信號大於 ADC register 中 bit RTH[7:0]所設置的 RSSI 信號強度臨界值時，pin IRQ 會輸出 high 準位。反之，則輸出 low 準位。

在 RX state 下，設置 ADC register 中 bit CDM=1 後，啟動 mode control register 中 bit ADCM 為 1，開始做載波信號的量測，每一轉換週期完成後，會自動更新 bit ADC[7:0]，直到結束載波偵測動作。

18.4 外部信號源量測

A7102C RF chip 提供 pin32 ADC_IN 輸入接腳，量測外部信號的大小。可量測輸入信號範圍 0 ~ 1.28Vdc。

在 RX state 下，將欲量測的信號源，接至 ADC_IN(RF chip pin 32)腳，設置 ADC register 中 bit XADS=1，bit CDM=0 後，啟動 mode control register 中 bit ADCM 為 1，開始做外部信號源的量測。

當完成信號量測動作，bit ADCM 會自動清除為 0。使用者再從 ADC register 中 bit ADC[7:0]讀取量測值。

ADC 量測設定表：

Bit		說明	
XADS	CDM	None Rx state	RX state
0	0	溫度量測	RSSI 量測(RSSI one time measure)
0	1	無	載波偵測(carrier detector) (RSSI continuous measure)
1	1	無	使用 pin ADC_IN 做外部信號 ADC 量測

19. 實時時鐘 RTC(Real Time Clock)

A7102 RF chip 內建實時時鐘(Real Time Clock)功能，為達到省電之目的，在 RF chip 進入睡眠模式(Sleep Mode)，MCU 進入省電模式(Power Down Mode)後，可供使用者設定適當的週期性中斷時間，以喚醒 MCU 重新回復工作，並處理 RF 的事件。

即時時鐘(RTC)功能，採用外接、低成本振盪晶體 (32.768KHz) 元件，在 A7102 的 XO3_32K 和 XI_32K 接腳之間連接，外加電容 33pF 值，如下圖。

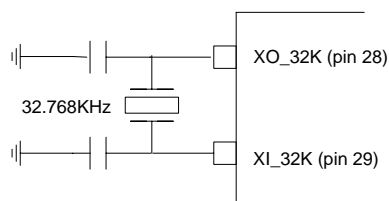


Fig31. RTC 振盪電路連接

Crystal 控制暫存器(Address 0x05)中設置 bit RTCE=1，啓始 RTC 電路工作。Bit RTOE 設置為 1 後，RF chip 接腳 RCTO (pin 27)會輸出週期性的方波時脈信號，週期時間為 250ms ~ 2S，由 bit RTC[1:0]設定決定。

RTC[1:0]	週期時間(Period Time)
[00]	250ms
[01]	1s
[10]	500ms
[11]	2S

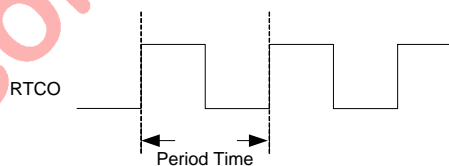


Fig 32. RCTO 輸出時序圖

20. 頻率補償 (Frequency Compensation)

A7102C RF chip 具有 FC(Frequency Compensation)頻率補償機制，可自動調整 RX 端頻率跟蹤 TX 端發射頻率的變化，使 RX 端頻率與 TX 端頻率的差值保持為一個中頻 (f_{IF})，以減少頻率偏移 (frequency offset) 的問題，進而提高接收信號品質。

設定 bit AFC=1 (PLL III register (0x03))時，在 RX 端收到正確的 ID 時，內部硬體電路會自動計算頻率偏移的大小。

$$f_{offset} = 2 \cdot \frac{1}{2^{16}} \cdot f_{PFD} \cdot MC[14:0]$$

MC[14:0]為有號數值，因此可設定範圍 $-2^{14} \sim 2^{14} - 1$ 。

頻率校正後，在進入 TX 或 RX state 時，RF chip 會根據 MC 的值來調整頻率。

Example:

假設 PD=12.8MHz，則：

如 MC[14:0]= 000,0000,0000,0000 (0)，表示頻率未偏移，即 TX 端頻率 - RX 端頻 = IF 頻率 + 0Hz。

如 MC[14:0]= 000,0000,0000,0010 (2)，表示 TX 頻率偏移負 2 格點，即 RX 端頻率需往下調整 2 格點，約 $-2 \cdot (12.8M / 2^{16}) = -390\text{Hz}$

如 MC[14:0]= 111,1111,1111,1110 (-2)，表示 TX 頻率偏移正 2 格點，即 RX 端頻率需往上調整 2 格點，約 $2 \cdot (12.8M / 2^{16}) = +390\text{Hz}$

頻率校正的程序：

Step 1. 首先初始變數 var_MC=0

Step 2. 進入 RX state，接收 packet

Step 3. 等待一封包(packet) 收妥後，離開 RX state(即 WTR=0, 結束 RX mode)

Step 4. 設定 AFC=1。

Step 5. 讀取 MC[14:0]的值。

Step 6. 將所讀的 MC[14:0]值，與 var_MC 相加(即 $\text{var_MC} = \text{var_MC} + \text{MC}[14:0]$)。

Step 7. 設定 AFC=0, 將變數 var_MC x 2 倍，做二的補數(2's complement)，將新值寫入 MC[14:0]。

注意：寫入 MC[14:0]時，須考慮這值與 FP[15:0]值做加減動作，是否有進位、借位的動作。如有，需對 IP[7:0], MC[14:0] 值做調整。

以上的動作是 RX 一次的 AFC 動作的調整。可重覆 step 2~7，隨時調整(在 RX state)。

21. 應用電路(Application Circuit)

21.1 315MHz Band 應用電路

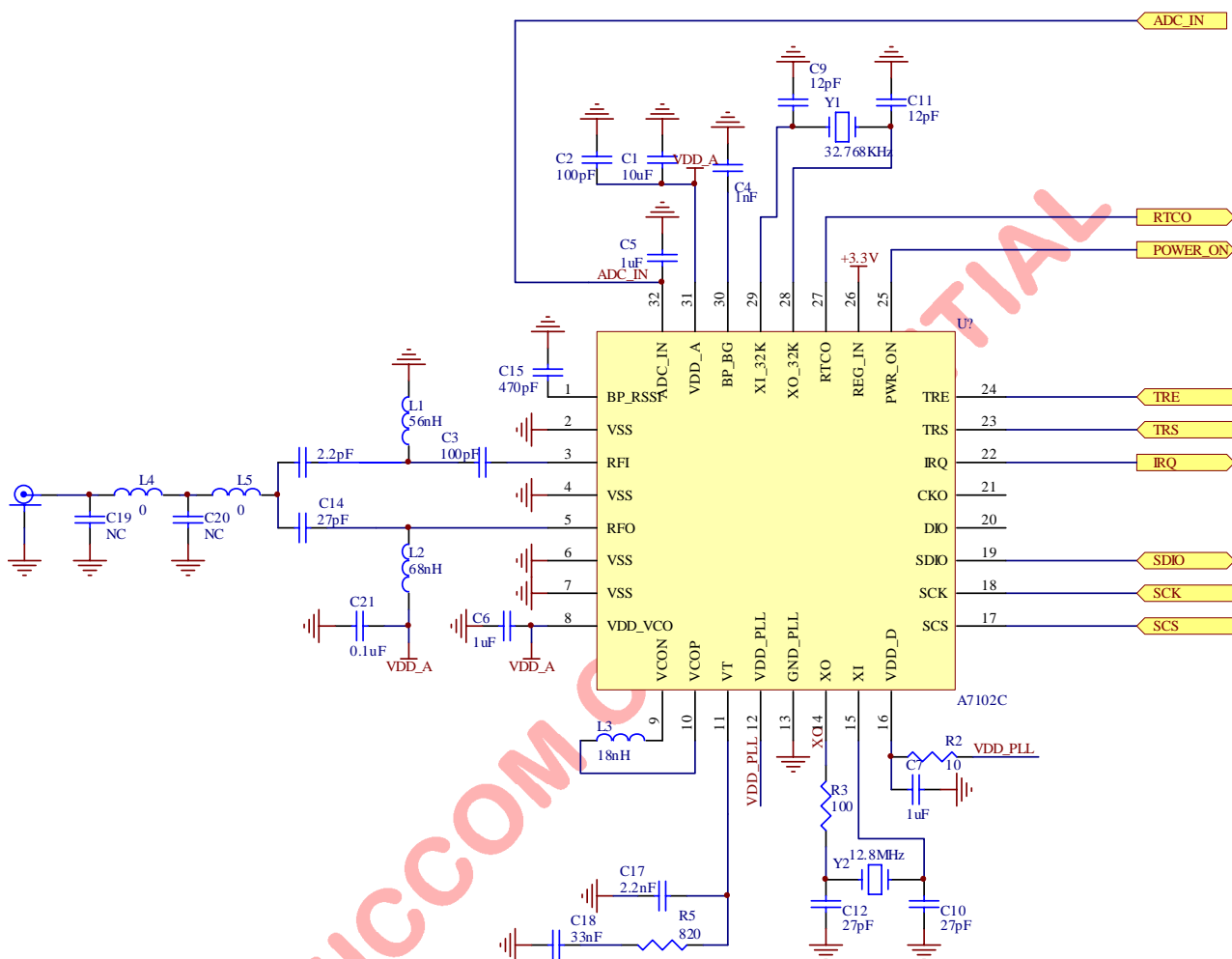


Fig33. 315MHz 應用電路

21.2 433MHz Band 應用電路

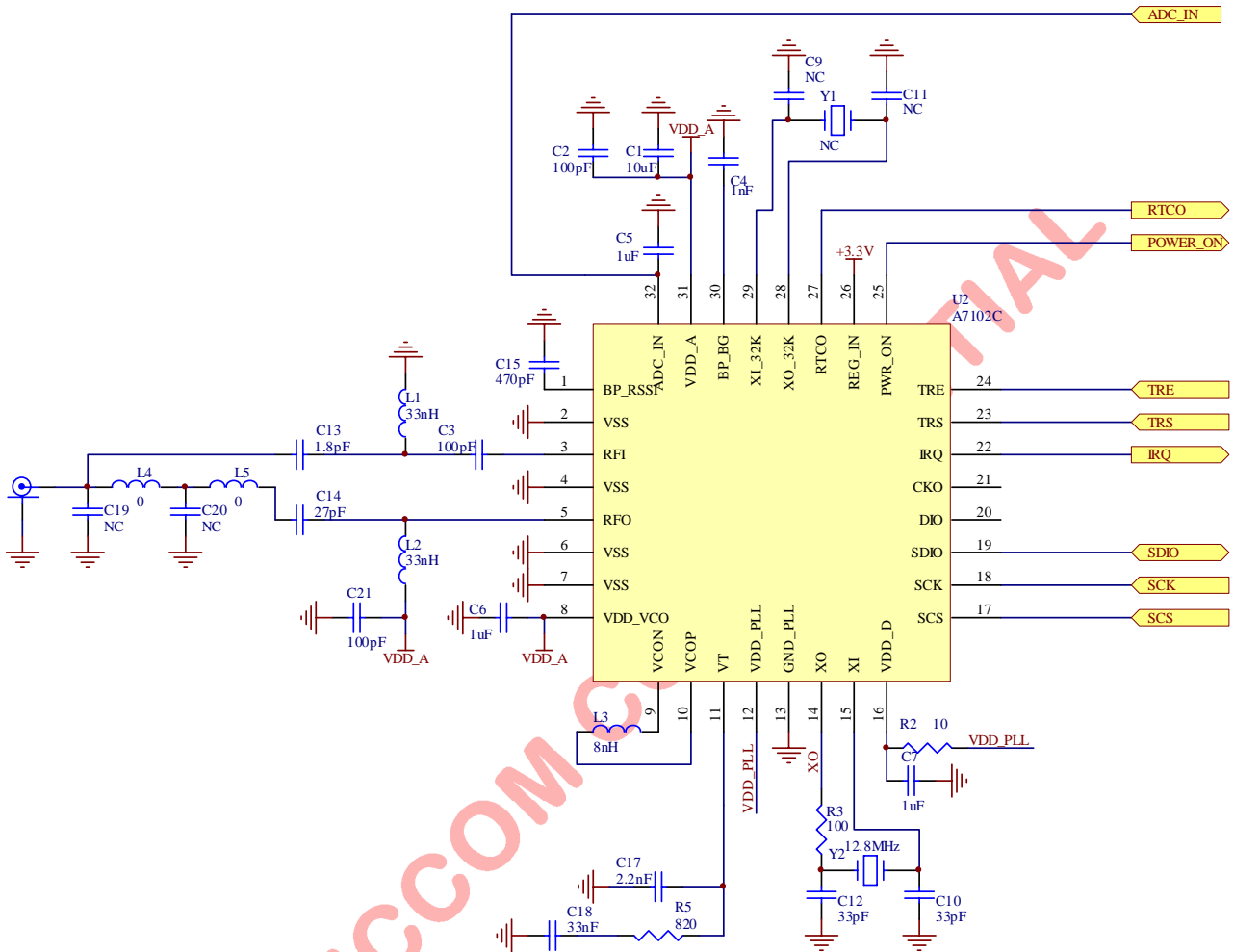


Fig34. 433MHz 應用電路

21.3 868 / 915MHz Band 應用電路

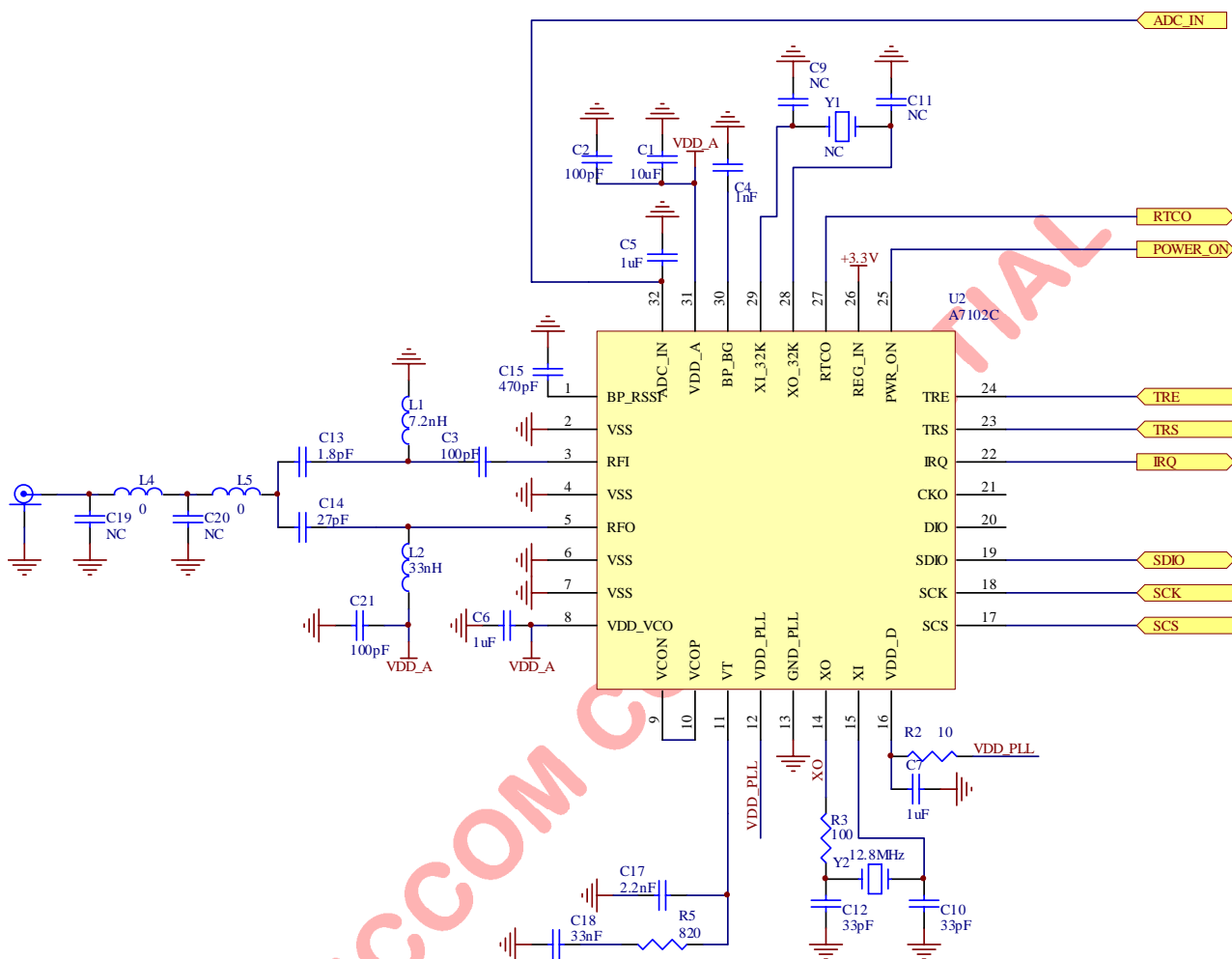
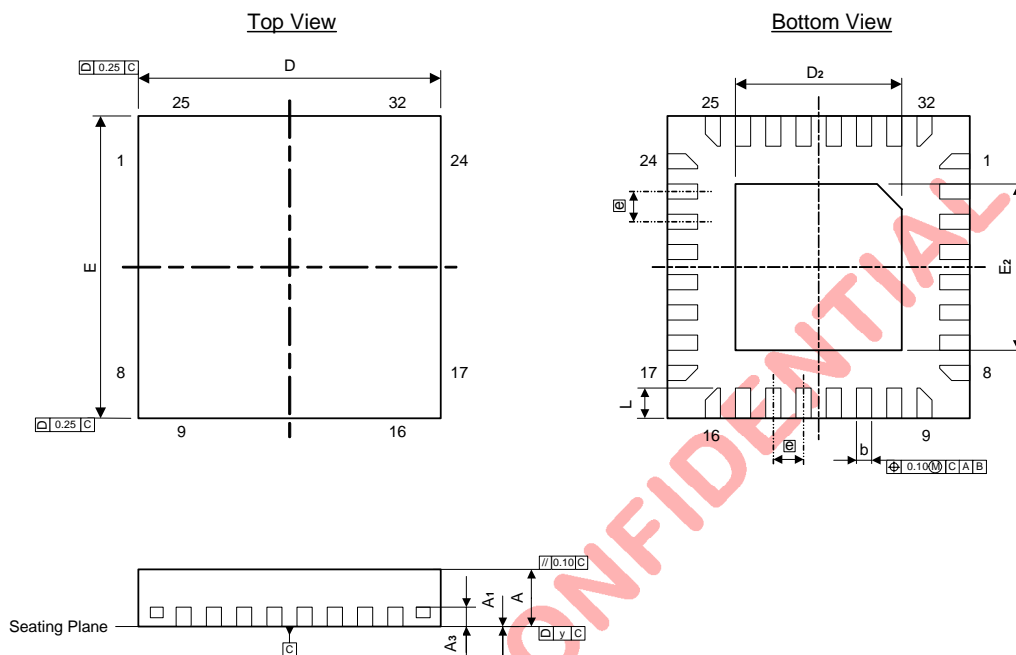


Fig35. 868 / 915MHz 應用電路

22. 包裝資訊(Package Information)

QFN 32L Saw Type Outline Dimensions

unit: inches/mm



Symbol	Dimensions in inches			Dimensions in mm		
	Min	Nom	Max	Min	Nom	Max
A	0.028	0.030	0.032	0.70	0.75	0.80
A1	0.000	0.001	0.002	0.00	0.02	0.05
A3	0.010 REF			0.20 REF		
b	0.007	0.010	0.012	0.18	0.25	0.30
D	0.197 BSC			5.00 BSC		
D2	0.049	0.106	0.128	1.25	2.70	3.25
E	0.197 BSC			5.00 BSC		
E2	0.049	0.106	0.128	1.25	2.70	3.25
e	0.020 BSC			0.50 BSC		
L	0.012	0.016	0.020	0.30	0.40	0.50
y	0.004			0.10		



23. 產品資訊(Ordering Information)

Part No.	Package	Units Per Reel / Tray
A71C02CQF/Q	QFN32L, Tape & Reel, Pb free	3K
A71C02CQF	QFN32L, Tray, Pb free	490EA

AMICCOM CONFIDENTIAL