

HWD9481 型 高速 8 位 A/D 转换器

● 产品概述

HWD9481 是一个高速低功耗、8 位单片模数转换器。其面积小，使用简单，250MSPS 工作时，在整个输入范围内都有很好的线性度和动态特性。

为了减小花费和功耗，HWD9481 有内部电压基准和跟踪/保持 (track and hold) 电路。用户只需提供 3.3V 工作电压和差分编码时钟 (differential encode clock)。任何使用情况下都不再需要外部基准和其他驱动设施。

输出数据格式是 TTL/CMOS，并兼容二进制补码或偏移码 (twos complement or binary) 编码格式。输出数据位以交叉时钟形式提供，易于数据捕获。

HWD9481 采用先进的 BiCMOS 工艺，采用 TQFP 封装，44 个引脚。工作温度：-40 ~ +85。

● 应用范围

数字示波镜

测量仪器

通讯设备

● 产品特点

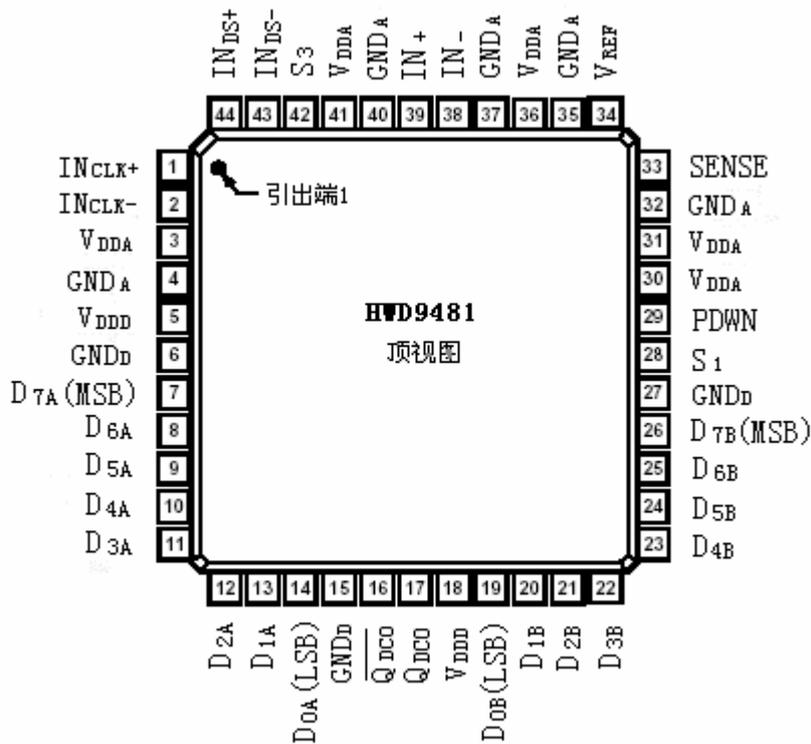
引脚说明

引出端序号	符号	功能	引出端序号	符号	功能
1	IN _{CLK+}	时钟输入正	23	D _{4B}	B 通道数据输出位 D _{4B}
2	IN _{CLK-}	时钟输入负	24	D _{5B}	B 通道数据输出位 D _{5B}
3	V _{DDA}	模拟电源	25	D _{6B}	B 通道数据输出位 D _{6B}
4	GND _A	模拟地	26	D _{7B} (MSB)	B 通道数据输出位 D _{7B}
5	V _{DDD}	数字电源	27	GND _D	数字地
6	GND _D	数字地	28	S ₁	控制输入
7	D _{7A} (MSB)	A 通道数据输出位 D _{7A}	29	PDWN	省电控制，高电平有效
8	D _{6A}	A 通道数据输出位 D _{6A}	30	V _{DDA}	模拟地
9	D _{5A}	A 通道数据输出位 D _{5A}	31	V _{DDA}	模拟电源

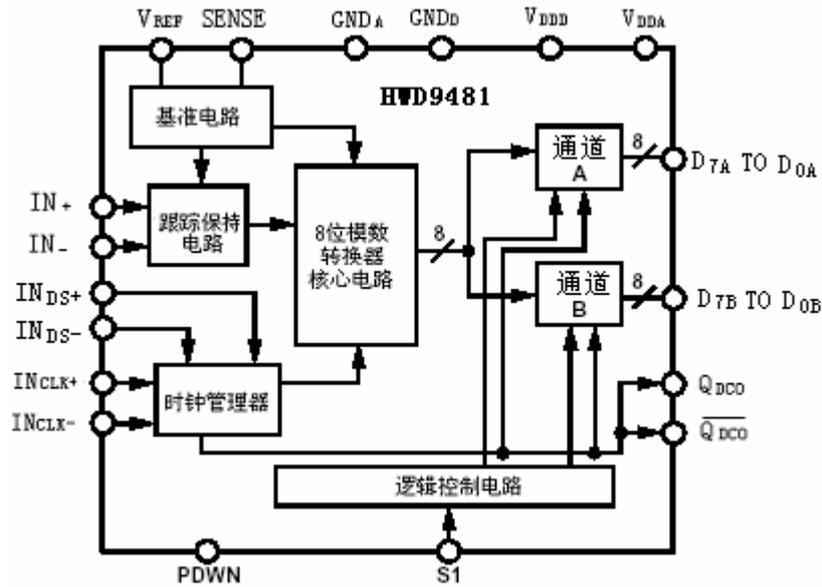
HWD9481

8bit 250MSPS ADC

引出端序号	符号	功能	引出端序号	符号	功能
10	D _{4A}	A 通道数据输出位 D _{4A}	32	GND _A	模拟地
11	D _{3A}	A 通道数据输出位 D _{3A}	33	SENSE	参考电压选择
12	D _{2A}	A 通道数据输出位 D _{2A}	34	V _{REF}	参考电压输入/输出
13	D _{1A}	A 通道数据输出位 D _{1A}	35	GND _A	模拟地
14	D _{0A}	A 通道数据输出位 D _{0A}	36	V _{DDA}	模拟电源
15	GND _D	数字地	37	GND _A	模拟地
16	Q _{DCO}	数据时钟输出负	38	IN ₋	模拟输入负
17	Q _{DCO}	数据时钟输出正	39	IN ₊	模拟输入正
18	V _{DDD}	数字电源	40	GND _A	模拟地
19	D _{0B}	B 通道数据输出位 D _{0B}	41	V _{DDA}	模拟电源
20	D _{1B}	B 通道数据输出位 D _{1B}	42	D ₃	DCO 使能选项
21	D _{2B}	B 通道数据输出位 D _{2B}	43	IN _{DS-}	数据同步输入负
22	D _{3B}	B 通道数据输出位 D _{3B}	44	IN _{DS+}	数据同步输入正



顶视图



功能框图

● 特点

DNL = ± 0.85 LSB

INL = ± 0.9 LSB

单电源 3.3V 工作 (3.0 ~ 3.6V)

功耗 439mW (在 250MSPS 工作时)

模拟输入范围: 1V_{p-p}

内部基准 1.0V

输入模式: 单端或差分

输出模式: CMOS

省电模式 (最低功耗 15mW)

时钟周期稳定器

● 电特性

$V_{DDA}=3.3V$, $V_{DDD}=3.3V$; $T_{MIN}=-40$, $T_{MAX}=+85$, $IN=-1dBFS$, 输入范围 1V, 如不做说明, 则为内部基准, 差分模拟输入以及差分时钟输入。

表 1

特性	符号	条件 (除另有规定, $V_{DDA}=V_{DDD}=3.3V$, $GND_A=GND_D=0V$, $-40 \leq T_A \leq +85$)	极限值		单位
			最小	最大	
线性误差	E_L	$T_A=25$	-0.26	0.26	LSB
		$T_A=-40$ 、 $+85$	-0.9	0.9	
失调误差	E_O	$T_A=25$	-4	4	%FS
		$T_A=-40$ 、 $+85$	-6	6	
微分误差	E_{DL}	$T_A=25$	-0.35	0.35	LSB
		$T_A=-40$ 、 $+85$	-0.85	0.85	
增益误差	E_G	$V_{REF}=1V$, $SENSE=GND_A$, $T_A=25$	-6	6	%FS
		$V_{REF}=1V$, $SENSE=GND_A$, $T_A=-40$ 、 $+85$	-9	9	
基准输出电压	V_{REF}	$SENSE=GND_A$	0.97	1.03	V
增益误差温度系数	a_{EG}		-0.03	0.03	%FS/
失调误差温度系数	a_{EO}		-0.003	0.003	%FS/
基准电压温度系数	a_{VREF}		-0.0003	0.0003	1/
数字输入高电平电压	V_{IH}		2	—	V
数字输入低电平电压	V_{IL}		—	0.8	V
数字输出高电平电压	V_{OH}		$V_{DDD}-0.05$	—	V
数字输出低电平电压	V_{OL}		—	0.05	V
数字输入高电平电流	I_{IH}	$V_{IH}=3.3V$	-160	160	μA
数字输入低电平电流	I_{IL}	$V_{IL}=0V$	—	10	μA
模拟输入共模电压	V_{IC1}		1.7	2.1	V
时钟输入共模电压	V_{IC2}		1.4	1.68	V
模拟电源电流	I_{DDA}	空载, $T_A=25$	—	133	mA
		空载, $T_A=-40$ 、 $+85$	—	145	
数字电源电流	I_{DDD}	空载, $T_A=25$	—	39	mA
		空载, $T_A=-40$ 、 $+85$	—	42.5	
功耗	P_D	空载, $T_A=25$	—	439	mW
		空载, $T_A=-40$ 、 $+85$	—	620	
基准输出电流	I_{REF1}	$SENSE=GND_A$, $T_A=25$		1.5	mA
		$SENSE=GND_A$, $T_A=-40$		1	
		$SENSE=GND_A$, $+85$		1.7	
基准输入电流	I_{REF2}	$SENSE=V_{DDA}$, $T_A=25$	—	100	μA
		$SENSE=V_{DDA}$, $T_A=-40$ 、 $+85$	—	150	

HWD9481

8bit 250MSPS ADC

特性	符号	条件 (除另有规定, $V_{DDA}=V_{DDD}=3.3V$, $GND_A=GND_D=0V$, $-40 \leq T_A \leq +85$)	极限值		单位
			最小	最大	
SENSE 输入 电流	I_{SENSE}	SENSE= GND_A , $T_A=25$	—	10	μA
		SENSE= GND_A , $T_A=-40$ 、 $+85$	—	15	
模拟输入电阻	R_{I1}		8.4	—	k Ω
时钟输入电阻	R_{I2}		4.2	—	k Ω
有效位数	$ENOB$	$ENOB = (SINDR - 1.76) / 6.02$	6.8	—	bits
信噪比	SNR	$f_{IN}=20MHz, 70MHz, f_C=250MHz$	44.5	—	dB
信噪失真比	$SINDR$	$f_{IN}=20MHz, 70MHz, f_C=250MHz$	43	—	dB
无杂散动态范围	$SFDR$	$f_{IN}=20MHz, 70MHz, f_C=250MHz$	—	-55	dBc
2 阶谐波失真	HD_{2nd}	$f_{IN}=20MHz, 70MHz, f_C=250MHz$	—	-52	dBc
3 阶谐波失真	HD_{3nd}	$f_{IN}=20MHz, 70MHz, f_C=250MHz$	—	-52	dBc
最大转换速率	S_{Rmax}	$f_{IN}=20MHz$	250	—	MSPS
最小转换速率	S_{Rmin}	$f_{IN}=1.5MHz$	—	20	MSPS
传输延迟	t_{pd1}	$f_C=500KHz$	—	5.4	ns
上升时间	t_r	$f_C=250MHz, 20\% \sim 80\%$	—	1	ns
下降时间	t_f	$f_C=250MHz, 20\% \sim 80\%$	—	1	ns
DCO 传输延迟	t_{pd2}	$f_C=500KHz$	—	5.3	ns

● 芯片工作极限范围

超出这个极限，芯片的各项参数就不能达到，或者对芯片造成损伤。

电源电压 (V_{DDA} , V_{DDD}).....-0.5V ~ +4V

GND_A to GND_D-0.5V ~ +0.5V

数字 I/O ($V_{D-I/O}$).....-0.5V ~ $V_{DDD} + 0.5V$

输入电压 (V_I)-0.5V ~ $V_{DDA} + 0.5V$

贮存温度 (T_s)-65 ~ +150

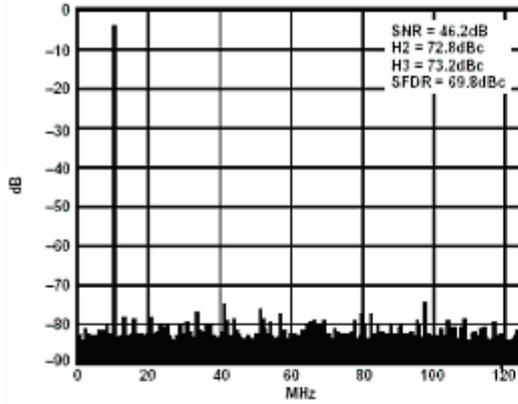
引线耐焊接温度 (T_H) (10s)300

结温 T_j150

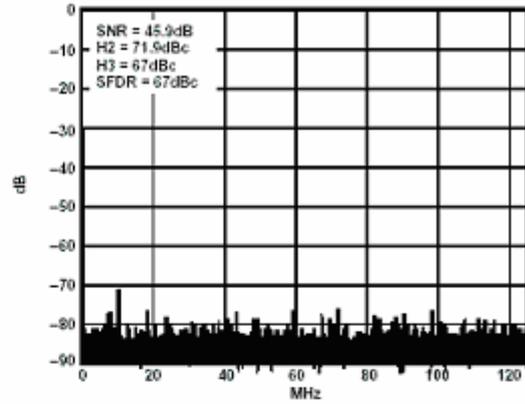
● 典型工作特性

典型特性曲线

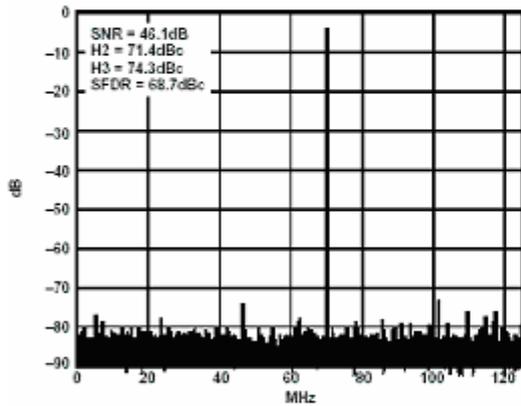
$VDD_A, VDD_D = 3.3V, T = 25^\circ C, IN$ 差分输入, $FS = 1$ (如无特别说明).



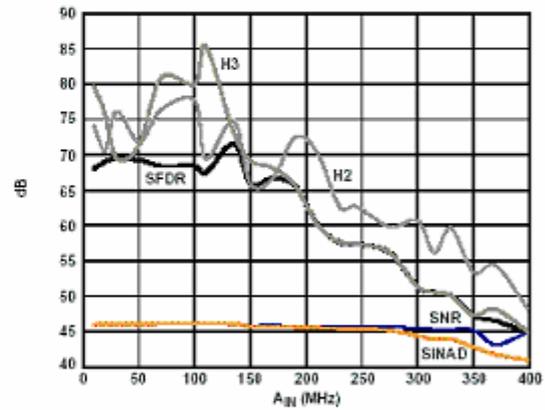
FFT: $f_c = 250MSPS, IN = 10.3MHz @ -1dBFS$



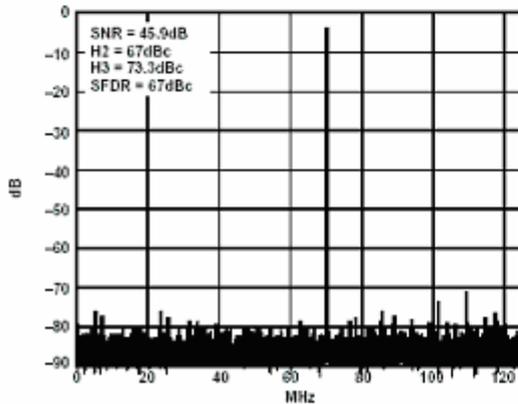
FFT: $f_c = 250MSPS, IN = 170MHz @ -1dBFS$



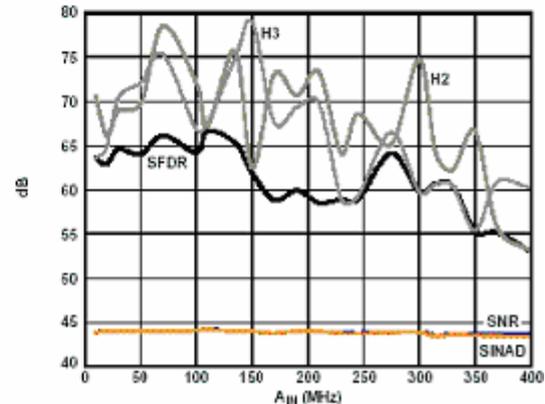
FFT: $f_c = 250MSPS, IN = 70MHz @ -1dBFS$



模拟输入频率扫描



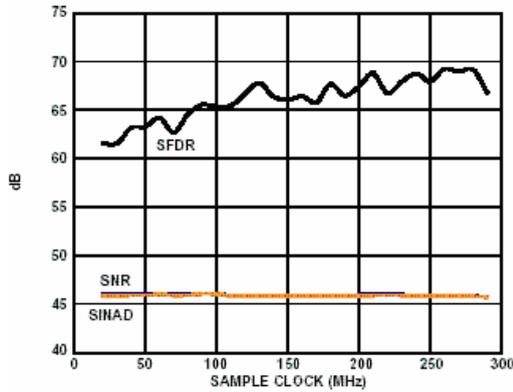
FFT: $f_c = 250MSPS, IN = 70MHz @ -1dBFS$
单端输入



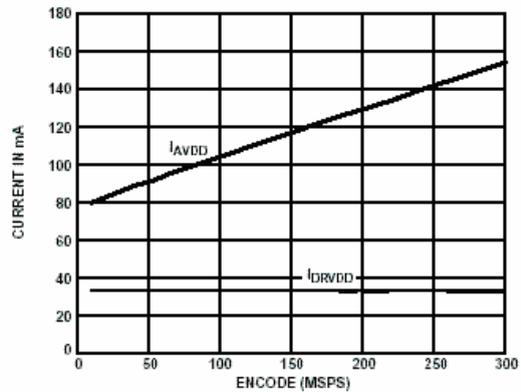
IN = -1dBFS, $FS = 0.75V, f_c = 250MSPS$

HWD9481

8bit 250MSPS ADC



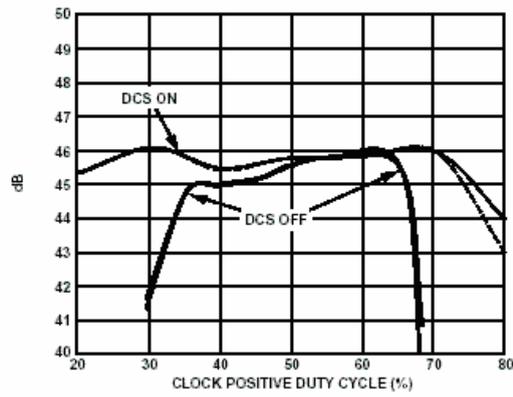
SNR, SINAD, SFDR vs. 采样时钟频率
IN = 70 MHz @ -1 dBFS



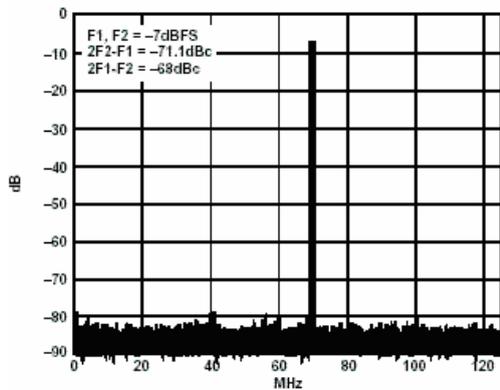
IN = 70 MHz @ -1 dBFS



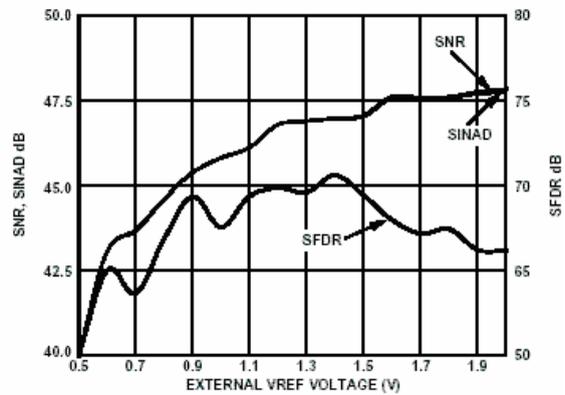
SFDR vs IN 模拟输入电平
IN = 70 MHz at 250 MSPS



SNR, SINAD vs 时钟脉冲高电平宽度
IN = 70 MHz @ -1 dBFS, 250 MSPS, DCS On/Off



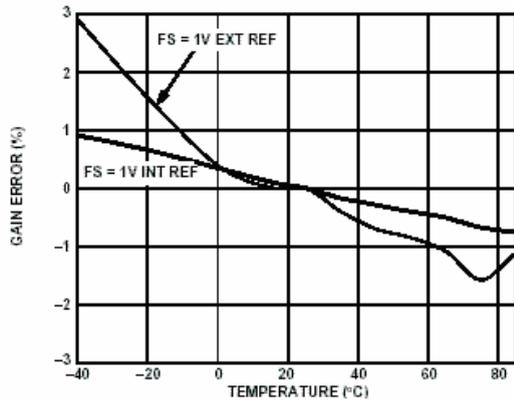
双音交调失真
(69.3 MHz and 70.3 MHz; $f_s=250$ MSPS)



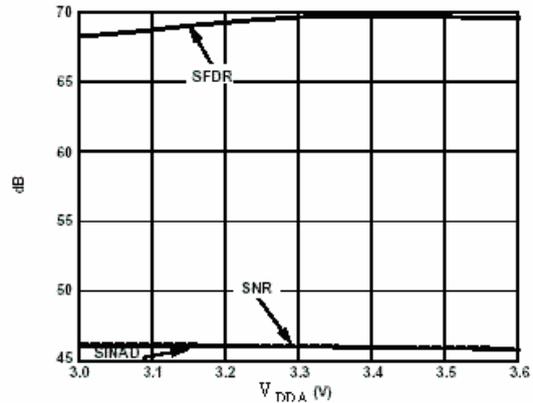
SNR, SINAD, and SFDR vs 外部基准模式,
IN = 70 MHz @ -1 dBFS, 250 MSPS

HWD9481

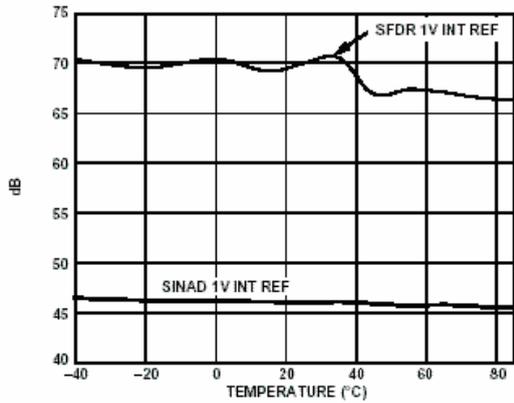
8bit 250MSPS ADC



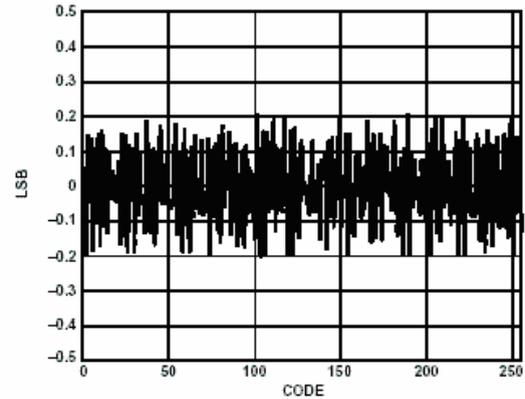
满幅增益误差 vs 温度,
IN=70.3MHz@-0.5dBFS,250MSPS,FS=1



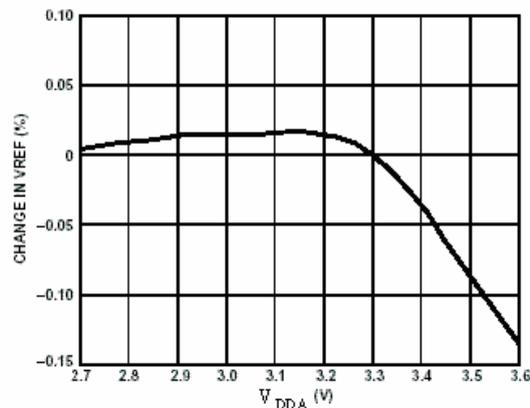
SNR,SINAD,and SFDR vs. 电源电压,
IN = 70.3MHz@-1Dbfs,250MSPS,



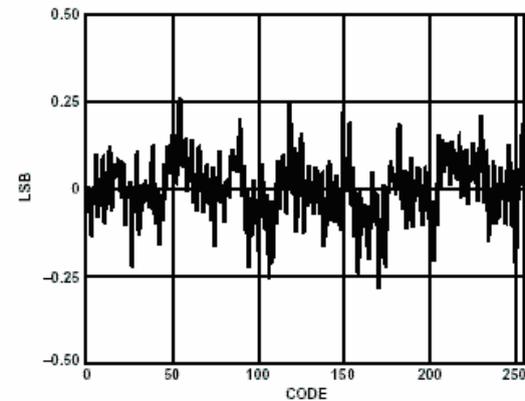
SINAD,SFDR vs 温度,
IN=70MHz@-1 dBFS,250MSPS



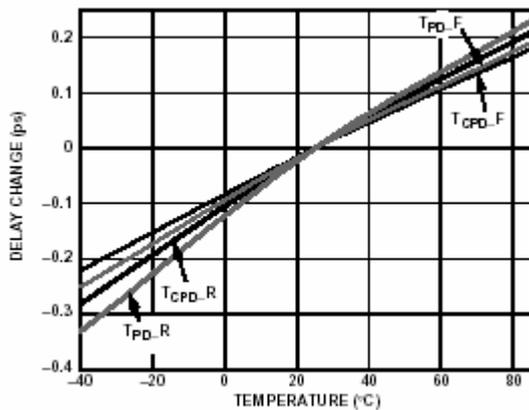
典型 DNL 图
IN = 10.3MHz@-0.5Dbfs,250MSPS,



V_{REF} 对 V_{DDA} 的敏感度



典型 INL 图
IN = 10.3MHz@-0.5Dbfs,250MSPS,



延迟灵敏度 VS 温度

● 详细功能描述

HWD9481应用说明：

HWD9481应用了1.5位每级流水线的总体结构。HWD9481集成了片上的T/H电路，ADC的输入信号首先驱动T/H电路，然后驱动AD内部。为了应用方便，HWD9481还包含了一个片上的参考电压，同时输入可以接收TTL，CMOS，LVPECL电平，而输出信号为TTL，CMOS电平。

HWD9481的时钟控制电路

时钟信号的特性对于高速AD的设计是相当关键的。一般，T/H电路本身就是一个混合电路，噪声和失真和时钟信号中的抖动都会伴随理想的输入信号出现在AD的输出端。因此，我们必须认真考虑HWD9481的时钟输入的设计，同时，用户也必须认真考虑时钟源的设计。

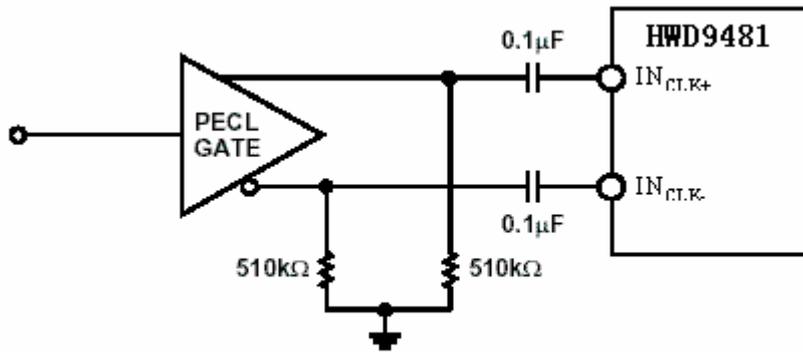
HWD9481有一个内部时钟周期稳定电路，内部时钟周期稳定电路可以优化了时钟信号的性能，从而使我们可以在不降低电路性能的同时可以获得较大的输入信号占空比。通过内部时钟周期稳定电路我们还是不可能消除时钟信号中的抖动。一般，在低于70MHZ的条件下，我们可以断开内部时钟周期稳定电路的应用。同时，考虑到内部时钟周期稳定电路在应用中时钟的速度将会随机变化，因此，我们要求内部时钟周期稳定电路的工作有一个时间常量，一般，我们要求在动态时钟频率增加之后而有效输出获得之前，内部时钟周期稳定电路应该有5us的等待时间。内部时钟周期稳定电路可以通过引脚28（S1）使之失效。

时钟输入信号被偏置为1.5V，同时可以为ADC提供单端或者差分的时钟信

HWD9481

8bit 250MSPS ADC

号。一般说来，为了获得良好的动态特性，我们应用差分的时钟信号。通过 MCV100LVEL16可以很好的驱动时钟信号。假如，时钟缓冲离开AD的距离大于2英寸，则我们需要在AD中应用一个标准的LVPECL终端电路，而不是简单的上拉电路。具体如下图：

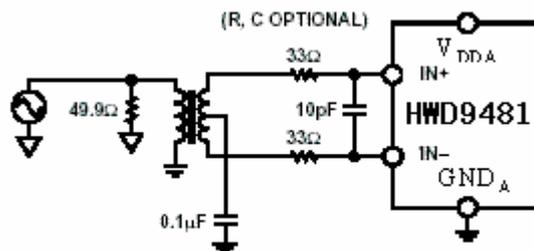


时钟控制 HWD9481

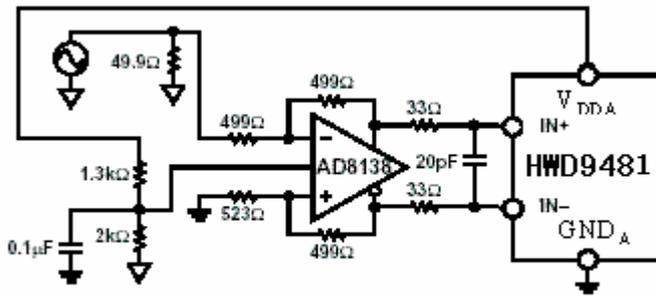
模拟输入信号：

HWD9481的模拟输入是一个差分缓冲电路。为了获得更好的动态特性，我们要求差分输入端阻抗匹配。相对于单端的输入，差分输入可以提高AD的SNR，SINAD性能。其中，模拟输入的共模电压为1.9V，如有需要，可以外加300mV驱动此共模电压。

宽带转换电路，譬如ADT1-1WT，可以将单端输入信号转化为要求的差分输入信号。同时，我们需要注意，滤波电路与中心接触电容是根据设计的需要才应用的。应用RC滤波电路可以降低系统的噪声。



用一个 RF 变压器驱动



用 AD8138 驱动

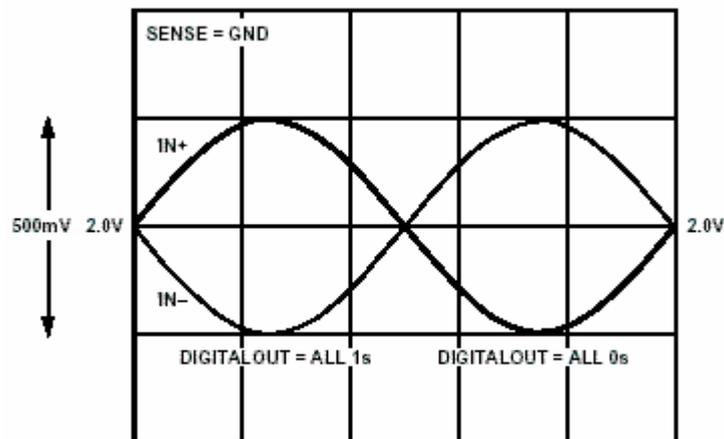
为了直流耦合应用，根据应用的要求，我们将应用AD8138，AD8351作为AD的驱动电路，如上图。

同时，我们还在片上提供了AD8351，在频率高于30~40MHZ的条件下，应用AD8351系统将获得更好的性能。

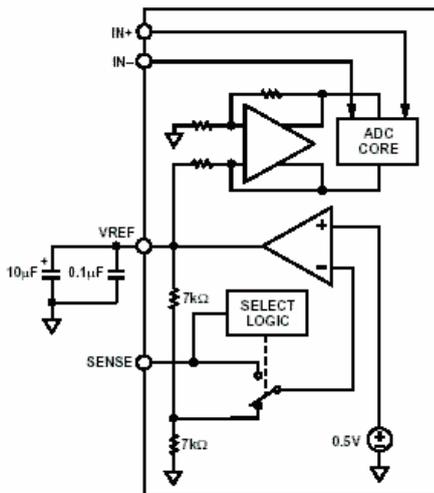
表 2 S1 电平

S1 Voltage	Data Format	Duty Cycle Stabilizer
$0.9V_{DDA} \rightarrow V_{DDA}$	Offset binary	Disabled
$2/3 V_{DDD} \pm (0.1 * V_{DDD})$	Offset binary	Enabled
$1/3 V_{DDD} \pm (0.1 * V_{DDD})$	Twos complement	Enabled
$GND_{A-} \rightarrow (0.1 * V_{DDD})$	Twos complement	Disabled

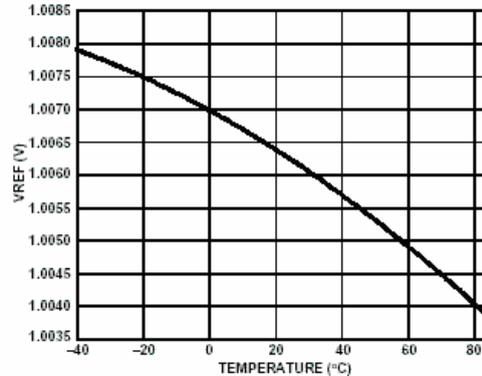
HWD9481 可以工作在不同的满量程输入范围内，一般，系统在 $1V_{P-P}$ 输入条件下可以获得良好的性能。



满幅模拟输入



内部基准等效电路



基准电压随温度变化

参考电压

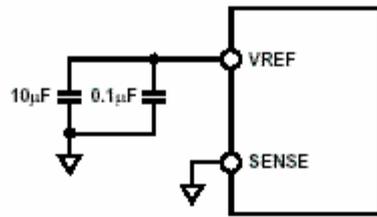
HWD9481 包含了一个内部的稳定 1.0V 的参考电压。用户可以根据系统性能的需要选择内部或者外部提供的参考电压。

表 3 给出 sense 引脚选择不同的参考电压

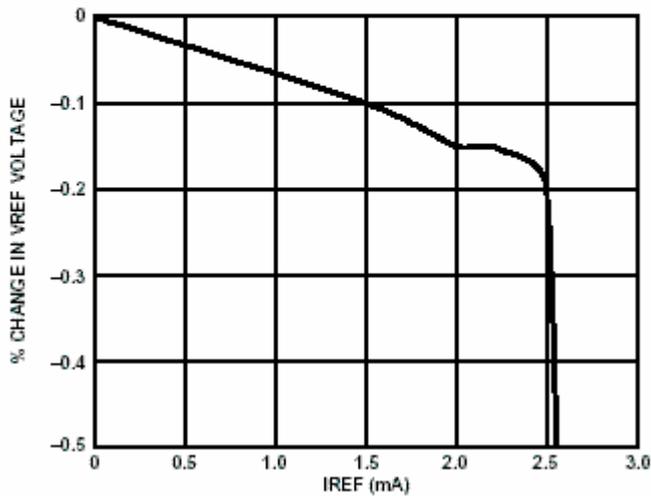
Sense Voltage	Resulting Vref	Reference	Differential Span
V_{DDA}	N/A(external reference input)	External	1*external reference voltage
0.5V(Self Biased)	$0.5*(1+R1/R2)V$	Programmable	0.75Vp-p to 1.5Vp-p
GND_A to 0.2 V	1.0V	Internal fixed	1V _{p-p}

固定的参考电压：

内部的参考电压可以为 1V_{p-p} 输入信号提供参考电位。一般,我们建议给 VREF 引脚外加 0.1 µF 的电容,同时,我们还要求外加一个 10 µF 的电容。假如,参考电压是驱动多个 AD,则我们同时要求参考电压的输出驱动负载能力必须足够大。



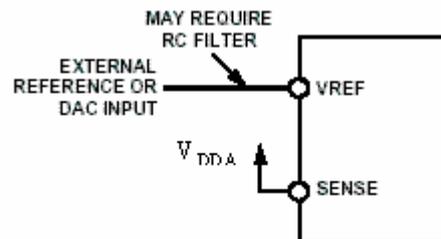
内部基准修调



内部基准 VS 负载电流

外部参考电压

系统为了获得更高的精度与温飘特性,我们可以应用一个稳定的外部参考电压。HWD9481 的增益可以根据应用的不同而不同。我们通过电压输出 DAC 来确定 VREF,从而很好的调整了满量程的范围。其中,VREF 可以通过外部设置为 0.75 ~ 1.5V,优化获得 1.0V 的参考电压。



外部基准

同步输入

数据同步输入 (IN_{DS+} , IN_{DS-}) 用于在给定的时序信号下,要求一个给定采样输出到指定的通道 (A 或 B) 的特定应用。

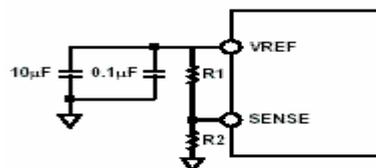
同步输入信号也可以同步多个 ADC，保证各个 ADC 中 A、B 通道相位关系（实际上是同步对个 DCO 输出）。

同步输入端内部偏置电压为 1.5V，并支持双端或单端输入信号。当 IN_{DS+} 为高电平（ IN_{DS-} 为低电平）时，该 ADC 数据输出和 DCO 输出保持静态，相对于时钟上升沿，当 IN_{DS+} 下降沿出现在 t_{SDS} 和 t_{HDS} 之间时，器件完成同步功能（初始同步时与 t_{HDS} 无关）。在给定时钟上升沿之前，如果 IN_{DS+} 落在所需的建立时间 t_{SDS} 之内，经过 8 个时钟周期后，这点的模拟值采样点被量化且出现在 A 通道。N+1 的采样点被下一个时钟上升沿采样，并经过 8 个时钟周期后达到 B 通道。

多个 ADC 同步时，同一个同步信号驱动每个 ADC 的同步输入端。需要同步的应用，建议用单次同步。一个简便的同步是上电复位时立刻给出同步信号。

可编程的参考电压

通过外部电阻除法电路，可编程的参考电压电路可以获得 0.75VP-P~1.5 VP-P 的参考电压。另 SENSE 引脚外接 0.5V 的偏置电压，我们可以获得 $V_{REF}=0.5(1+R1/R2)$ 。为了限定 V_{REF} 的负载，我们一般取 $R1+R2$ 大于或等于 10K 欧（对于 $V_{REF}=1.5$ ，确定 $R1=7K$ ， $R2=3.5K$ ）。



可编程基准电压

数字输出：

CMOS 数字输出是和 TTL/CMOS 电平兼容，可实现低功耗。输出由独立数字电源偏置，便于和外部逻辑接口。输出的 CMOS 器件摆幅为 0 到数字电源（不带负载）。建议尽量减小器件所驱动的容性负载，确保输出踪迹短。工作在 CMOS 模式时，也建议尽量减小传输线上的电阻，以减小开关瞬态效应。

输出译码

Code	(IN+) – (IN-)	Offset Binary	Twos Complement
255	> 0.512 V	1111 1111	0111 1111
255	0.512 V	1111 1111	0111 1111
254	0.508 V	1111 1110	0111 1110
.	.	.	.
.	.	.	.
129	0.004 V	1000 0001	0000 0001
128	0.0 V	1000 0000	0000 0000
127	-0.004 V	0111 1111	1111 1111
.	.	.	.
.	.	.	.
2	-0.504 V	0000 0010	1000 0010
1	-0.508 V	0000 0001	1000 0001
0	-0.512 V	0000 0000	1000 0000
0	< -0.512 V	0000 0000	1000 0000

交迭应用 2 个 HWD9481

通过交迭应用 2 个 HWD9481 我们可以将系统的工作频率提高到 500MSPS。在交迭应用中，我们必须注意 2 个 AD 的增益与失调之间的匹配。一般，通过改变参考电压的值我们可以很好的调节 AD 的增益。通过片外失调补偿调节的办法，我们可以降低 AD 之间失匹配引起的 DC 失调。同时，我们必须注意，2 个 AD 之间的采样时钟的相位失调也相当重要，因此，我们必须尽量降低时钟信号之间的不对称。

输出时钟信号

LVDS 输出可以通过编码控制信号 Q_{DCO+} 与 Q_{DCO-} 获得。编码时钟信号可以由片外提供，片外提供编码时钟信号可以很好的解决不对称问题。同时，片上编码时钟信号的延迟还可以跟踪输出数字信号的延迟，从而可以降低 T_{pd} ， T_{cpd} 两者之间的差值。

- 封装规格

采用 TQFP44 封装

