



[12] 实用新型专利说明书

专利号 ZL 200720198709.2

[45] 授权公告日 2008 年 12 月 10 日

[11] 授权公告号 CN 201163363Y

[22] 申请日 2007.11.30

[21] 申请号 200720198709.2

[73] 专利权人 上海奈凯电子科技有限公司

地址 200032 上海市斜土路 1221 号 305 室

[72] 发明人 周俊华 郑之开 汤同奎 汪永生

[74] 专利代理机构 上海智信专利代理有限公司

代理人 王 洁

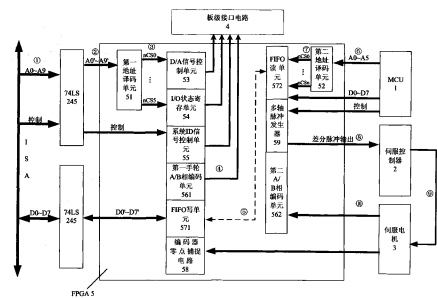
权利要求书 2 页 说明书 5 页 附图 3 页

[54] 实用新型名称

数控机床上的通用多轴运动控制系统

[57] 摘要

本实用新型涉及一种数控机床上的通用多轴运动控制系统，包括设置于数控机床上的微控制单元、伺服控制器、伺服电机和板级接口电路，微控制单元通过伺服控制器与伺服电机连接，其中系统还包括设置于数控机床上的可编程逻辑器件，可编程逻辑器件分别与一控制计算机、微控制单元和板级接口电路连接。采用该种结构的数控机床上的通用多轴运动控制系统，巧妙利用了 FPGA 芯片编程灵活的优势对多轴运动控制器电路进行 ASIC 定制，满足了多轴协调及高速高精复杂运动控制要求，简化了电路设计，提高了系统可靠性，降低了系统制造成本，而且结构简单，系统集成度高，工作性能稳定可靠、适用范围较为广泛，为数控机床运动控制技术的进一步发展奠定了坚实的基础。



1、一种数控机床上的通用多轴运动控制系统，包括设置于数控机床上的微控制单元、伺服控制器、伺服电机和板级接口电路，所述的微控制单元通过伺服控制器与所述的伺服电机相连接，其特征在于，所述的系统还包括设置于数控机床上的可编程逻辑器件，所述的可编程逻辑器件分别与一控制计算机、所述的微控制单元和板级接口电路相连接。

2、根据权利要求1所述的数控机床上的通用多轴运动控制系统，其特征在于，所述的可编程逻辑器件内设置有第一地址译码单元、第二地址译码单元和内部控制电路模块，所述的控制计算机通过第一地址译码单元与所述的内部控制电路模块相连接，所述的微控制单元通过第二地址译码单元与所述的内部控制电路模块相连接，所述的控制计算机、板级接口电路、伺服控制器和伺服电机均与所述的内部控制电路模块直接相连接。

3、根据权利要求2所述的数控机床上的通用多轴运动控制系统，其特征在于，所述的内部控制电路模块包括A/D信号控制单元、I/O状态寄存单元、系统ID信号控制单元、第一手轮A/B相编码单元、FIFO单元、多轴编码器零点捕捉单元、第二A/B相编码单元和多轴脉冲发生控制单元，所述的A/D信号控制单元、I/O状态寄存单元、系统ID信号控制单元和第一手轮A/B相编码单元分别与所述的板级接口电路相连接，所述的第一地址译码单元与所述的A/D信号控制单元、I/O状态寄存单元、系统ID信号控制单元、第一手轮A/B相编码单元、FIFO单元和多轴编码器零点捕捉单元相连接，所述的第二地址译码单元与所述的第二A/B相编码单元、FIFO单元和多轴脉冲发生控制单元相连接，所述的伺服控制器与所述的多轴脉冲发生控制单元相连接，所述的伺服电机与所述的多轴编码器零点捕捉单元相连接。

4、根据权利要求3所述的数控机床上的通用多轴运动控制系统，其特征在于，所述的FIFO单元包括FIFO写单元和FIFO读单元，所述的第一地址译码单元与所述的FIFO写单元相连接，所述的第二地址译码单元与所述的FIFO读单元相连接。

5、根据权利要求2至4中任一项所述的数控机床上的通用多轴运动控制系统，其特征在于，所述的控制计算机通过ISA总线与所述的第一地址译码单元相连接，且该控制计算机还通过ISA总线与所述的内部控制电路模块直接相连接。

6、根据权利要求5所述的数控机床上的通用多轴运动控制系统，其特征在于，所述的控制计算机依次通过ISA总线、总线信号隔离放大器与第一地址译码单元相连接，且该控制计算机还依次通过ISA总线、总线信号隔离放大器与内部控制电路模块相连接。

7、根据权利要求6所述的数控机床上的通用多轴运动控制系统，其特征在于，所述的总

线信号隔离放大器为 74LS245 芯片。

8、根据权利要求 1 至 4 中任一项所述的数控机床上的通用多轴运动控制系统，其特征在于，所述的可编程逻辑器件为 FPGA 芯片。

9、根据权利要求 8 所述的数控机床上的通用多轴运动控制系统，其特征在于，所述的 FPGA 芯片为 A3P250 芯片。

数控机床上的通用多轴运动控制系统

技术领域

本实用新型涉及数控机床领域，特别涉及数控机床运动控制技术领域，具体是指一种数控机床上的通用多轴运动控制系统。

背景技术

制造业是国民经济的基础产业，制造业的水平高低是衡量一个国家工业发达程度的重要标志。数控机床质量水平的高低，关系着国家制造业水平的高低。

在数控机床中，最重要的系统就是运动控制系统，其主要由控制计算机、运动控制器、驱动装置、执行机构和反馈装置构成。运动控制器响应闭环信号，接受控制系统的应用程序指令并将其转换为运动指令给驱动装置，由驱动装置将这些指令信号转换成电流以驱动执行结构，实现预定的运动轨迹和目标装置。由此可见，运动控制器是运动指令的直接发出者，在运动控制系统中处于核心的地位。运动控制器的控制性能在很大程度上决定了系统的控制精度和响应速度。运动控制器是运动系统的核心环节之一，只要有伺服电机应用的场合就离不开运动控制器。它以其特有的灵活性和优异的运动轨迹控制能力使许多工业生产数控设备焕发出勃勃生机。

在现有技术中，目前的运动控制器一般低端采用8位单片机，高端采用16位微控制单元（MCU，MICRO CONTROLLER UNIT）或数字信号处理芯片（DSP，DIGITAL SIGNAL PROCESSOR），精度比较高的是1 μ m级，加速度比较高的是2G~3G。

由于采用传统8位单片机或者DSP处理器构成控制卡的精度与速度方面不能满足多轴协调及高速、高精复杂运动控制的严格要求，从而大大限制了数控机床的应用范围，给人们的生产和工作带来了一定的障碍。

实用新型内容

本实用新型的目的是克服了上述现有技术中的缺点，提供一种能够满足多轴协调及高速高精复杂运动控制的严格要求、结构简单、系统集成度高、成本较低、工作性能稳定可靠、适用范围较为广泛的数控机床上的通用多轴运动控制系统。

为了实现上述的目的,本实用新型的数控机床上的通用多轴运动控制系统具有如下构成:

该数控机床上的通用多轴运动控制系统,包括设置于数控机床上的微控制单元、伺服控制器、伺服电机和板级接口电路,所述的微控制单元通过伺服控制器与所述的伺服电机相连接,其主要特点是,所述的系统还包括设置于数控机床上的可编程逻辑器件,所述的可编程逻辑器件分别与一控制计算机、所述的微控制单元和板级接口电路相连接。

该数控机床上的通用多轴运动控制系统的可编程逻辑器件内设置有第一地址译码单元、第二地址译码单元和内部控制电路模块,所述的控制计算机通过第一地址译码单元与所述的内部控制电路模块相连接,所述的微控制单元通过第二地址译码单元与所述的内部控制电路模块相连接,所述的控制计算机、板级接口电路、伺服控制器和伺服电机均与所述的内部控制电路模块直接相连接。

该数控机床上的通用多轴运动控制系统的内部控制电路模块包括 A/D 信号控制单元、I/O 状态寄存单元、系统 ID 信号控制单元、第一手轮 A/B 相编码单元、FIFO (First Input First Output) 单元、多轴编码器零点捕捉单元、第二 A/B 相编码单元和多轴脉冲发生控制单元,所述的 A/D 信号控制单元、I/O 状态寄存单元、系统 ID 信号控制单元和第一手轮 A/B 相编码单元分别与所述的板级接口电路相连接,所述的第一地址译码单元与所述的 A/D 信号控制单元、I/O 状态寄存单元、系统 ID 信号控制单元、第一手轮 A/B 相编码单元、FIFO 单元和多轴编码器零点捕捉单元相连接,所述的第二地址译码单元与所述的第二 A/B 相编码单元、FIFO 单元和多轴脉冲发生控制单元相连接,所述的伺服控制器与所述的多轴脉冲发生控制单元相连接,所述的伺服电机与所述的多轴编码器零点捕捉单元相连接。

该数控机床上的通用多轴运动控制系统的 FIFO 单元包括 FIFO 写单元和 FIFO 读单元,所述的第一地址译码单元与所述的 FIFO 写单元相连接,所述的第二地址译码单元与所述的 FIFO 读单元相连接。

该数控机床上的通用多轴运动控制系统的控制计算机通过 ISA (industry-standard architecture) 总线与所述的第一地址译码单元相连接,且该控制计算机还通过 ISA 总线与所述的内部控制电路模块直接相连接。

该数控机床上的通用多轴运动控制系统的控制计算机依次通过 ISA 总线、总线信号隔离放大器与第一地址译码单元相连接,且该控制计算机还依次通过 ISA 总线、总线信号隔离放大器与内部控制电路模块相连接。

该数控机床上的通用多轴运动控制系统的总线信号隔离放大器为 74LS245 芯片。

该数控机床上的通用多轴运动控制系统的可编程逻辑器件为 FPGA (Field Programmable

Gate Array) 芯片。

该数控机床上的通用多轴运动控制系统的 FPGA 芯片为 A3P250 芯片。

采用了该实用新型的数控机床上的通用多轴运动控制系统，由于其采用了 FPGA 芯片与传统的 MCU 相结合的方式构成整个控制系统，并由 FPGA 完成 PC 机与 MCU 之间的接口通信，同时该 FPGA 芯片还能够完成脉冲发送、驱动器脉冲反馈和数字 I/O 口等功能，从而巧妙利用了 FPGA 芯片编程灵活的优势对多轴运动控制器电路进行 ASIC(Application-Specific Integrated Circuit) 定制，使其能够满足多轴协调及高速高精复杂运动控制的严格要求，并在很大程度上简化了电路设计，提高了系统的可靠性，降低了系统制造的成本，而且结构简单，系统集成度高，工作性能稳定可靠、适用范围较为广泛，为数控机床运动控制技术的进一步发展奠定了坚实的基础。

附图说明

图 1 为本实用新型的数控机床上的通用多轴运动控制系统整体架构示意图。

图 2 为本实用新型的数控机床上的通用多轴运动控制系统的 MCU 与 FPGA 芯片连接的电路原理图。

图 3 为本实用新型的数控机床上的通用多轴运动控制系统的控制计算机与 FPGA 芯片连接的电路原理图。

具体实施方式

为了能够更清楚地理解本实用新型的技术内容，特举以下实施例详细说明。

请参阅图 1 所示，该数控机床上的通用多轴运动控制系统，包括设置于数控机床上的微控制单元 1、伺服控制器 2、伺服电机 3 和板级接口电路 4，所述的微控制单元 1 通过伺服控制器 2 与所述的伺服电机 3 相连接，其中，所述的系统还包括设置于数控机床上的可编程逻辑器件 5，所述的可编程逻辑器件 5 分别与一控制计算机、所述的微控制单元 1 和板级接口电路 4 相连接。

其中，该可编程逻辑器件 5 可以为 FPGA 芯片，该 FPGA 芯片为 A3P250 芯片，当然也可以根据情况采用其它类型的可编程逻辑器件芯片。该可编程逻辑器件 5 内设置有第一地址译码单元 51、第二地址译码单元 52 和内部控制电路模块，所述的控制计算机通过第一地址译码单元 51 与所述的内部控制电路模块相连接，所述的微控制单元 1 通过第二地址译码单元 52 与所述的内部控制电路模块相连接，所述的控制计算机、板级接口电路 4、伺服控制器 2 和伺服电机 3 均与所述的内部控制电路模块直接相连接。

同时,该内部控制电路模块包括 A/D 信号控制单元 53、I/O 状态寄存单元 54、系统 ID 信号控制单元 55、第一手轮 A/B 相编码单元 561、FIFO 单元、多轴编码器零点捕捉单元 58、第二 A/B 相编码单元和多轴脉冲发生控制单元 59,所述的 A/D 信号控制单元 53、I/O 状态寄存单元 54、系统 ID 信号控制单元 55 和第一手轮 A/B 相编码单元 561 分别与所述的板级接口电路 4 相连接,所述的第一地址译码单元 51 与所述的 A/D 信号控制单元 53、I/O 状态寄存单元 54、系统 ID 信号控制单元 55、第一手轮 A/B 相编码单元 561、FIFO 单元和多轴编码器零点捕捉单元 58 相连接,所述的第二地址译码单元 52 与所述的第二 A/B 相编码单元 562、FIFO 单元和多轴脉冲发生控制单元 59 相连接,所述的伺服控制器 2 与所述的多轴脉冲发生控制单元 59 相连接,所述的伺服电机 3 与所述的多轴编码器零点捕捉单元 58 相连接;其中所述的 FIFO 单元包括 FIFO 写单元 571 和 FIFO 读单元 572,所述的第一地址译码单元 51 与所述的 FIFO 写单元 571 相连接,所述的第二地址译码单元 52 与所述的 FIFO 读单元 572 相连接。

不仅如此,该控制计算机依次通过 ISA 总线、总线信号隔离放大器与所述的第一地址译码单元 51 相连接,且该控制计算机还依次通过 ISA 总线、总线信号隔离放大器与内部控制电路模块相连接;该总线信号隔离放大器可以为 74LS245 芯片。

在实际使用当中,请参阅图 1 所示,其中的虚框内为一块通用 FPGA 芯片,可以采用 A3P250 芯片。其在整个系统中它处于核心地位,主要负责与测试计算机(PC)通信,与 MCU 通信以及与外部数字 I/O 口进行接口。其中

①上位机通过 ISA 总线将的 PC 信号传送给本系统;

②PC 机的总线信号经过 74LS245 进行隔离和放大后,驱动 FPGA;

③PC 机的地址信息经过 FPGA 内部译码器后,产生内部控制电路的片选信号,内部控制电路包括 AD 控制器,IO 状态寄存器,系统 ID 信息控制器,第一手轮 A/B 相编码器,FIFO 写单元以及多轴编码器零点捕捉器;

④FPGA 内部控制电路产生外围电路控制信号,用于与外围电路进行接口。内部控制电路如③所述;外围接口电路包括数控系统中常用的数字 IO 口,DA 控制器,手轮以及存储系统 ID 信息芯片;

⑤FIFO 单元,通过该电路可以将 PC 机与 MCU 进行连接;

⑥MCU 的地址信号、数据信号、控制信号以及伺服控制器的方向信号直接连接到 FPGA 的外围引脚上;

⑦MCU 的地址信号进过 FPGA 内部译码后产生内部信号的片选信号,这些内部电路包括 FIFO 读单元,脉冲发生控制器以及第二 A/B 相编码器;

⑧MCU 根据 PC 机发送脉冲以及伺服电机反馈的信息，计算出脉冲控制器的控制周期；脉冲控制器负责向伺服驱动器发送差分脉冲信号；

⑨伺服控制器依据接收的脉冲产生伺服电机的控制信号，控制伺服电机的转速和转向；

⑩伺服电机产生的 A/B 相编码信号以及编码器零点信号连接到 FPGA 上，用于位置反馈和零点反馈。

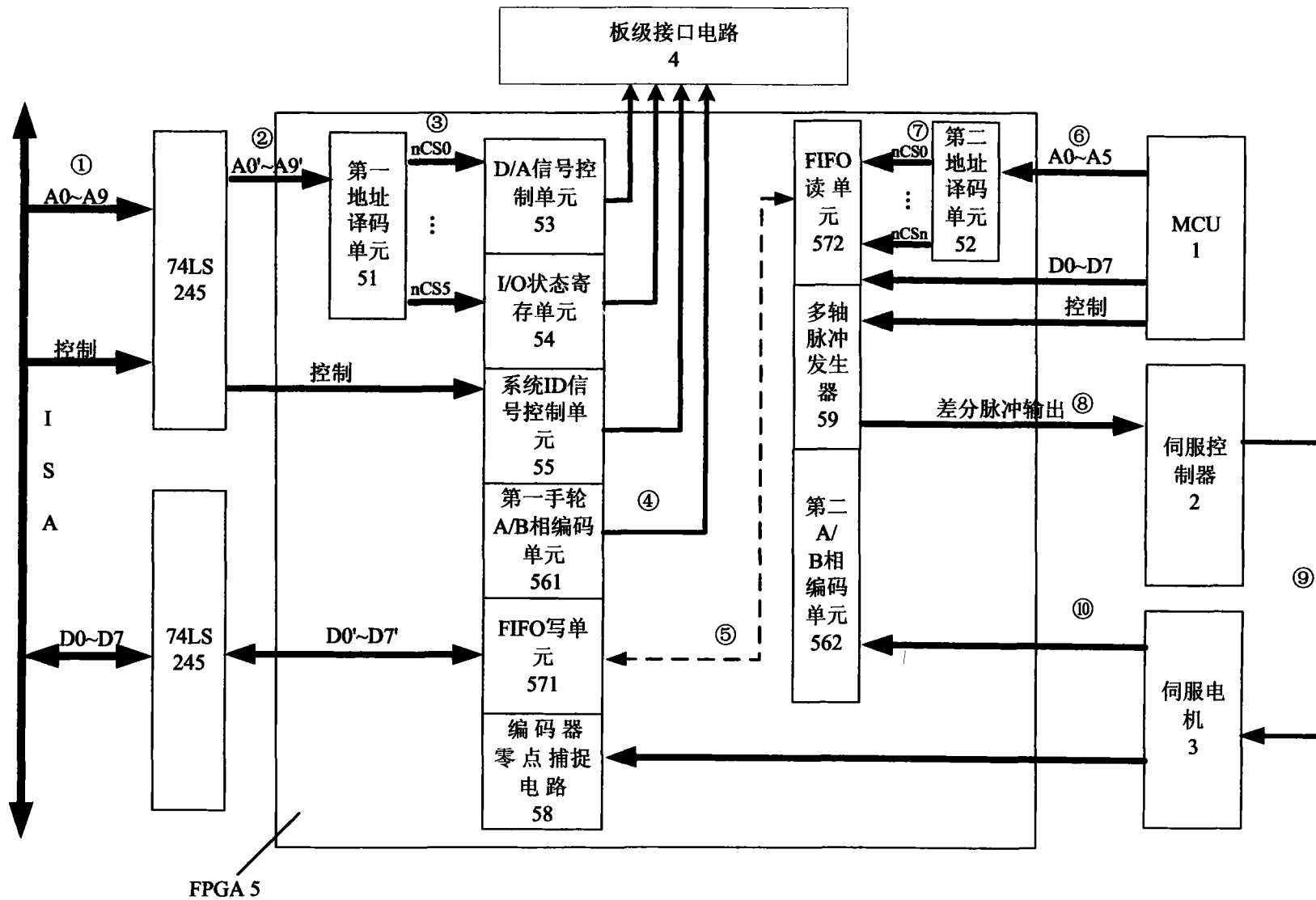
综上所述，PC 机通过 ISA 总线接口将多轴的运动数据发送给 FPGA 芯片 5，FPGA 芯片 5 将接收的数据缓冲到内部 FIFO 中并更新 FIFO 的状态信息来通知 MCU 1。MCU 1 检测到 FIFO 单元的状态信息后会主动读取 FIFO 单元里的数据，并根据具体的运动数据以及伺服电机的位置反馈信号来控制 FPGA 内部脉冲发生器使之产生差分脉冲及方向信号。

再请参阅图 2 所示，其为 MCU 1（可以采用 STC89C58 芯片）与 FPGA 接口原理图，在图中，MCU 1 的数据总线，地址以及读写控制线直接连接到 FPGA 芯片 5 上；为了对电机实现方向控制，MCU 1 还必须提供方向信号给 FPGA 芯片 5。图中所示的 MD0~MD7, MA0~MA7 以及 MRD 和 MWR 分别为 MCU 的数据线、地址线和总线读写信号。XD, YD 以及 ZD 用于为 X、Y 和 Z 轴的方向标志。在整个系统中 MCU 1 负责读取电机位置反馈信息，并读取 FIFO 单元里的脉冲数据，并根据各轴的脉冲数据以及位置误差计算得到的控制周期送脉冲发送器。由 FPGA 芯片 5 内部的脉冲发送器负责将差分脉冲信号发送给伺服控制器 2 中。

再请参阅图 3 所示，其为 PC 机与 FPGA 芯片的接口电路原理图，在图中，ISA 数据总线，地址以及读写控制线经过总线信号隔离放大器（可以采用 74LS245 芯片）或隔离后直接连接到 FPGA 芯片 5 上。如图所示 SD0~SD7, SA0~SA9 以及 -IOW、-IOR 和 AEN 分别为 ISA 接口的数据总线，地址总线以及 I/O 空间的控制总线。

采用了上述的数控机床上的通用多轴运动控制系统，由于其采用了 FPGA 芯片与传统的 MCU 相结合的方式构成整个控制系统，并由 FPGA 完成 PC 机与 MCU 之间的接口通信，同时该 FPGA 芯片还能够完成脉冲发送、驱动器脉冲反馈和数字 I/O 口等功能，从而巧妙利用了 FPGA 芯片编程灵活的优势对多轴运动控制器电路进行 ASIC 定制，使其能够满足多轴协调及高速高精复杂运动控制的严格要求，并在很大程度上简化了电路设计，提高了系统的可靠性，降低了系统制造的成本，而且结构简单，系统集成度高，工作性能稳定可靠、适用范围较为广泛，为数控机床运动控制技术的进一步发展奠定了坚实的基础。

在此说明书中，本实用新型已参照其特定的实施例作了描述。但是，很显然仍可以做出各种修改和变换而不背离本实用新型的精神和范围。因此，说明书和附图应被认为是说明性的而非限制性的。



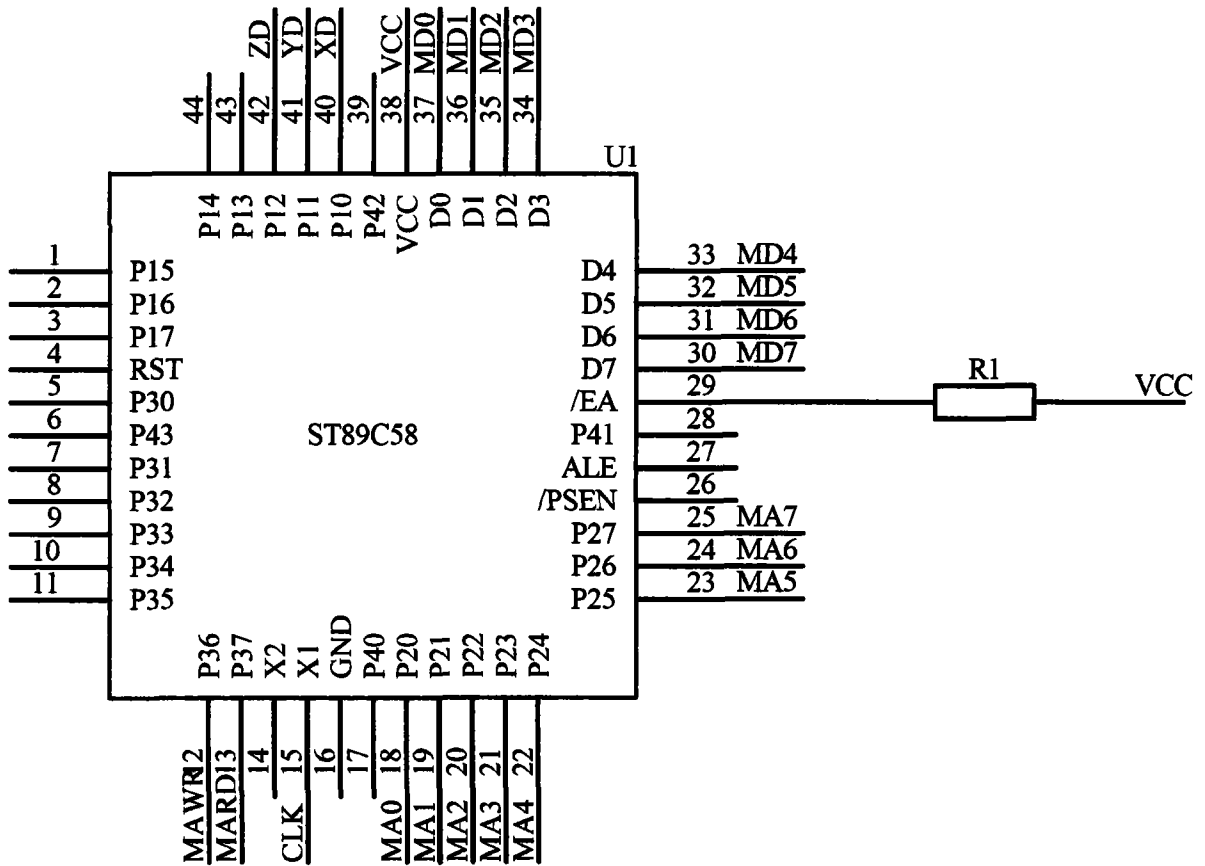


图 2

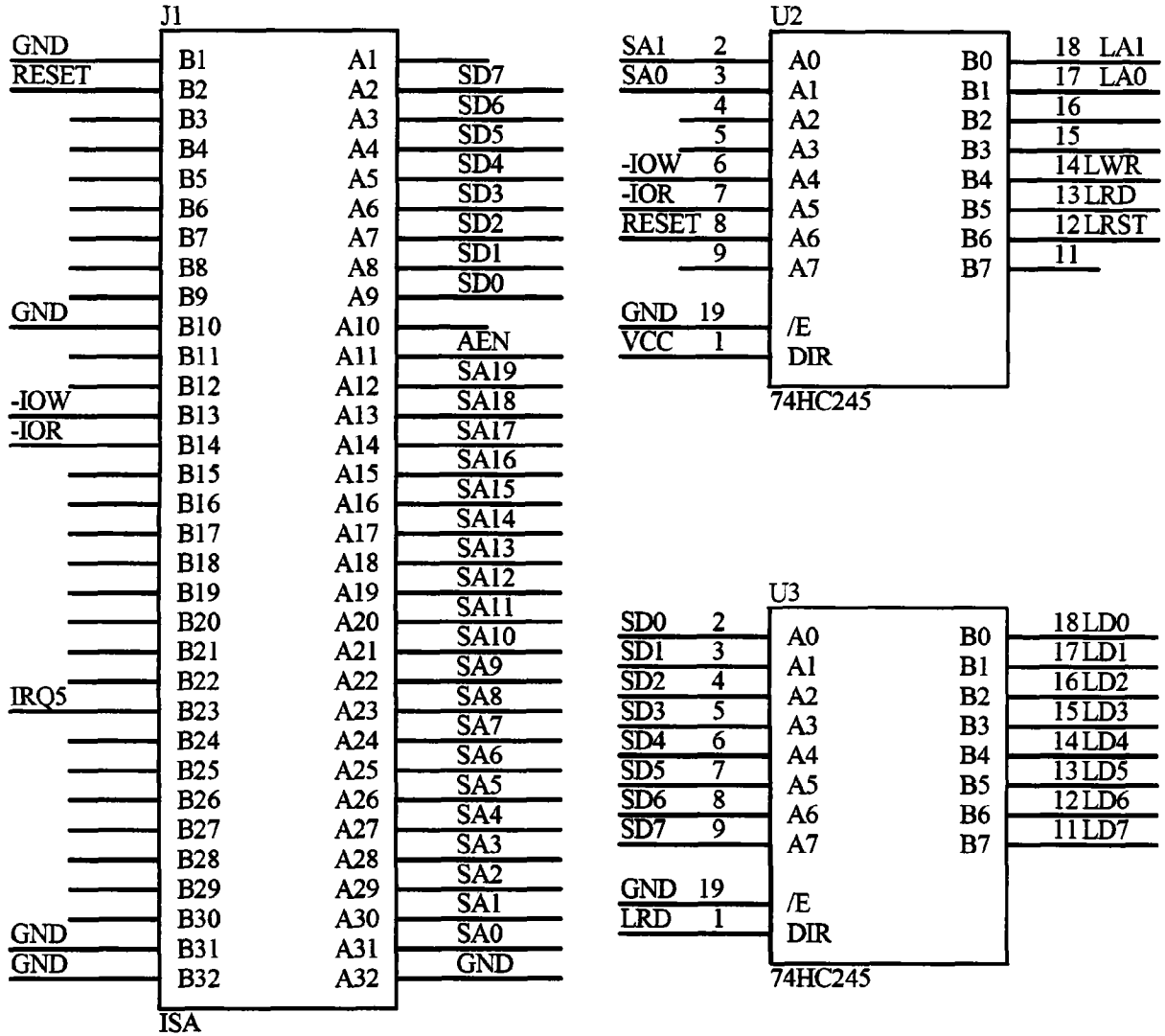


图 3