

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H02P 8/14

H02P 8/20



[12] 实用新型专利说明书

[21] ZL 专利号 03231282.2

[45] 授权公告日 2004 年 7 月 14 日

[11] 授权公告号 CN 2626131Y

[22] 申请日 2003.5.20 [21] 申请号 03231282.2

[73] 专利权人 上海双岭电子有限公司
地址 200023 上海市龙华东路 795 号

[72] 设计人 黄建浩

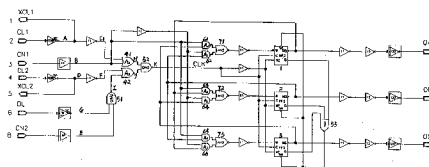
[74] 专利代理机构 上海新天专利代理有限公司
代理人 张泽纯

权利要求书 2 页 说明书 7 页 附图 4 页

[54] 实用新型名称 步进电机集成电路

[57] 摘要

本实用新型涉及一种步进电机集成电路，包括第一 D 触发器，第二 D 触发器，第三 D 触发器，并通过一套 CMOS 门电路设置与第一、第二、第三 D 触发器的输出信号一起提供第一、第二、第三 D 触发器的各输入信号。该步进电机集成电路实现了单六拍正转或反转功能，并通过所述 CMOS 门电路的设置，可以实现电路自动复位与保持功能，并能够增加输出驱动能力以推动电机正常运转。



1、一种步进电机集成电路，包括第一、第二及第三 D 触发器 (1)、(2)、(3)，其特征在于：

其第一时钟脉冲输入端 CL1 经带保护的反相器 IOB 及一反相器 (11) 接入第一或门 (41)，第一时钟允许端 CN1 经施密特触发器 IP 接入第一或门 (41)，第二时钟脉冲输入端 CL2 经带保护的反相器 IOB 及一反相器 (11) 接入第二或门 (42)，保持控制端 DL 经带保护的反相器 IP2 接入第一与非门 (51)，第二时钟允许端 CN2 经施密特触发器 IP 接入第一与非门 (51)，第一与非门 (51) 的输出端接入第二或门 (42)，第一或门 (41) 的输出端与第二或门 (42) 的输出端接入第二与非门 (52)，该第二与非门 (52) 的输出端接入第一、第二及第三 D 触发器 (1)、(2)、(3) 的 C 时钟脉冲输入端，该第二与非门 (52) 的输出端经反相器 (11) 接入第一、第二及第三 D 触发器 (1)、(2)、(3) 的 XC 时钟脉冲输入端；

其所述第一时钟允许端 CN1 经施密特触发器 IP 接入第一与门 (61)、第三与门 (63)、第五与门 (65)，第一时钟允许端 CN1 经施密特触发器 IP 和反相器 (11) 接入第二与门 (62)、第四与门 (64)、第六与门 (66)，第三 D 触发器 (3) 的 XQ 输出端接入第一与门 (61)、第四与门 (64)，第二 D 触发器 (2) 的 XQ 输出端接入第二与门 (62)、第五与门 (65)，第一 D 触发器 (1) 的 XQ 输出端接入第三与门 (63)、第六与门 (66)，第一与门 (61) 的输出端与第二与门 (62) 的输出端接入第一或非门 (71)，第三与门 (63) 的输出端与第四与门 (64) 的输出端接入第二或非门 (72)，第五与门 (65) 的输出端与第六与门 (66) 的输出端接入第三或非门 (73)，该第一或非门 (71)、第二或非门 (72)、第三或非门 (73) 的输出端分别经反相器 (11) 接入第一 D 触发器 (1)、第二 D 触发器 (2)、第三 D 触发器 (3) 的 D 输入端。

2、根据权利要求 1 所述的步进电机集成电路，其特征在于：

所述第一、第二及第三 D 触发器 (1)、(2)、(3) 的 Q 输出端接入第三与非门 (53), 该第三与非门 (53) 的输出端接入第一 D 触发器 (1) 的直接置 1 端 XS、第二 D 触发器 (2) 的直接置 0 端 XR 及第三 D 触发器 (3) 的直接置 0 端 XR。

3、根据权利要求 1 或 2 所述的步进电机集成电路, 其特征在于: 所述第一 D 触发器 (1)、第二 D 触发器 (2) 及第三 D 触发器 (3) 的 XQ 输出端分别经两个反相器 (11)、(13) 及带保护的相器 OB 接入电路输出端 QA、OB、QC。

步进电机集成电路

技术领域

本实用新型涉及一种集成电路，特别涉及一种步进电机集成电路。

背景技术

现有步进电机脉冲分配器的电路如图 1 所示，其主要功能是为三相步进电机脉冲控制而设计的，在配合适当的三组功能驱动电路后，可以控制三相步进电机的双三拍或单六拍正转或反转。然而这种步进电机脉冲分配器不能提供自动复位与保持功能以满足不同需求，同时亦不能提供足够的输出驱动能力以保证推动电机正常运转。

实用新型内容

本实用新型的目的在于提供一种步进电机集成电路，实现电机单六拍正转或反转功能的同时，实现自动复位与保持功能并增加其输出驱动能力。

为实现上述目的，本实用新型提供一种步进电机集成电路，包括第一、第二及第三 D 触发器，其特征在于：

其第一时钟脉冲输入端经带保护的反相器及一反相器接入第一或门，第一时钟允许端经施密特触发器接入第一或门，第二时钟脉冲输入端经带保护的反相器及一反相器接入第二或门，保持控制端经带保护的反相器接入第一与非门，第二时钟允许端经施密特触发器接入第一与非门，第一与非门的输出端接入第二或门，第一或门的输出端与第二或门的输出端接入第二与非门，该第二与非门的输出端接入第一、第二及第三 D 触发器的 C 时钟脉冲输入端，该第二

与非门的输出端经反相器接入第一、第二及第三 D 触发器的 XC 时钟脉冲输入端。

其所述第一时钟允许端经施密特触发器接入第一与门、第三与门、第五与门，第一时钟允许端经施密特触发器和反相器接入第二与门、第四与门、第六与门，第三 D 触发器的输出端接入第一与门、第四与门，第二 D 触发器的输出端接入第二与门、第五与门，第一 D 触发器的 XQ 输出端接入第三与门、第六与门，第一与门的输出端与第二与门的输出端接入第一或非门，第三与门的输出端与第四与门的输出端接入第二或非门，第五与门的输出端与第六与门的输出端接入第三或非门，该第一或非门、第二或非门、第三或非门的输出端分别经反相器接入第一 D 触发器、第二 D 触发器、第三 D 触发器的 D 输入端。

所述第一、第二及第三 D 触发器的 Q 输出端接入第三与非门，该第三与非门的输出端接入第一 D 触发器的直接置 1 端 XS、第二 D 触发器的直接置 0 端 XR 及第三 D 触发器的直接置 0 端 XR。

所述第一 D 触发器、第二 D 触发器及第三 D 触发器的 XQ 输出端分别经两个反相器及带保护的相器接入电路输出端。

本实用新型提供一种实现单六拍正转或反转功能的步进电机集成电路，通过一套 CMOS 门电路的设置，可以实现电路自动复位与保持功能，并能够增加输出驱动能力以推动电机正常运转。

以下结合附图与实施例对本实用新型作进一步的说明。

附图说明

图 1 为现有技术的电路接线图。

图 2 为本实用新型的电路接线图。

图 3 为本实用新型的电路工作原理波形图。

图 4 为本实用新型的封装外形图。

具体实施方式

如图 2 所示,本实用新型步进电机集成电路包括第一 D 触发器 1,第二 D 触发器 2,第三 D 触发器 3,并通过一套 CMOS 门电路设置与第一、第二、第三 D 触发器 1、2、3 的输出信号一起提供第一、第二、第三 D 触发器 1、2、3 的各输入信号。

图 2 中 CMOS 的 D 触发器用符号 FF2 表示,CMOS 二输入端与非门用符号 ON2 表示,CMOS 三输入端与非门用符号 AN3 表示,CMOS 反相器用符号 11、13 表示,CMOS 二输入端与门用符号 A1 表示,CMOS 二输入端或非门用符号 AN2 表示,CMOS 二输入端或门用符号 A2 表示,CMOS 施密特触发器用符号 IP 表示,CMOS 带保护功能的反相器用符号 IP2、IOB、OB 表示。

本实用新型的第一时钟脉冲输入端 CL1 经带保护的的反相器 IOB 及一反相器 11 接入第一或门 41,第一时钟允许端 CN1 经施密特触发器 IP 接入第一或门 41。第二时钟脉冲输入端 CL2 经带保护的的反相器 IOB 及一反相器 11 接入第二或门 42,保持控制端 DL 经带保护的的反相器 IP2 接入第一与非门 51,第二时钟允许端 CN2 经施密特触发器 IP 接入第一与非门 51,第一与非门 51 的输出端接入第二或门 42。第一或门 41 的输出端与第二或门 42 的输出端接入第二与非门 52。该第二与非门 52 的输出端接入第一、第二及第三 D 触发器 1、2、3 的 C 时钟脉冲输入端,该第二与非门 52 的输出端经反相器 11 接入第一、第二及第三 D 触发器 1、2、3 的 XC 时钟脉冲输入端。

第一时钟允许端 CN1 经施密特触发器 IP 接入第一与门 61、第三与门 63、第五与门 65。第一时钟允许端 CN1 经施密特触发器 IP 和反相器 11 接入第二与门 62、第四与门 64、第六与门 66。第三 D 触发器 3 的 XQ 输出端接入第一与门 61、第四与门 64,第二 D 触发器 2 的 XQ 输出端接入第二与门 62、第五与门 65,第一 D 触发器 1 的 XQ 输出端接入第三与门 63、第六与门 66。第一与门 61 的输出端与第二与门 62 的输出端接入第一或非门 71,第三与门 63 的输出端与第四与门 64 的输出端接入第二或非门 72,第五与门 65 的

输出端与第六与门 66 的输出端接入第三或非门 73。该第一或非门 71、第二或非门 72、第三或非门 73 的输出端分别经反相器 11 接入第一 D 触发器 1、第二 D 触发器 2、第三 D 触发器 3 的 D 输入端。

第一、第二及第三 D 触发器 1、2、3 的 Q 输出端接入第三与非门 53，该第三与非门 53 的输出端接入第一 D 触发器 1 的直接置 1 端 XS、第二 D 触发器 2 的直接置 0 端 XR 及第三 D 触发器 3 的直接置 0 端 XR。

第一 D 触发器 1、第二 D 触发器 2 及第三 D 触发器 3 的 XQ 输出端分别经两个反相器 11、13 及带保护的相器 OB 接入电路输出端 QA、OB、QC。

用“1”表高电平，“0”表低电平，则本实用新型中当时钟脉冲输入端 CL1 与 CL2 为上升沿脉冲时，时钟允许端 CN1 与 CN2 必须接“1”；当时钟脉冲输入端 CL1 与 CL2 为下降沿脉冲时，时钟允许端 CN1 与 CN2 必须接“0”。本实用新型的电路工作原理波形图如图 3 所示，设初始状态为第一 D 触发器、第二 D 触发器及第三 D 触发器的 Q 输出端依次输出为“1”、“0”、“0”，即 A 相。

根据本实用新型电路接线图 2 并结合图 3 所示 CL1、CL2、CN1、CN2 及 DL 波形，分析本实用新型工作原理。图 3 所示各电路工作点工作状态例举如下（D1、D2、D3 分别为第一、第二、第三 D 触发器的 D 输入信号，Q1、Q2、Q3 与 XQ1、XQ2、XQ3 分别为第一、第二、第三 D 触发器的 Q 输出信号与 XQ 输出信号）：

L1 点工作状态：当时钟脉冲 CL1=“0”、CL2=“1”、CN1=“1”、CN2=“1”、DL=“0”时，图 2 中 A=“1”、B=“1”、C1=“0”、D=“0”、E=“1”、F=“1”、G=“1”、H=“1”、I=“0”、J=“1”、K=“0”、C=“0”、XC=“1”、D1=“1”、D2=“1”、D3=“0”，因为 C=“0”，所以电路的输出保持原状态，即 QA=“1”、QB=“0”、QC=“0”即 A 相。

L2 点工作状态：当时钟脉冲 CL1=“1”、CL2=“0”、CN1=“1”、CN2=“1”、DL=“0”时，A=“0”、B=“1”、C1=“1”、D=“1”、

E=“1”、F=“0”、G=“1”、H=“1”、I=“0”、J=“0”、K=“1”、C=“1”、XC=“0”，由于原状态 Q1=“1”、XQ1=“0”、Q2=“0”、XQ2=“1”、Q3=“0”、XQ3=“1”，所以 D1=“1”、D2=“0”、D3=“1”，电路输出为 QA=“1”、QB=“0”、QC=“1”，即 AC 相。

L3 点工作状态：当时钟脉冲 CL1=“1”、CL2=“0”、CN1=“1”、CN2=“1”、DL=“0”时，A=“0”、B=“1”、C1=“1”、D=“1”、E=“1”、F=“0”、G=“1”、H=“1”、I=“0”、J=“0”、K=“1”、C=“1”、XC=“0”，由于原状态 Q1=“1”、XQ1=“0”、Q2=“0”、XQ2=“1”、Q3=“1”、XQ3=“0”，所以 D1=“0”、D2=“0”、D3=“1”，电路输出为 QA=“0”、QB=“0”、QC=“1”，即 C 相。

L4 点工作状态：当时钟脉冲 CL1=“1”、CL2=“0”、CN1=“1”、CN2=“1”、DL=“0”时，A=“0”、B=“1”、C1=“1”、D=“1”、E=“1”、F=“0”、G=“1”、H=“1”、I=“0”、J=“0”、K=“1”、C=“1”、XC=“0”，由于原状态 Q1=“0”、XQ1=“1”、Q2=“0”、XQ2=“1”、Q3=“1”、XQ3=“0”，所以 D1=“0”、D2=“1”、D3=“1”，电路输出为 QA=“0”、QB=“1”、QC=“1”，即 BC 相。

L5 点工作状态：当时钟脉冲 CL1=“1”、CL2=“0”、CN1=“1”、CN2=“1”、DL=“0”时，A=“0”、B=“1”、C1=“1”、D=“1”、E=“1”、F=“0”、G=“1”、H=“1”、I=“0”、J=“0”、K=“1”、C=“1”、XC=“0”，由于原状态 Q1=“0”、XQ1=“1”、Q2=“1”、XQ2=“0”、Q3=“1”、XQ3=“0”，所以 D1=“0”、D2=“1”、D3=“0”，电路输出为 QA=“0”、QB=“1”、QC=“0”，即 B 相。

L6 点工作状态：当时钟脉冲 CL1=“1”、CL2=“0”、CN1=“1”、CN2=“1”、DL=“0”时，A=“0”、B=“1”、C1=“1”、D=“1”、E=“1”、F=“0”、G=“1”、H=“1”、I=“0”、J=“0”、K=“1”、C=“1”、XC=“0”，由于原状态 Q1=“0”、XQ1=“1”、Q2=“1”、XQ2=“0”、Q3=“0”、XQ3=“1”，所以 D1=“1”、D2=“1”、D3=“0”，电路输出为 QA=“1”、QB=“1”、QC=“0”，即 AB 相。

L7 点工作状态：当时钟脉冲 CL1=“1”、CL2=“0”、CN1=“1”、

CN2=“1”、DL=“0”时，A=“0”、B=“1”、C1=“1”、D=“1”、E=“1”、F=“0”、G=“1”、H=“1”、I=“0”、J=“0”、K=“1”、C=“1”、XC=“0”，由于原状态 Q1=“1”、XQ1=“0”、Q2=“1”、XQ2=“0”、Q3=“0”、XQ3=“1”，所以 D1=“1”、D2=“0”、D3=“0”，电路输出为 QA=“1”、QB=“0”、QC=“0”，即 A 相。

.....

L12 点工作状态：当时钟脉冲 CL1=“1”或 CL1=“0”、CL2=“0”或 CL2=“1”、CN1=“1”、CN2=“1”、DL=“1”时，A=“0”或“0”、B=“1”、C1=“1”或“0”、D=“1”或“0”、E=“1”、F=“0”或“1”、G=“0”、H=“1”、I 始终等于“1”、J 始终等于“0”、K 始终等于“0”、C 始终等于“0”、XC 始终等于“1”，不管原状态是什么，一律保持原来状态，如波形所示原状态为：QA=“0”、QB=“1”、QC=“1”，将一直保持这一状态，直到 DL=“0”为止。

.....

L13 点工作状态：当时钟脉冲 CL1=“0”、CL2=“1”、CN1=“0”、CN2=“0”、DL=“0”时，A=“1”、B=“0”、C1=“0”、D=“0”、E=“0”、F=“1”、G=“1”、H=“0”、I=“1”、J=“1”、K=“1”、C=“1”、XC=“0”，由于原状态 Q1=“0”、XQ1=“1”、Q2=“0”、XQ2=“1”、Q3=“1”、XQ3=“0”，所以 D1=“1”、D2=“0”、D3=“1”，电路输出为 QA=“1”、QB=“0”、QC=“1”，即 AC 相。

L14 点工作状态：当时钟脉冲 CL1=“0”、CL2=“1”、CN1=“0”、CN2=“0”、DL=“0”时，A=“1”、B=“0”、C1=“0”、D=“0”、E=“0”、F=“1”、G=“1”、H=“0”、I=“1”、J=“1”、K=“1”、C=“1”、XC=“0”，由于原状态 Q1=“1”、XQ1=“0”、Q2=“0”、XQ2=“1”、Q3=“1”、XQ3=“0”，所以 D1=“1”、D2=“0”、D3=“0”，电路输出为 QA=“1”、QB=“0”、QC=“0”，即 A 相。

.....

由此，当时钟允许端 CN1、CN2 接“0”，保持控制端 DL 接“0”时，加入时钟脉冲输入端 CL1、CL2 的时钟脉冲，本实用新型的输

出端 QA、QB、QC 状态为正转，即 A—AB—B—BC—C—AC—A。当时钟允许端 CN1、CN2 接“1”，保持控制端 DL 接“0”时，加入时钟脉冲输入端 CL1、CL2 的时钟脉冲，本实用新型的输出端 QA、QB、QC 状态为反转，即 A—CA—C—BC—B—AB—A。从而达到步进电机三相六拍的正转和反转目的。

当时钟允许端 CN1、CN2 接“1”，保持控制端 DL 接“1”时，无论时钟脉冲输入端 CL1、CL2 为“1”还是“0”，D 触发器 1、2、3 的 C 时钟脉冲输入端信号始终为“0”，XC 时钟脉冲输入端信号始终为“1”，所以无论原来状态是什么，一律保持原来状态，直到 DL 为“0”为止，从而实现本实用新型步进电机集成电路的保持功能。

此外，当第一、第二及第三 D 触发器 1、2、3 的 Q 输出端的输出信号均为“1”时，其输出信号经第三与非门 53 后输出“0”信号至第一 D 触发器 1 的直接置 1 端 XS、第二 D 触发器的直接置 0 端 XR 及第三 D 触发器 3 的直接置 0 端 XR。根据 D 触发器的工作原理，第一、第二及第三 D 触发器 1、2、3 的 Q 输出端直接依次输出为“1”、“0”、“0”，即 A 相，也就是当第一、第二及第三 D 触发器 1、2、3 的 Q 端输出信号依次为“1”、“1”、“1”时，可使第一、第二及第三 D 触发器 1、2、3 自动复位至初始状态下。而无论 D 触发器 1、2、3 的 Q 端输出信号为其他任意状态，其经与非门后的输出信号始终为“1”，保证了第一、第二及第三 D 触发器 1、2、3 能够正常工作。因而本实用新型可以实现自动复位的功能。

而且，根据反相器的工作原理，第一、第二及第三 D 触发器 1、2、3 的 XQ 输出端输出的电平经过两次反相后仍保持原有的电平，但其输出电流却增大了，从而使本实用新型步进电机集成电路的驱动能力大大增加，即使原输出电流由 $300\mu\text{A}$ 增大到 5mA 以上。

本实用新型中的施密特触发器 IP 主要用于对电路的波形整形；带保护的反相器 IP2、IOB、OB 具倒相作用，主要用于电路输入、输出端信号的保护。

本实用新型的封装外形如图 4 所示，其引出脚为 14 脚，采用 DIP14 封装。

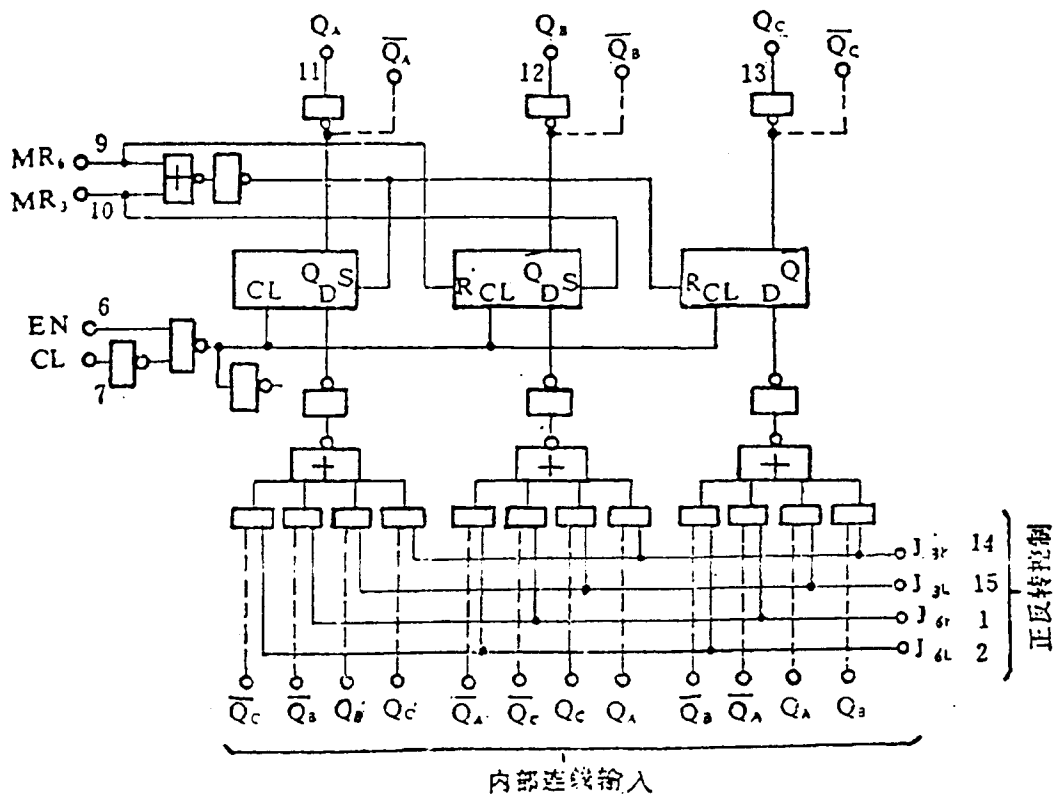


图 1

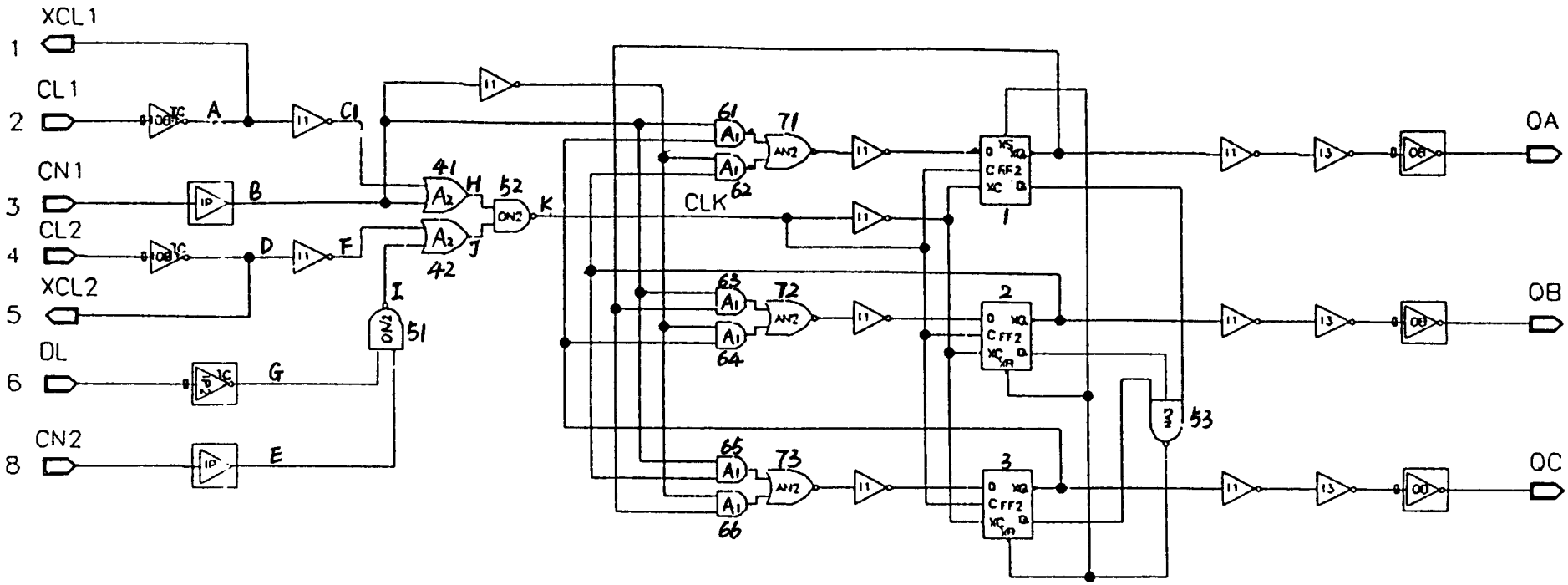


图 2

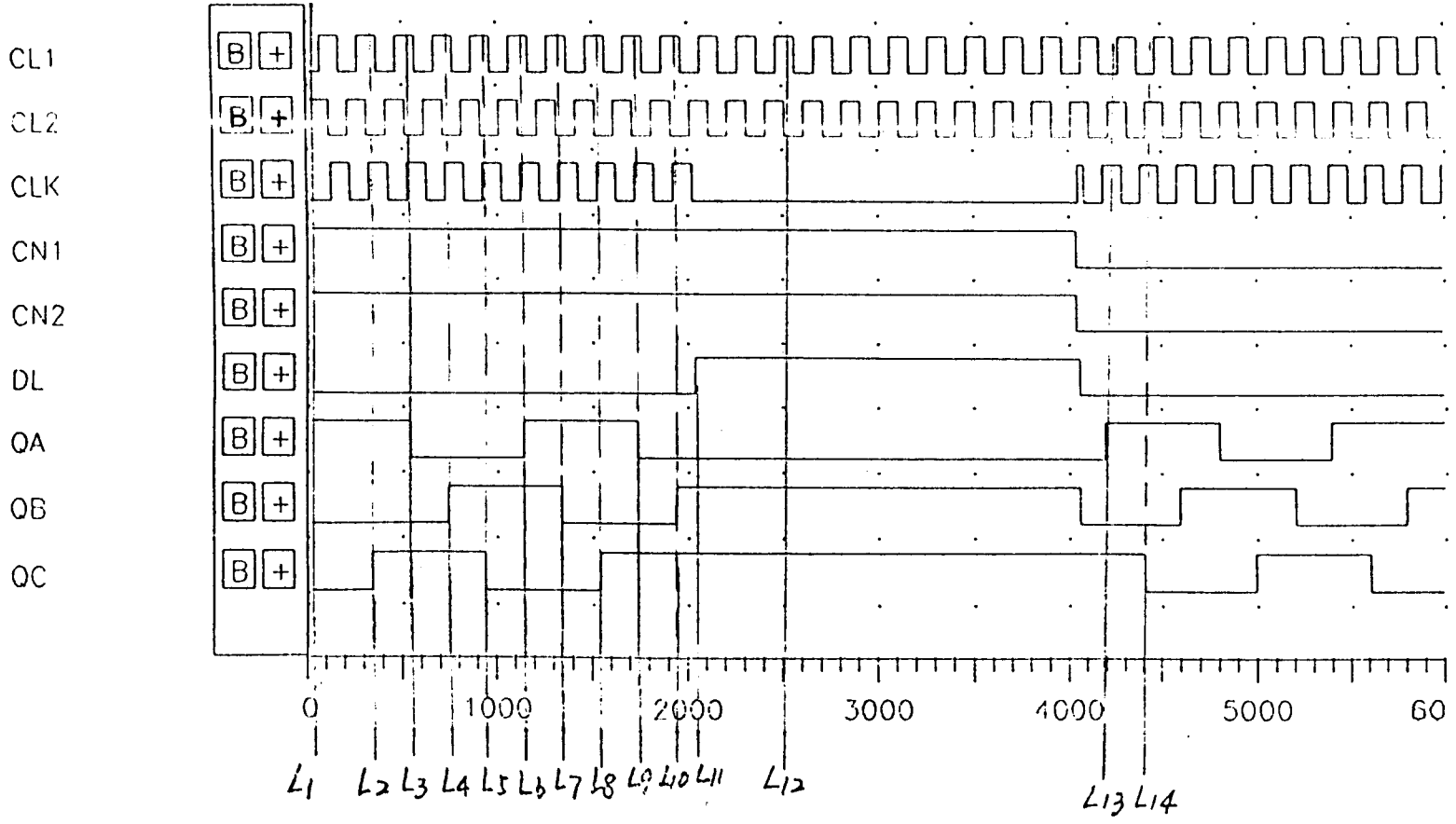


图 3

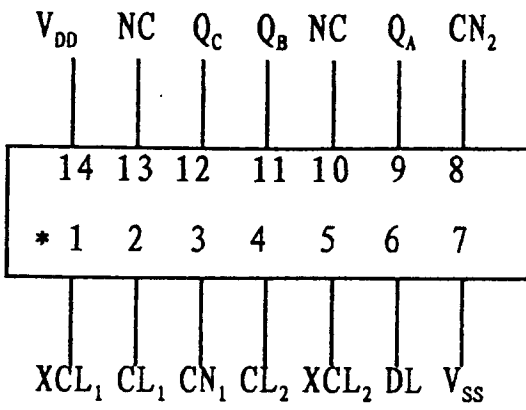


图 4