

LVDS、ECL、CML 逻辑电平电路的特点及应用

摘要：LVDS、ECL、CML 等是目前应用较多的几种用于高速传输的逻辑电平。本文介绍每种逻辑电平的接口原理、特点、设计及应用场合,归纳比较它们的特性,最后举例说明不同逻辑电平之间的互连。

关键词：LVDS ECL CML 逻辑电平

在通用的电子器件设备中,TTL 和 CMOS 电路的应用非常广泛。但是面对现在系统日益复杂,传输的数据量越来越大,实时性要求越来越高,传输距离越来越长的发展趋势,掌握高速数据传输的逻辑电平知识和设计能力就显得更加迫切了。

1、几种常用高速逻辑电平

1.1 LVDS 电平

LVDS (Low Voltage Differential Signal) 即低电压差分信号, LVDS 接口又称 RS644 总线接口, 是 20 世纪 90 年代才出现的一种数据传输和接口技术。

LVDS 的典型工作原理如图 1 所示。最基本的 LVDS 器件就是 LVDS 驱动器和接收器。LVDS 的驱动器由驱动差分线对的电流源组成, 电流通常为 3.5 mA。LVDS 接收器具有很高的输入阻抗, 因此驱动器输出的大部分电流都流过 100 Ω 的匹配电阻, 并在接收器的输入端产生大约 350 mV 的电压。当驱动器翻转时, 它改变流经电阻的电流方向, 因此产生有效的逻辑“1”和逻辑“0”状态。

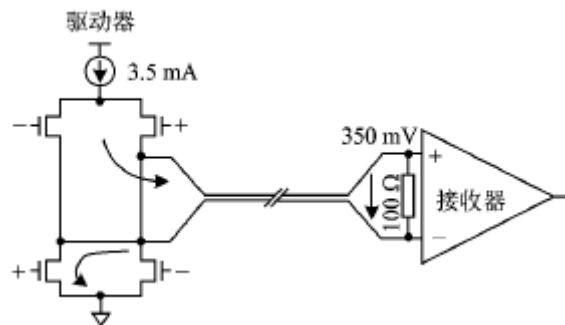


图 1 LVDS 驱动器与接收器互连示意

LVDS 技术在两个标准中被定义: ANSI/TIA/EIA644 (1995 年 11 月通过) 和 IEEE P1596.3 (1996 年 3 月通过)。这两个标准中都着重定义了 LVDS 的电特性, 包括:

① 低摆幅 (约为 350 mV)。低电流驱动模式意味着可实现高速传输。ANSI/TIA/EIA644 建议了 655 Mb/s 的最大速率和 1.923 Gb/s 的无失真通道上的理论极限速率。

② 低压摆幅。恒流源电流驱动, 把输出电流限制到约为 3.5 mA 左右, 使跳变期间的尖峰干扰最小, 因而产生的功耗非常小。这允许集成电路密度的进一步提高, 即提高了 PCB 板的效能, 减少了成本。

③ 具有相对较慢的边缘速率 (dV/dt 约为 0.300 V/0.3 ns, 即为 1 V/ns), 同时采用差分传输形式, 使其信号噪声和 EMI 都大为减少, 同时也具有较强的抗干扰能力。

所以, LVDS 具有高速、超低功耗、低噪声和低成本的优良特性。

LVDS 的应用模式可以有四种形式:

① 单向点对点 (point to point), 这是典型的应用模式。

② 双向点对点 (point to point), 能通过一对双绞线实现双向的半双工通信。

可以由标准的 LVDS 的驱动器和接收器构成;但更好的办法是采用总线 LVDS 驱动器,即 BLVDS,这是为总线两端都接负载而设计的。

③ 多分支形式(multidrop),即一个驱动器连接多个接收器。当有相同的数据要传给多个负载时,可以采用这种应用形式。

④ 多点结构(multipoint)。此时多点总线支持多个驱动器,也可以采用 BLVDS 驱动器。它可以提供双向的半双工通信,但是在任一时刻,只能有一个驱动器工作。因而发送的优先权和总线的仲裁协议都需要依据不同的应用场合,选用不同的软件协议和硬件方案。

为了支持 LVDS 的多点应用,即多分支结构和多点结构,2001 年新推出的多点低压差分信号 (MLVDS) 国际标准 ANSI/TIA/EIA 8992001,规定了用于多分支结构和多点结构的 MLVDS 器件的标准,目前已有一些 MLVDS 器件面世。

LVDS 技术的应用领域也日渐普遍。在高速系统内部、系统背板互连和电缆传输应用中,驱动器、接收器、收发器、并串转换器/串并转换器以及其他 LVDS 器件的应用正日益广泛。接口芯片供应商正推进 LVDS 作为下一代基础设施的基本构造模块,以支持手机基站、中心局交换设备以及网络主机和计算机、工作站之间的互连。

1.2 ECL 电平

ECL(EmitterCoupled Logic)即射极耦合逻辑,是带有射随输出结构的典型输入输出接口电路,如图 2 所示。

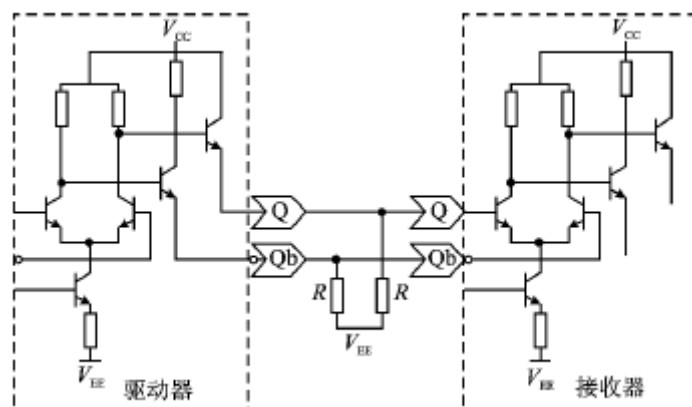


图 2 ECL 驱动器与接收器连接示意

ECL 电路的最大特点是其基本门电路工作在非饱和状态,因此 ECL 又称为非饱和性逻辑。也正因为如此,ECL 电路的最大优点是具有相当高的速度。这种电路的平均延迟时间可达几个 ns 数量级甚至更少。传统的 ECL 以 VCC 为零电压,VEE 为-5.2 V 电源, $V_{OH}=V_{CC}-0.9 V=-0.9 V$, $V_{OL}=V_{CC}-1.7 V=-1.7 V$,所以 ECL 电路的逻辑摆幅较小(仅约 0.8 V)。当电路从一种状态过渡到另一种状态时,对寄生电容的充放电时间将减少,这也是 ECL 电路具有高开关速度的重要原因。另外,ECL 电路是由一个差分对管和一对射随器组成的,所以输入阻抗大,输出阻抗小,驱动能力强,信号检测能力高,差分输出,抗共模干扰能力强;但是由于单元门的开关管对是轮流导通的,对整个电路来讲没有“截止”状态,所以电路的功耗较大。

如果省掉 ECL 电路中的负电源,采用正电源的系统(+5 V),可将 VCC 接到正电源而 VEE 接到零点。这样的电平通常被称为 PECL (Positive Emitter Coupled Logic)。如果采用+3.3 V 供电,则称为 LVPECL。当然,此时高低电平的定义也是不同的。它的电路如图 3、4 所示。其中,输出射随器工作在正电源范围内,其电流始终存在。这样有利于提高开关速度,而且标准的输出负载是接 50Ω 至 $V_{CC}-2 V$ 的电平上。

在使用 PECL 电路时要注意加电源去耦电路,以免受噪声的干扰。输出采用交流耦合还是直流耦合,对负载网络的形式将会提出不同的需求。直流耦合的接口电路有两种工作模式:其一,对应于近距离传送的情况,采用发送端加到地偏置电阻,接收端加端接电阻模式;其二,对应于较远距离传送的情况,采用接收端通过电阻对提供截止电平 V_{TT} 和 $50\ \Omega$ 的匹配负载的模式。以上都有标准的工作模式可供参考,不必赘述。对于交流耦合的接口电路,也有一种标准工作模式,即发送端加到地偏置电阻,耦合电容靠近发送端放置,接收端通过电阻对提供共模电平 V_{BB} 和 $50\ \Omega$ 的匹配负载的模式。

(P)ECL 是高速领域内一种十分重要的逻辑电路,它的优良特性使它广泛应用于高速计算机、高速计数器、数字通信系统、雷达、测量仪器和频率合成器等方面。

1.3 CML 电平

CML 电平是所有高速数据接口中最简单的一种。其输入和输出是匹配好的,减少了外围器件,适合于更高频段工作。它的输出结构如图 5 所示。

CML 接口典型的输出电路是一个差分对形式。该差分对的集电极电阻为 $50\ \Omega$,输出信号的高低电平切换是靠共发射极差分对的开关控制的。差分对的发射极到地的恒流源典型值为 $16\ \text{mA}$ 。假定 CML 的输出负载为一个 $50\ \Omega$ 上拉电阻,则单端 CML 输出信号的摆幅为 $V_{CC} \sim V_{CC} - 0.4\ \text{V}$ 。在这种情况下,差分输出信号摆幅为 $800\ \text{mV}$ 。信号摆幅较小,所以功耗很低,CML 接口电平功耗低于 ECL 的 $1/2$,而且它的差分信号接口和 ECL、LVDS 电平具有类似的特点。

CML 到 CML 之间的连接分两种情况:当收发两端的器件使用相同的电源时,CML 到 CML 可以采用直流耦合方式,不用加任何器件;当收发两端器件采用不同电源时,一般要考虑交流耦合,中间加耦合电容(注意这时选用的耦合电容要足够大,以避免在较长连 0 或连 1 情况出现时,接收端差分电压变小)。

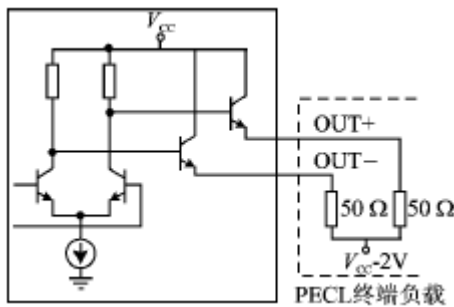


图 3 PECL 输出结构

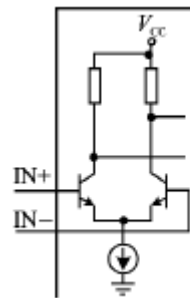


图 4 PECL 输入结构

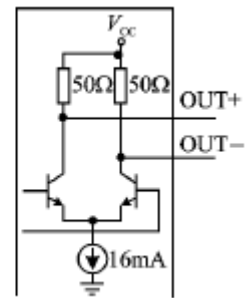


图 5 CML 输出结构

但它也有些不足,即由于自身驱动能力有限,CML 更适于芯片间较短距离的连接,而且 CML 接口实现方式不同用户间差异较大,所以现有器件提供 CML 接口的数目还不是非常多。

2、各种逻辑电平之间的比较和互连转化

2.1 各种逻辑电平之间的比较

这几种高速逻辑电平在目前都有应用,但它们在总线结构、功率消耗、传输速率、耦合方式等方面都各有特点。为了便于应用比较,现归纳以上三类电平各方面的特点,如表 1 所列。

表 1 三种逻辑电平特点比较

	LVDS	ECL	CML
总线结构	点对点 多分支 多点	点对点 多分支 多点	点对点
功率消耗	低	高	中
传输速率	DC~2Gbps	DC~10Gbps	DC~10Gbps
耦合方式	DC	DC 或 AC	DC 或 AC

2.2 各种逻辑电平之间的互连

这三类电平在互连时,首先要考虑的就是它们的电平大小和电平摆幅各不一样,必须使输出电平经过中间的电阻转换网络后落在输入电平的有效范围内。各种电平的摆幅比较如图 6 所示。

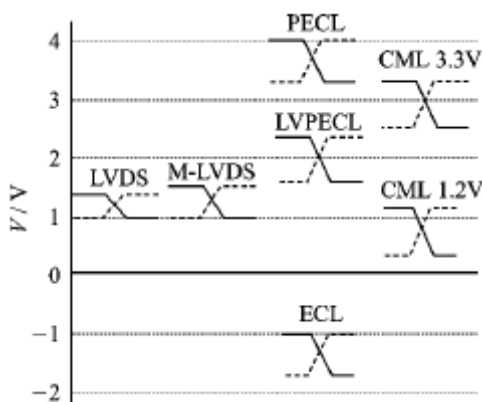


图 6 各种高速电平的偏置摆幅比较

其次,电阻网络要考虑到匹配问题。例如我们知道,当负载是 $50\ \Omega$ 接到 $VCC-2\ V$ 时, LVPECL 的输出性能是最优的,因此考虑的电阻网络应该与最优负载等效; LVDS 的输入差分阻抗为 $100\ \Omega$, 或者每个单端到虚拟地为 $50\ \Omega$, 该阻抗不提供直流通路, 这里意味着 LVDS 输入交流阻抗与直流阻抗不等, 电阻值的选取还必须根据直流或交流耦合的不同情况作不同的选取。另外, 电阻网络还必须与传输线匹配。

另一个问题是电阻网络需要在功耗和速度方面折中考虑: 既允许电路在较高的速度下工作, 又尽量不出现功耗过大。

下面以图 7 所示的 LVPECL 到 LVDS 的直流耦合连接为例, 来说明以上所讨论的原则。

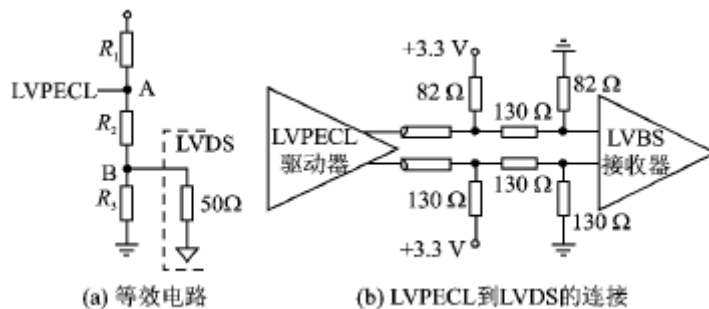


图 7 LVPECL 到 LVDS 的直流耦合连接及等效电路

传输线阻抗匹配原则:

$$Z \approx R_1 // (R_2 + R_3)$$

根据 LVPECL 输出最优性能:

$$V_A = V_{CC} - 2.0 = V_{CC} \cdot \frac{R_2 + R_3}{R_1 + R_2 + R_3}$$

降低 LVPECL 摆幅以适应 LVDS 的输入范围:

$$\text{Gain} = R_3 / (R_2 + R_3)$$

根据实际情况,选择满足以上约束条件的电阻值,例如当传输线特征阻抗为 50 Ω 时,可取 $R_1=120 \Omega$, $R_2=58 \Omega$, $R_3=20 \Omega$ 即能完成互连。

由于 LVDS 通常用作并联数据的传输,数据速率为 155 Mbps、622 Mbps 或 1.25 Gbps;而 CML 常用来做串行数据的传输,数据速率为 2.5 Gbps 或 10 Gbps。一般情况下,在传输系统中没有 CML 和 LVDS 的互连问题。

结语

本文粗浅地讨论了几种目前应用较多的高速电平技术。复杂高速的通信系统背板,大屏幕平板显示系统,海量数据的实时传输等等都需要采用新高速电平技术。随着社会的发展,新高速电平技术必将得到越来越广泛的应用。

参考文献

- 1 武斌,夏宇闻. 数字视频信号的长线传输. 电子技术应用, 2003 (10)
- 2 National Semiconductor. LVDS Owners Manual. 2000
- 3 赵忠文,曾峦,熊伟. LVDS 技术分析和设计应用. 指挥技术学院学报, 2001 (12)
- 4 Differential PECL/ECL/LVPECL/LVECL Clock and Data Driver. 2002 Maxim Integrated Products