

基于 FPGA 的 SDRAM 控制器的设计和实现

杨海涛, 苏涛, 巫幪

(西安电子科技大学 雷达信号处理重点实验室, 陕西 西安 719315)

摘要 为扩展 TS-101 处理器的外部 SDRAM 存储空间, 提出一种基于 FPGA 的 SDRAM 控制器的实现方法。分析了所用 SDRAM 的特点、原理, 介绍了 SDRAM 控制器的组成框图及各模块功能, 给出了读写 SDRAM 的时序图以及 SDRAM 存储板的性能参数。FPGA 中采用了模块化设计方式, 该设计将 TS-101 处理器的外部 SDRAM 存储空间扩展至 512Mbyte。

关键词 大容量存储器; SDRAM 控制器; 时序分析

中图分类号 TN957.52

The Design and Implementation of the SDRAM Controller Based on the FPGA

Yang Haitao, Su Tao, Wu Meng

(National Key Lab of Radar Signal Processing, Xidian University, Xi'an 710071, China)

Abstract In order to expand the SDRAM's storage capacity of the TS-101 processor, a method is proposed for implementing the SDRAM controller based on FPGA. The characteristics of the corresponding SDRAM are analyzed and the schematic diagrams and the timing are given. The function of modules and performance of SDRAM storage board are described. The design method of modularization is adopted in FPGA. This design expands the SDRAM's storage capacity of the TS-101 processor to 512Mbytes.

Keywords large capacity storage; SDRAM controller; timing analyzing

1 引言

在很多通信芯片及系统的开发中, 常常需要用到存储容量大、读写速度快的存储器。在各种随机存储器件中, SDRAM 的价格低、体积小、速度快、容量大, 是比较理想的器件。但是, 与 SRAM 相比较, SDRAM 的控制逻辑复杂, 接口方式与普通的存储器差异很大。为了解决这个矛盾, 需要设计专用的 SDRAM 控制器, 使用户像使用 SRAM 一样方便的使用 SDRAM。考虑到控制器的

通用性, 本文中提出了一种通用的 SDRAM 控制器的 FPGA 设计, FPGA 内部采用状态机的方式。该设计采用了 AD 公司的 DSP 处理芯片 TS-101 作为主控系统。TS-101 虽然能直接访问 SDRAM, 但容量有限。这里将其外部 SDRAM 存储容量扩展到 512Mbyte, 使用的是 TS-101 的主机(/MSH)空间, 这是一个 SRAM 型的接口空间。在此设计系统中 TS-101 的系统时钟以及 FPGA 和 SDRAM 的时钟均为 50MHz。

2 SDRAM 工作原理简介

本设计采用 MICRON 公司的 MT48LC128M4A2 型号容量为 512Mbyte 的 SDRAM, MT48LC128M4A2 采用了 54 引脚的 TSOP 封装, 工作电压为 3.3V, 并且采用同步接口方式(所有的信号都是时钟信号的上升沿触发), 与系统时钟同步运行。其含有 4 位数据总线, 4 个组。每组(bank)行地址数目是

收稿日期: 2006-11-01

作者简介: 杨海涛(1980-), 男, 硕士研究生。研究方向: 数字信号处理。苏涛(1968-), 男, 教授, 硕士生导师。研究方向: 并行处理, 高速实时信号处理及空时二维信号处理等方面的研究。巫幪(1982-), 男, 硕士研究生, 研究方向: 数字信号处理。

13, 列地址数目是 12。存储架构为 $32 \times 10^6 \times 4 \times 4$ bit。它的主要引脚有 A0 ~ A12(地址输入引脚)、DQ0 ~ DQ3(数据输入输出引脚)、CLK(时钟信号输入引脚)、CKE(时钟使能)、/CS(芯片选择)、/RAS(行地址选择: Row Address Select)、/CAS(列地址选择: Column Address Select)、/WE(写使能: Write Enable)、BA0 ~ BA1(Bank 地址输入信号引脚)、DQM、VSS、VDD 等引脚。与各种 SDRAM

一样, 这种 SDRAM 具有以下几个特点: (1) 采取行列地址复用原则, SDRAM 的地址线在不同的命令下提供不同的地址, 行列地址复用 13 根地址线。(2) 需要定时刷新。(3) 在进行读写时, 需先激活行。换页读写时要预充关闭的行, 然后再激活新的行进行读写。(4) SDRAM 正常工作之前配置模式寄存器。SDRAM 具有较多的控制命令, 具体命令见表 1。

表 1 SDRAM 命令

命令	/CS	/RAS	/CAS	/WE	DQM	ADDR
空操作(NOP)	0	1	1	1	X	X
激活(ACTIVE)	0	0	1	1	X	组/行
读(READ)	0	1	0	1	0	组/列
写(WRITE)	0	1	0	0	0	组/列
预充(PRECHARGE)	0	0	1	0	X	代码
设置模式寄存器 (LOADMODE REGISTER)	0	0	0	0	X	配置数据

3 通用 SDRAM 控制器的设计

3.1 总体设计框图

SDRAM 控制器的整体设计框图见图 1, 其中 SDRAM 控制器由以下 5 个模块组成: 初始化模块、

刷新计数模块、命令译码模块、地址选通模块、命令选通模块。其中命令译码模块控制着所有的命令译码以及数据流向。各个模块的功能将在下面详细介绍。

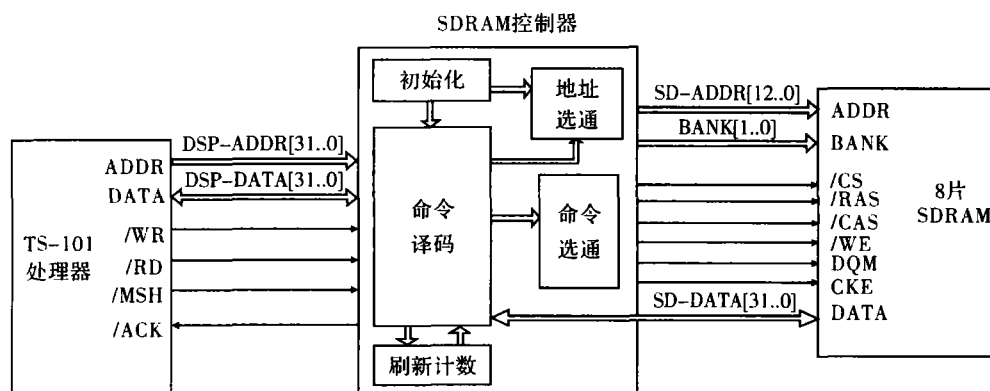


图 1 总体设计框图

3.1.1 初始化模块

SDRAM 在上电后 $100\mu\text{s}$, 由一个初始化操作来配置 SDRAM 的工作模式。在 $100\mu\text{s}$ 之内只能给 SDRAM 发 NOP 命令。初始化过程由启动以下指令流完成: 首先由一个 Precharge all bank 指令完成对

所有 BANK 的预充, 然后是两个 Auto Refresh 指令, 最后在模式配置指令下完成 SDRAM 内部模式设置寄存器的配置。模式寄存器指定了突发长度、突发类型、CAS 延时等详细的信息。为了方便灵活的应用, 本设计中将 SDRAM 模式寄存器设置为

0x0020(突发长度为 1, CAS Latency 为 2)。只有成功的完成初始化过程, SDRAM 才可以正常工作。

初始化时序图见图 2, 图 2 中的 LOAD 命令字代表 LOAD MODE REGISTER 命令。

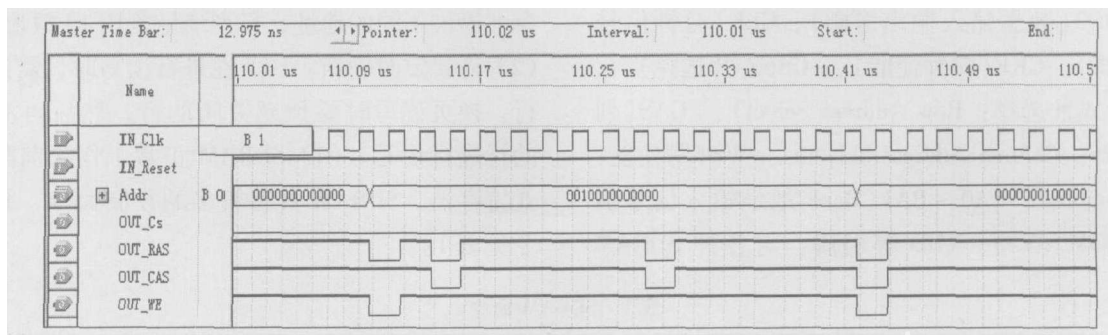


图 2 SDRAM 初始化时序图

3.2.2 刷新计数模块

SDRAM 要求在 64ms 之内对 8192 行进行刷新, 也就是每 7.81 μ s 刷新一行, 由于系统时钟周期为 20ns, 所以刷新计数模块计数达到 390, 就需要对 SDRAM 发出刷新命令, 刷新计数模块和命令译码模块之间通过 CountEnable 和 RefreshEnable 两个握手信号来进行通信。

当计数到 390 刷新计数模块向命令译码模块发出 RefreshEnable 有效, 后者据此发出刷新命令, 同时使 CountEnable 信号无效, 刷新计数清零, 停止刷新模块计数。并且在刷新操作同时置 TS-101 的 ACK 信号无效, 阻止 TS-101 处理器发出新的读写命令, 直至完成刷新操作将 ACK 信号置有效,

才可以接收新的命令。同时令 CountEnable 信号有效, 刷新模块开始重新计数。

3.2.3 命令译码模块

此模块是整个 SDRAM 控制器的核心模块, 主要功能是锁存 TS-101 发出的地址、数据线上的数据, 以及对 TS-101 发出的命令进行译码, 并将译码后的命令发给 SDRAM 进行相应的操作, 同时完成数据的传送, 具体过程如图 3 所示。在控制器中采用了状态机的设计方式, 图 3 中的 Active、Select、Nop、Read、Write、ReadCas 均为状态机内部状态。图中的 ReadEnable 和 WriteEnable 分别为 TS-101 处理器的 /RD 和 /WR 信号取反。

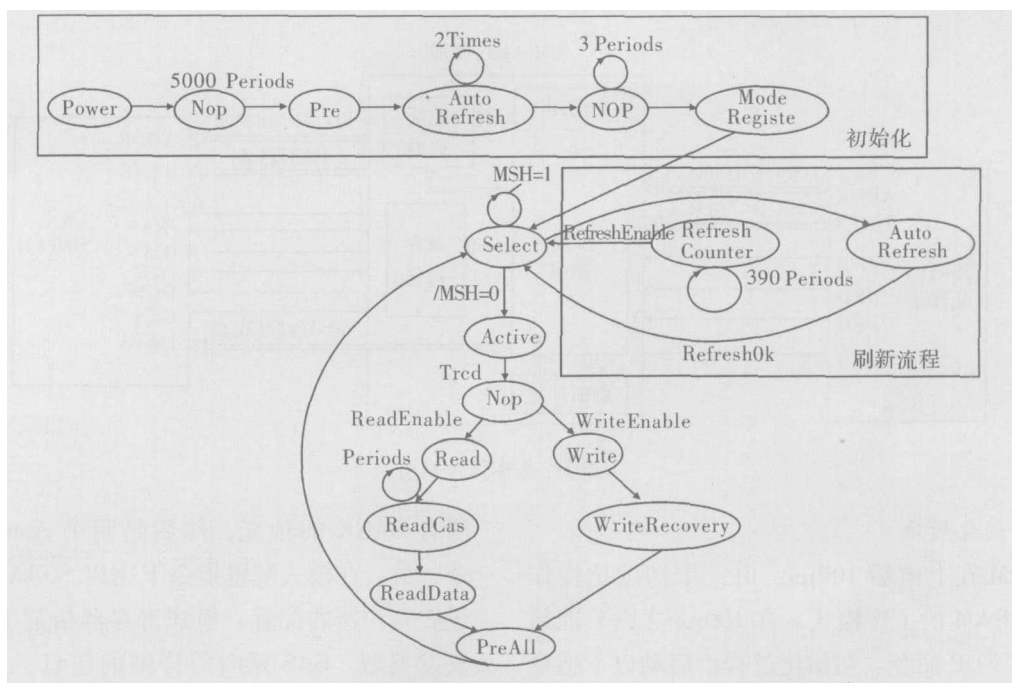


图 3 SDRAM 流程图

初始化模块完成初始化后，向命令译码模块发出 InitialOk 信号有效，命令译码模块检测到 InitialOk 信号有效后进入 Select 状态，从而根据 TS-101 发出的命令进行译码执行相应的操作。在图 3 中的 Select 状态中首先判断 RefreshEnable 信号是否有效，如果 RefreshEnable 信号有效，令 ACK 信号无效，阻止 TS-101 发出新的读写操作命令，控制器进入到刷新状态执行 SDRAM 刷新操作。刷新操作完成后状态机回到 Select 状态进行下一次操作判断。如果在读写的过程中 RefreshEnable 信号有效，此时状态机在执行读写的操作，无法立即响应刷新请求。此时只能等待读写操作完成后状态机回到 Select 状态后再响应刷新请求。为了使刷新命令不打破读写操作，因此计数模块计数到 375 时就发出刷新请求信号。

如果 RefreshEnable 信号无效即不需要刷新操作，则判断/MSH 信号是否有效，如果无效下一周期则继续回到 Select 状态进行重新判断。如果/MSH 信号有效，进入 Active 状态，锁存 DSP 发出的地址，发出激活命令，并判断是 ReadEnable 信号还是 WriteEnable 信号有效，控制器根据判断结果进入到 Read 状态或 Write 状态执行读或写操作，同时令 ACK 信号无效。在 Read 状态中发送 read 命令，向 SDRAM 地址线上发送列地址，然后进入到 ReadCas 状态。经过两个周期的 Readcas 后，从 SDRAM 数据线上读回数据并送往 DSP 从而完成读操作。在 Write 状态中发送 write 命令，向 SDRAM 地址线上发送列地址，完成写操作。读或写操作完成后都需对所激活的行和组进行预充。状态机

重新回到 Select 状态进行下一次操作的判断。

3.2.4 SDRAM 地址选通模块

SDRAM 初始化的时候需要通过 SDRAM 地址线(A0 ~ A12)来配置模式寄存器，初始化模块和命令译码模块分别给此模块一个选通信号，当 SDRAM 处于初始化状态时地址线上配置模式寄存器的值，当 SDRAM 处于正常工作状态时地址线上是读写数据的相应地址。

3.2.5 SDRAM 命令选通模块

SDRAM 初始化时和正常工作时给 SDRAM 命令线上均发出相应的命令，初始化模块和命令译码模块分别给此模块一个选通信号，使 SDRAM 处于不同状态时其命令线上的命令由不同的模块提供。

4 读写命令时序图

经过 Quartus II 4.1 中的设计、编译，对系统进行了仿真验证。图 4 和图 5 为用 Quartus II 4.1 仿真的 SDRAM 读写时序图。图中 IN_MSH 信号为 TS-101 处理器外部存储空间的选通信号。OUT_CS、OUT_RAS、OUT_CAS、OUT_WE 信号为控制器向 SDRAM 输出的命令信号线，OUT_Address 为控制器向 SDRAM 输出的地址线。图 4 和图 5 中当收到 IN_MSH 信号有效时就将 ACK 信号置低无效，阻止 TS-101 发出新的命令。将 TS-101 处理器的低 12 位地址作为列地址在列选通时赋予 SDRAM 地址线，将 DSP-ADDR[13..12] 赋予 SDRAM 的 BANK1 和 BANK0。将 DSP-ADDR[26..14] 作为行地址在行选通时赋予 SDRAM 地址线。

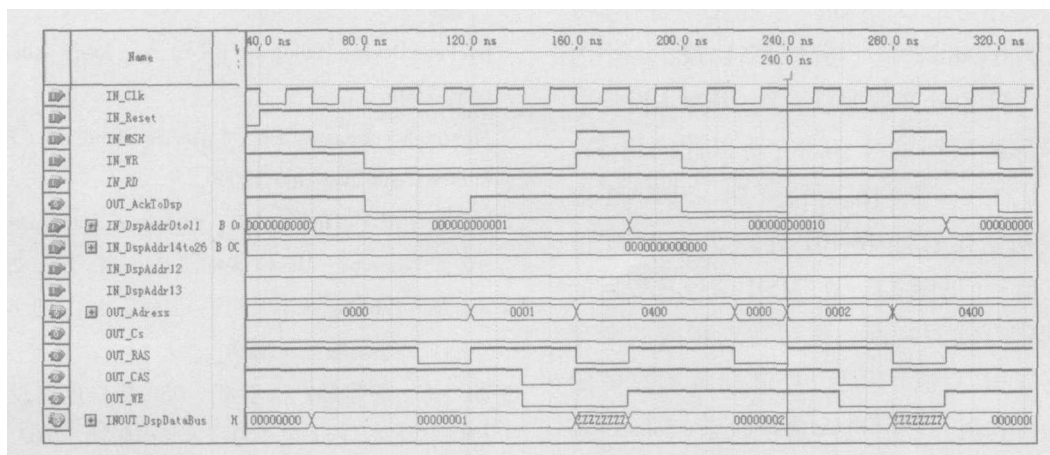


图 4 SDRAM 写时序图

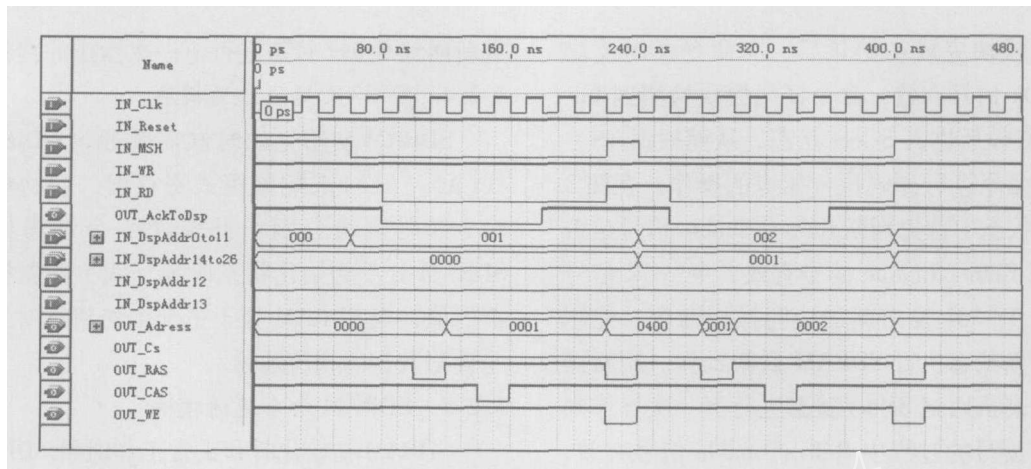


图5 SDRAM 读时序图

5 工程应用说明

本设计目的是为了扩展 TS-101 处理器的 SDRAM 容量, TS-101 处理器本身带有 SDRAM 接口, 可以直接外接 SDRAM 存储器。虽然 TS-101 具有 32 位地址线, 可以对 4Gbyte 的地址进行寻址, 然而其 SDRAM 寻址空间仅为 0x4000000 ~ 0x8000000, 计 64Mbyte 地址空间, 因此在许多应用中必须进行扩展。本设计采用了 8 片 MICRON 公司的 MT48LC128M4A2 型号 512MbitSDRAM, 每片 SDRAM 采用 4 位数据总线, 这样总存储容量达到了 512Mbyte。将其配置在 TS-101 处理器的主机空间, 其地址范围为 0x10000000 ~ 0x17FFFFFF, 计 $128 \times 10^6 \times 32\text{bit}$ 。本设计选用 ALTERA 公司的 Cyclone EP1C12 芯片来实现此功能, 并用 Quartus II 4.1 实现此 FPGA 设计。

TS-101 处理器的 SYSCON (系统控制寄存器) 寄存器配置为 0x000228a2 (慢速设备协议, 一个内部等待周期, 32 位外部数据总线), 因为本设计中使用了外部等待周期信号 ACK, 所以此处将 SYSCON 设置为插入一个内部等待周期。SDRAM 控制器在完成初始化后将 TS-101 处理器的 /MSH 信号作为触发信号 (见图 3), 在 /MSH 信号有效后的下一个周期进行读写判断, 然后转入相应的命令译码, 在完成相应的读写后, 控制器将预充关闭当前激活的行和组, 然后进入选择状态 (Select) 等待新的命令到达。具体情况可以参见流程图 3。在

实际应用中, TS-101 处理器采用 DMA 方式访问 SDRAM, 写数据速度为 40MHz。读数据速度可以达到 24MHz。如果将系统时钟从 50MHz 提高到 75MHz, SDRAM 访问速度可按比例增加。

6 总结

用硬件描述语言进行电路与系统的设计是当前 EDA 技术的一个重要特征。用高级语言进行电路设计, 可以灵活的修改参数, 增加了电路设计的通用性和可移植性。如果更换主控系统, 只需在 FPGA 中进行少许更改即可。本设计是用 Verilog 语言采取模块化方式依照从顶到底的原则进行设计的。采用了低成本、小体积的 FPGA 芯片和 SDRAM 芯片, 有效地扩展了存储空间, 是等容量的 SRAM 成本的 1/5、体积的 1/10。

参考文献

- 1 Cyclone Device Handbook [Z]. San Jose: Altera Corporation, 2003.
- 2 Micron Synchronous DRAM Device Handbook [Z]. Boise: Micron Technology Inc, 2000.
- 3 ADSP-TS101 TigerSHARC Processor Hardware Reference [Z]. Norwood, Mass: Analog Devices, Inc, 2004.
- 4 夏宇闻. Verilog 数字系统设计教程 [M]. 北京: 北京航空航天大学出版社, 2003.
- 5 苏涛, 蔡建隆, 何学辉. DSP 接口电路设计与编程 [M]. 西安: 西安电子科技大学出版社, 2003.