减小 ESD 引起的停机时间

ESD（静电放电）是导致电子器件失 效的主要原因，它可以在任何阶段——从制造到测试、组装、生产、现场运行以及现场 PC 装配等——影响电子器件的功能。专家估计，1994 年全世界电子行业因 ESD 造成的损失超过 900 亿美元（参考文献 1）。ESD 的发生原因是电荷在某一表面的累积，如摩擦生电。但是，由于电子产品的快速小型化，导致器件的几何尺寸缩小，其中包括层厚度，因此这些高密度器件就很容易受到很小 ESD 造成的损坏.

造成 ESD 的人为原因包括人造地毯、人造地板、羊毛服装、尼龙服装、塑料家具、塑料扇叶的风扇、普通塑料容器、带塑料吸嘴的去焊器、不导电的鞋、人造地板垫、玻璃纤维容器、普通塑料袋以及类似的材料。使用塑料零件的机器也可以成为静电的来源，因为塑料部件之间的相互摩擦会积累电荷。设备产生的高强度电磁场也会在邻近元件中感应产生静电荷。

静电是一种看不见的破坏力，会对电子元器件产生影响。

ESD 未必总造成元器件的完全失效；它会造成一般测试无法检测到的元器件潜在缺陷。这种“脆弱”的元器件在系统工作期间，在恶劣环境条件下，更可能在现场发生失效。在制造、储存、运输、包装、组装、测试阶段采取一些简单的预防措施，再适当地设计电路，就可以减少由 ESD 造成的损坏影响。对于半导体器件来说，如果有一个强电场施加在器件结构中的氧化物薄膜上，则该氧化物薄膜就会因介质击穿而损坏。很细的金属化迹线会由于大电流而损坏，并会由于浪涌电流造成的过热而形成开路。PN 结的失效可能是由于“电流拥塞”效应而引起的，这种效应在大电流通过 PN 结造成大电流密度时发生。ESD 造成的潜在缺陷可能使器件在以后更容易损坏，并且可能使器件时好时坏。

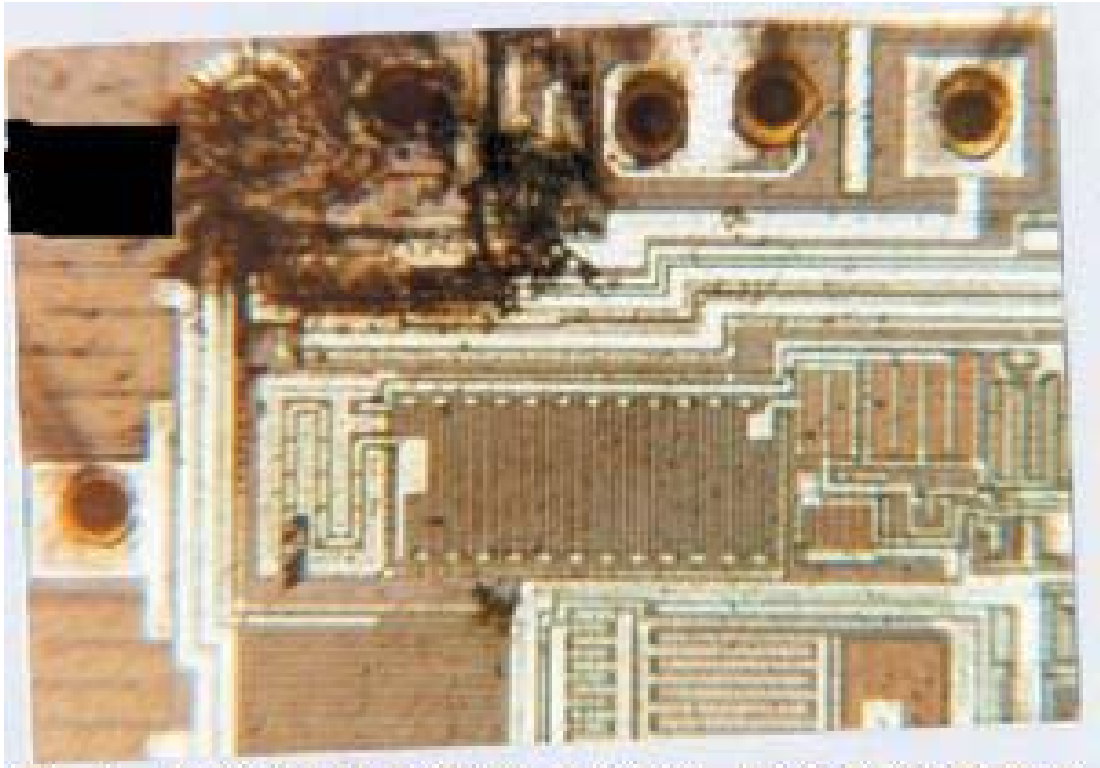

图 1，ESD 闩锁故障使 RS-232 收发器和周围电路板烧焦。

ESD 与闩锁效应

ESD 和相关的电压瞬变都会引起闩锁效应（latch-up），这是半导体器件的主要失效之一。在闩锁情况下，器件在电源与地之间形成短路，造成大电流、EOS（电过载）和器件损坏。CMOS 器件之所以因闩锁

效应而特别容易损坏，乃是因为电感会在器件的寄生电容中累积。另外，氧化物材料中任何原子一级的缺陷都会降低氧化物层的介电强度，使器件很容易因静电电压而失效（见本文网页版的附文《ESD 闩锁效应的模型》）。

电子系统中常见的 ESD 问题是通信接口器件，如 RS-232 驱动器和接收器的失效。这些器件在 ESD 脉冲通过人们频繁插拔的电缆互联传播时，在电缆接触到未端接连接器的带电表面时，就会损坏。当这些 ESD 脉冲的频率超过 1 GHz 时，PC 电路板的印制线和小段电缆就会像天线一样，接收这些干扰信号。

图 1 示出了最近对一种频繁失效的 CMOS 数据收发器 IC 进行的 ESD 闩锁效应调查的结果：在某些情况下，IC 封装带电，并烧毁了下面的电路板。为了确定故障的原因，用一台记录仪器监视电源和 RS-232 收发器的输入端。记录的波形显示出在收发器器件的输入端和电源脚有短时的电压瞬变。当这些瞬变电压迫使寄生 PNPN 结构导通时，就发生闩锁效应。一旦寄生的 SCR 导通，SCR 就是电源通过器件到地的一条低阻通路。在这样的条件下，通路中的电流很大，从而导致器件中因热过载而热耗散异常。过度的热过载会使塑封外壳升温并开裂。

从设计开始控制 ESD

防止由 ESD 引起的失效的第一步是电路设计。要从 ESD 出发，选用适合于应用需求的器件。对采用不易受 ESD 损坏的元器件的电路进行恰当的设计，就可减少电路板和系统现场失效的发生率。例如，决不因其速度较快而选用某个器件，而要按所需的工作速度来挑选合适的器件。高速逻辑转换会产生高频电磁场，干扰电路板上的其它器件。高速器件使用不当，会因开关引起的有害辐射而添麻烦。

在实验室中按规格测试和验证合格的设备在实际现场条件下可能会出现问题。只有预计到现场可能出现的问题，才能按照在各种工作环境中正常工作这一要求来进行电路设计。这种情况对处理 ESD 问题特别适用，因为这样的问题可能会因现场搬运 PC 组件时不遵守注意事项而发生。为了解决 ESD 问题，在产品设计时采取预防 ESD 损坏的措施是必要的。即使某个器件具有内置的保护网络来防止 ESD 损坏，也应在为受损坏的应用场合采用外部元器件进行更高级别的防护。

一种众所周知的 ESD 能量抑制技术是在电路的关键部位使用瞬变抑制二极管。这样的器件基本上是快速响应的电压箝位器件。当 ESD 或其它因素产生一个过压瞬变脉冲时，瞬变抑制器就按照其额定值将电压箝位于一个安全电压值，以保护瞬变抑制器后面连接的器件。应根据器件能承受的预计瞬时功耗，仔细地选择瞬变抑制器的功率承受大小。

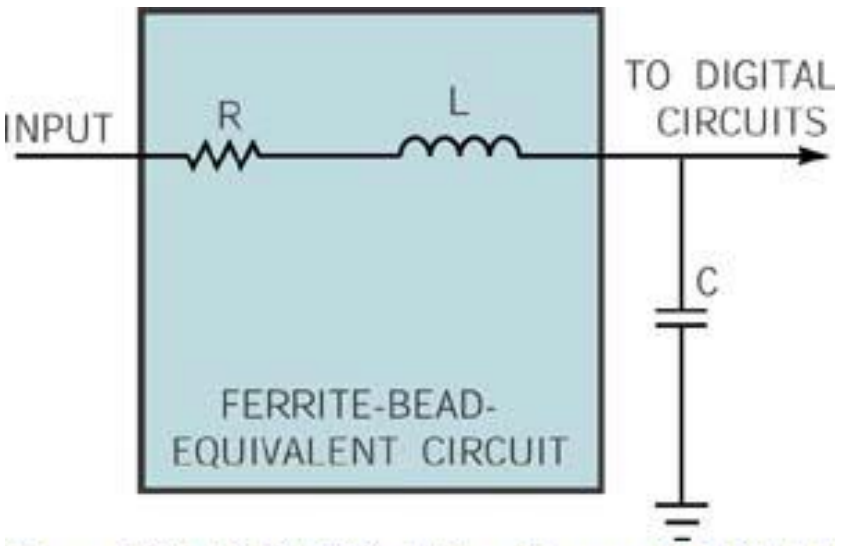

图 2，磁珠起滤波器的作用，将 ESD 瞬变脉冲引入地。

一种可在电路输入级使用的简单的 ESD 瞬变抑制技术，就是将一个磁珠串在输入引线上，并在输入引线和地之间接一只容量很小的电容器。图 2 示出了磁珠的等效电路。输入端的 LC 电路起滤波器的作用，将 ESD 瞬变的能量分流入地。当使用瞬变抑制二极管保护任何输入端或输出端时，要使瞬变抑制器尽量靠近这些端子。很长的导线和电路板印制线都有寄生电感，当 ESD 瞬变脉冲进入电路时，寄生电感

就会产生电压过冲与振铃问题。

你可使用 CMOS 布局技术来防止闩锁效应，因为 CMOS 布局技术可监控 ESD 瞬变会进入器件的各部位：器件的电源引脚、输入引脚和输出引脚。你应降低晶体管（PNP 和 NPN）的增益，并提高闩锁效应的阈值，方法是加大器件结构中 P 沟道 Tub 与 P 沟道漏极之间的间隔。在电源和 p-tub 上连接 p+ 和 n+ 保护环也可以降低晶体管增益，提高闩锁效应的阈值（图 3）。防止闩锁效应的其他工艺技术有：提高阱深度以减少寄生晶体管的增益；采用绝缘衬底（如蓝宝石硅）以降低 tub 和衬底中的电流，；在每个阱下面采用埋层或外延层（图 4）。

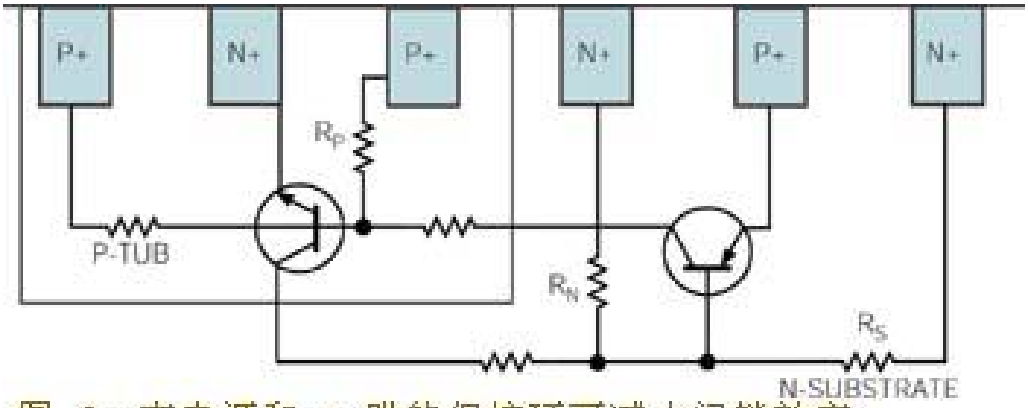

图 3，在电源和 p 阱的保护环可减小闩锁效应。

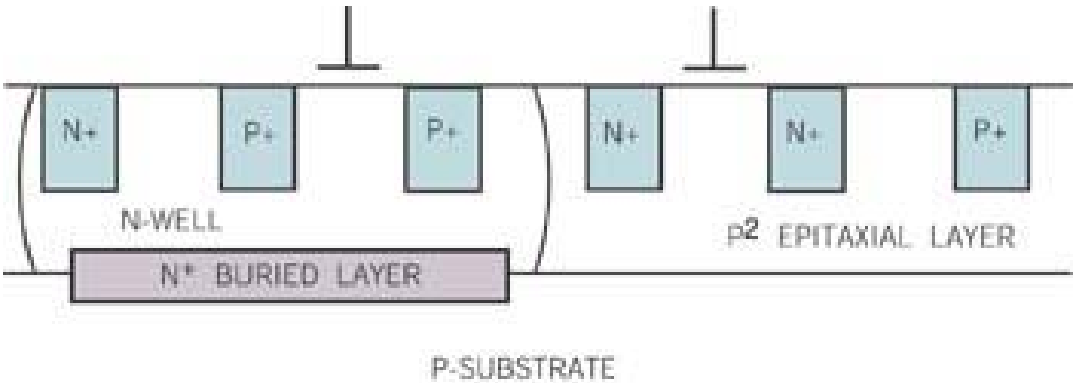

图 4，在每个阱下面的埋层或外延层可减小电流，防止闩锁效应。

你也可以用良好的电路设计技术来减少 ESD 危害和与 ESD 有关的电子器件失效。元器件选用得当和关键部位使用电路级技术（保护网络）均可减少 ESD 的种种影响。良好的接地与电路板布线技术；在装配、生产和测试时小心取放对 ESD 敏感的器件；在包装和运输器件和组装电路板时采用适当的防静电包装材料，这些措施都可减少失效。电路屏蔽得当也可以减少 ESD 的影响。

电路板布局会影响 ESD

你如果使用布局和布线都很好的电路板，就可以显著减少 ESD 问题的发生率（见附文《实现 ESD 故障最小化的电路设计原则》）。每一电路都因为有不同类型的元器件和电流而存在有静电通量线和磁通量线。如果电路板布线围住很大的环形区，则导电通路就会围住较大的磁通量，由于环路起天线的作用，较大的磁通量又会在环路中感应产生电流。这种环路电流会产生影响电路中元器件的干扰电磁场。减小环路区的方法是使电源线和地线尽量靠近在一起。图 5 示出了典型的电源线和地线形成的环路区。

要在电路板设计中采用低阻抗地线，以便任何 ESD 电流都能很容易地流入地，而不是经过电子器件的其他低阻通路流入地。一个接地区域，最好是一个接地层，均可降低 ESD 的影响，因此，你应将电路板上未用区域都变成接地层。使信号线靠近地线也可减小环路面积，并可将大环路引起的 ESD 问题减至最少。具有独立接地层的多层电路板则更为可取。

在电路板布局时，敏感电子元件要远离潜在的 ESD 源，如变压器、线圈和连接器。这些潜在的 ESD

源会积累电荷或产生杂散的电磁场，从而导致元件损坏。对线圈、变压器和类似元件进行屏蔽，以抑制这些元件辐射的电磁场，这是明智之举。要在很长的信号线之间布放一根地线，以减小环路面积。你把敏感电子元器件放在远离电路板边缘的地方，就可避免 ESD 偶然损坏这些元器件；因为这样做可避免人体接触和可能由 ESD 引起的损坏。

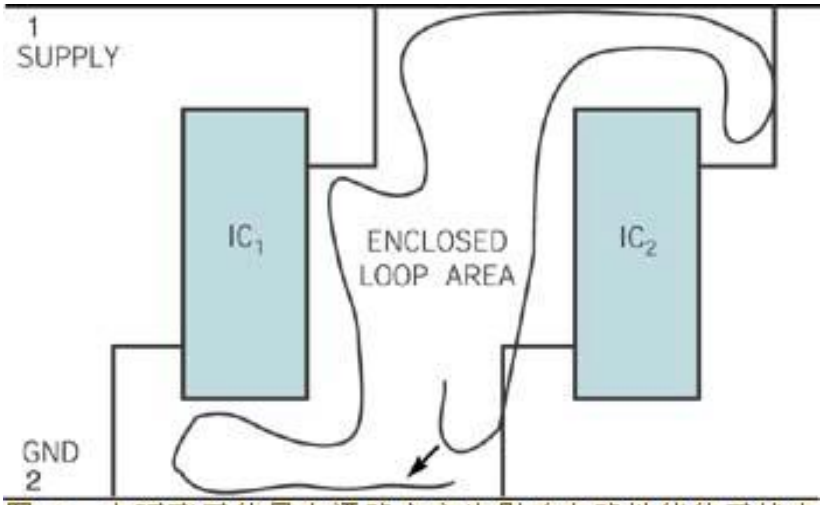

图 5，大环形区的导电通路会产生影响电路性能的干扰电磁场。

许多由 ESD 引起的现场失效是由于取放电路板不谨慎所造成的。这种不谨慎会使在取放、装配、测试和运输过程中遵守 ESD 注意事项所获得的好处付诸东流（见附文《ESD 敏感环境中的材料特性》）。一旦产品交付运输，你就无法加以控制，所以要精心设计电路板，尽量减小人体与元器件的无意接触。在电路板边缘布放一根接地的保护印制线，就可泄放掉因人体接触而引起的静电荷。电路板的布线应确保电路板上大多数相邻印制线间距符合良好的 CAD 惯例，使得 ESD 脉冲不会在相邻印制线间产生电弧并传播。

ESD 是对电子器件的一种威胁，也是造成器件失效的主要因素。消除由 ESD 引起的失效要从各个层次全面着手，在设计、取放、装配、测试、系统集成、运输以及工作阶段均采用适当的 ESD 控制技术（见附文《在装配和生产中防备 ESD 效应》）。从来 ESD 控制是一个持续的过程。器件尺寸的缩小和器件复杂性的增加都需要采用更新的 ESD 控制技术和失效预防技术，这些都将继续对电子设计师提出挑战。

参考文献 ：

Halperin, Stephen A, HBM Device Failure, Evaluation Engineering, October 2004.

附文:实现 ESD 失效最小化的电路设计原则

不要把对 ESD 敏感的器件——例如 CMOS 器件——的引脚直接连接到连接器的引脚上。要在器件与连接器引脚之间使用保护器件。

在设计逻辑电路时，要避免使用边沿触发的器件。如果 ESD 瞬变脉冲进入电路，这样的输入端很可能会造成系统失常。最好将电平检测逻辑与验证选通信号一起使用，以提高电路抗 ESD 的能力。

要选择有所需 ESD 能力的元器件来实现所需功能。例如，ESD 是在 RS-232 应用中常常造成器件失效的一个原因。有内置 ESD 保护网络和瞬变抑制器的器件更能经受得住 ESD。要确保器件符合有关应用系统的 ESD 标准。

如果电路中的某个敏感器件没有内置 ESD 保护电路，则要提供外部保护电路。你一般可将关键的

输入端和输出端的瞬变抑制二极管连接至地，在输入端用串联电阻器限制浪涌电流，并在电源引脚上连接去耦电容器。

如果设计采用的是屏蔽电缆，则要确保电缆与屏蔽层 360° 接触，以避免出现天线效应（辐射场）。要遵守降低 EMI 的预防措施，以减少对外界电磁场的影响，防止影响邻近设备的有害辐射。

你只要使用合适的材料来封装对 ESD 敏感的电子元器件，就能在很大程度上控制 ESD。制造商一般使用防静电的管、盒、袋以及类似材料来储存元件与电路板。

附文:对 ESD 敏感的环境中材料的特性

一般来说，任何生产环境中使用的材料可分为：绝缘材料、抗静电材料、静电耗散材料和导电材料。

绝缘材料的表面电阻率大于 1014Ω/方。绝缘材料往往能保留电荷，将它们接地没有用处，因为电流不能在绝缘体中流动。为防止由 ESD 造成的损坏，应将绝缘材料远离电子元器件和组装区。这类材料的实例是塑料，其中包括聚乙烯、聚氯乙烯、陶瓷和橡胶。将塑料与导电材料或抗静电材料相结合，可以保护元件不受 ESD 的影响。

抗静电材料可以抵御静电的产生。这类材料的表面电阻率为 109 ～ 1014Ω/方。它们的寿命很短，因此反复用来保存已装配电路板和电子元件的次数有限。表面电阻率高意味着将这些材料接地不会完全泄放掉已积累的电荷。

静电耗散材料的表面电阻率为 105 ～ 109Ω/方。如果你用这种材料来保护元件不受静电影响，并将静电耗散屏蔽接地，则这种较低的电阻率值就能使元件上的电荷转移到地。摩擦能在这些材料中产生静电荷，但较好的导电率使电荷均匀分布在整个表面。一般来说，这些材料可用来覆盖地板、桌面和装配区域，或用来制作工作服。

导电材料的表面电阻率低于 105Ω/方。你可以将导电材料表面积累的电荷释放到地。电子行业将掺有导电材料的塑料用来包装电子元件和电路板。

附文:建立 ESD 闩锁的模型

对失效器件内部结构进行分析，就可洞悉导致器件烧毁的机制。有两种分析技术可用于器件的内部检查：一种是器件背面研磨后的红外显微镜检验技术，另一种是对某些已拆除封装的失效器件的高倍光学显微镜检验技术。由于制造方法的缘故，CMOS 易发生闩锁效应（图 A）。只要 PNPN 可控硅处于关断状态，这些寄生结构不会干扰器件正常工作。

在正常情况下，芯片中所有的 PN 结都是反偏的。而在某些情况下，PN 结为正偏的。这样的情况有：在输出端有电压过冲，输入引脚上有 ESD 电压，以及器件通电前有信号加在输入端上。换句话说，耦合至器件输入端或输出端的 ESD、浪涌电压或噪声尖峰所产生的任何电压瞬变，都会触发寄生 SCR 导通，它会触发一个再生过程而引起电荷注入。触发 SCR 结构导通，会产生从芯片的 VDD 引脚到 VSS 引脚的大电流。当发生闩锁效应时，CMOS 电路的作用犹如将电源两端短路。

根据可控制硅的双晶体管模型，你可以计算出发生闩锁效应的条件。晶体管电流公式（图 B）为：

公式 A ： $I_{C1}=I_{CBO1}+a_1I_{E1}=I_{CBO1}+a_1I_A$

公式 B ： $I_{C2}=I_{CBO2}+a_2I_{E2}=I_{CBO2}+a_2I_K$

式中，I_{CB01} 和 I_{CB02} 分别是射极开路时 Q_1 和 Q_2 的集电极漏电流。图 B 表明，根据公式 A 和 B，阳极电流等于晶体管集电极电流之和：

公式 C ： $I_A= I_{C1}+ I_{C2}= I_{CBO1}+ a_1I_A+ I_{CBO2}+ a_2I_K$

根据公式 A 和 B，阴极电流等于栅极与阳极电流之和：

公式 D ： $I_K=I_A+I_G$

根据公式 C，得到公式 E ： $I_A= I_{CBO1}+ a_1I_A+ I_{CBO2}+ a_2（I_A+I_G）$

阳极电流由公式 F 给出，

公式 F ： I_A =（I_{CBO1}+I_{CBO2}+ a_2I_G）/[1-（ a_1+ a_2）]

为使寄生可控制硅导通的阳极电流 I_A达到很大，漏电流 I_{CB01}和 I_{CB02}，栅极电流 I_G 以及 a_1和 a_2都应很大，当 a_1与 a_2之和接近于 1 时，公式 F 的分母趋近于零，I_A的值变得很大，表示一种闩锁通态。在本例研究中，CMOS RS-232 收发器发生这种灾难性的可控硅导通而烧毁。

没有栅极驱动时，寄生的 PNPN 可控硅保持关断状态。如果在可控硅栅极出现一个 ESD 瞬变脉冲，或者在可控硅的阳极和阴极之间出现一个快速的 dv/dt 瞬变脉冲，则可控硅就会导通并维持这种状态。记录的波形表明 RS-232 器件的输入端有尖锐的 dv/dt 过渡。电压瞬变和 ESD 电压通过电路传导至器件引脚。这些瞬变电压继续传入寄生可控硅的栅极，使可控硅闩锁处于导通状态。所以，由于本例中寄生可控硅的行为，造成 RS-232 器件闩锁效应的上述两种机制都存在。一旦可控硅导通，阴极和阳极之间器件的低电阻使得电源与地之间短路，造成大电流和高电平 EOS（电过载）。

由于热耗散引起的较高温度，一开始会在较高电场条件（由于器件 +12V 和 -12V 之间的绝对压差所产生）帮助下，提高载流子迁移率，产生更大的载流子雪崩倍增。这一 EOS 会导致热过载现象，引起急剧温升。温升会熔化器件结构中的金属化层，引起热耗散，熔化塑料外壳，致使封装开裂。由于处于导通状态的闩锁可控硅会继续导通下去，直到你切断电源或器件被烧毁为止，所以这一过程会持续下去，最终导致器件烧毁。安装该器件的电路板区域也会过热，进而被烧焦。因此，闩锁过程最终导致器件由于热过载而毁坏。

热点（尤其在芯片引脚周围）表示从芯片至引脚的大规模热转移。由于 CMOS 器件既由于制造方法的缘故而易于形成寄生 PNPN 结构，又对 ESD 很敏感，所以你可以把 CMOS RS-232 收发器的失效归因于 ESD 导致的器件闩锁。器件中产生闩锁电流还有其它机制，其中包括雪崩效应造成电流载流子倍增。考虑到被研究的器件使用 ±12V 电源，栅极氧化层又相当薄，这一效应比采用相同工艺制造的 5V 器件更显著。你可以将这种情况归因于较高电压极限造成的较高电场状况。寄生场效应晶体管是产生闩锁电流的第二个根源。这些晶体管与横向 PNP 晶体管并联，而且当器件超过导通阈值时，便有闩锁电流流过。由于不同的闩锁电流而造成的过大总电流会使器件过热及热过载，这也会使器件烧毁。

尺寸很小的 CMOS 器件对这种失效机制特别敏感。再则，对闩锁的敏感性与芯片设计和制造工艺有关，因此，两个厂商生产的同一类器件对闩锁失效机制的敏感性是不同的。换句话说，对闩锁效应的抗御能力取决于芯片设计和制造工艺。因此，有些器件比采用相同工艺制造的其它器件更容易发生这一类失效。

附文:在装配和生产中防止 ESD 的影响

要将对 ESD 敏感的器件保存在专门设计的抗静电管、箱或导电泡沫塑料内。与敏感器件接触的导电表面可将积累的电荷泄放掉，避免在器件的引脚间形成电压差，防止电压上升和对器件的损坏。金属化聚乙烯袋起法拉第笼的作用，保护袋中存储的器件不受附近带电人体产生的电场的影响。

在电路板上焊接对 ESD 敏感的器件时，要使用烙铁头适当接地的烙铁。另外，要确保你用来在电路板和插座上插拔对 ESD 敏感的器件的工具也妥善接地。决不能在电路通电时插拔器件。在取放器件过程中，要防止器件引脚间形成的电位差

用静电耗散材料覆盖所有未使用的通信连接器，以防止电荷积累。要用抗静电材料覆盖装配区内的工作台和地板，以防止由于人行走或其它因素而产生静电。装配与测试工人应戴妥善接地的抗静电腕带，并穿防静电鞋。

潮湿空气是把大气中任何漂浮电荷泄放到地的一种手段，与干燥空气相比，有更好的防静电作用。空气电离器可中和自由电子，有助于减少装配线上的 ESD 问题。

要避免使用带塑料把手的工具，因为塑料把手会因摩擦生电效应而带电。要将装配好的电路板存放在抗静电袋中。装配好的电路板在现场时，要遵守各项防静电措施。

定期组织有关 ESD 的宣传教育，使所有人员都清楚 ESD 的危害，并遵守必要的预防措施