

# 数字示波表自适应幅度控制算法的研究与实现

李 纲

(秦皇岛港务集团有限公司技术中心, 河北 秦皇岛 066002)

**摘要:** 对便携式数字示波表中 A/D 转换前的模拟通道进行了研究, 提出了模拟通道自适应幅度控制算法, 可完成信号的大幅度变化和宽的频率范围内的自动测试功能。给出了信号放大与衰减方案, 以及相应的控制实现方法。控制电路采用复杂可编程逻辑器件和单片机构成, 减小了系统规模。

**关键词:** 示波表; 模拟信道; 自适应控制; CPLD

## 0 引言

便携式数字示波表集数字存储示波器、数字万用表、频率计三者功能于一体, 可以在现场测量电压、电阻等静态参数, 还能对各种有用信号及噪声信号进行实时的、瞬态的分析, 以便及时了解信号的质量好坏, 快速准确进行故障诊断, 成为工程师常用工具之一。

在用示波表进行信号测试时, 不论进入测试表笔的信号幅度和频率如何, 只要是在测试指标允许范围内, 示波表都应在 LCD 屏上以最佳的显示范围, 清楚地显示所测信号的波形。这部分的功能主要由模拟通道完成, 如图 1 所示。

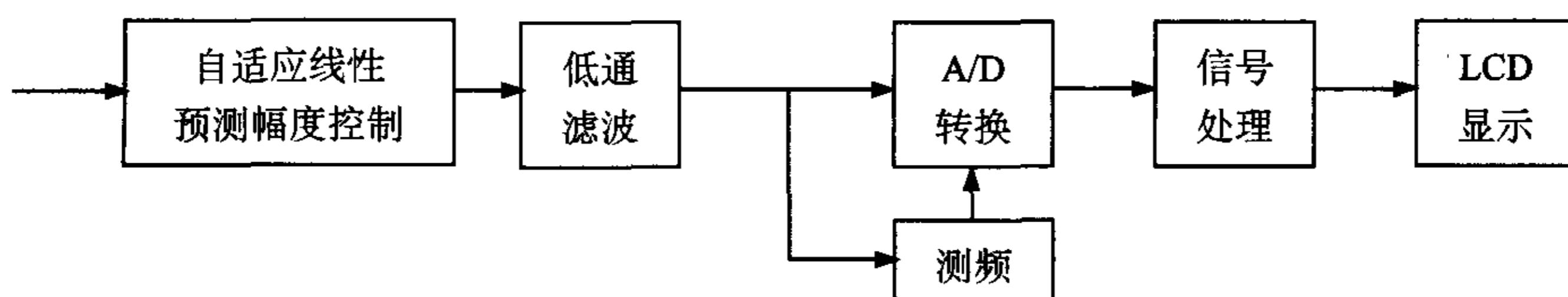


图 1 示波表模拟部分功能框图

一般而言, A/D 转换器对输入信号的幅度和频率是有要求的, 当信号幅度变很小, 接近其最小量化刻度时 (LSB), 转换误差会很大, 甚至无法转换; 当信号幅度很大时, 超过 A/D 转换器允许的最大输入幅度时, 会因为限幅而失真, 乃至于烧毁器件。因此, 在将信号送入 A/D 转换器前, 必须对信号进行自适应处理, 使其在不通过面板进行人工控制情况下, 能自动把各信号幅度调节到适于 A/D 转换的最佳幅度。此外, 在对信号进行 A/D 转换前, 还必须确定信号频率, 为 A/D 变换的采样率提供依据, 图中的测频模块即完成此功能。

## 1 自适应线性预测幅度控制的数学模型

由于示波表所测对象广泛, 输入信号的特性是未知的, 且可能经常会变化, 因此要求示波表可以通过“学习”和“跟踪”调整自己的参数, 故要求所设计的幅度控制是自适应的。另一方面, 确定参数的“学习”过程是根据过去“经验”得到并以此来确定参数, 解决对“未来”信号的处理问题, 故具有预测功能。同时, 输出信号还必须与输入信号呈严格的线性关系, 以保证信号的不失真, 故所设计的电路应为自适应线性预测幅度控制。

### 1.1 物理模型

按照上述对示波表通道性能的要求, 其物理模型可采用图 2 所示的结构。图中  $n$  表示对参数  $w$  进行逐步调整时的第  $n$  时段调整。 $Z^{-1}$  为调整时延, 它使比较误差  $e(n)$  延时一拍, 得到  $e(n-1)$ , 即用过去时

段的误差  $e(n-1)$ , 一定的算法去预测现在时段的参数  $w(n)$ , 进而实现对输入信号  $u(n)$  的调节. 为了保证在  $n$  时段信号的输出对输入的线性时不变, 即在  $y(n)=w(n)u(n)$  时段, 有  $y(t)=w(t)u(t)$ , 从而完成线性预测功能.  $d(n)$  为希望输出的信号电平值, 即 A/D 转换器要求的信号输入电平, 它与实际输出信号电平之差  $e(n)=d(n)-y(n)$  为调节误差,  $e(n)$  越小,  $y(t)$  就越接近最佳要求输入电平, 从而达到对信号预测目的.  $d(n)$  值是固定的, 减小  $e(n)$  只有调整参数  $w(n)$ , 其调整量取决于不同的算法.

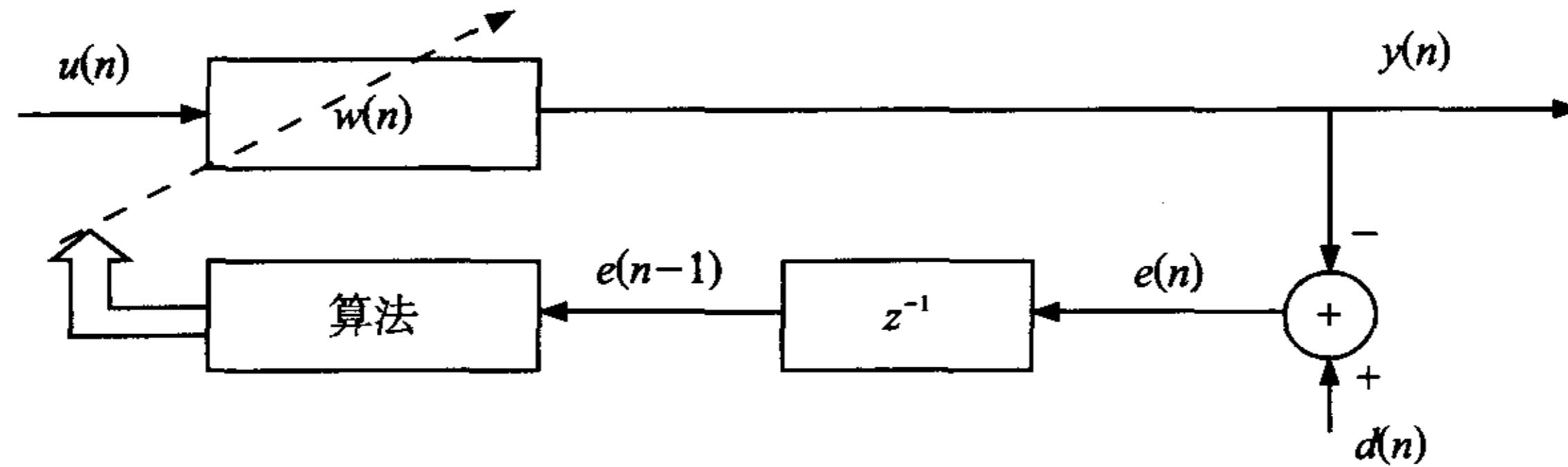


图 2 示波表通道线性预测物理模型

## 1.2 算法研究

对于示波表的算法, 它要求算法简单, 易于 CPU 和 ASIC 器件实现; 运算速度快, 尽量适时; 换算方便, 很容易从  $w(n)$  和  $y(n)$  得到输入信号  $u(n)$ ; 信号的输出在 LCD 屏上的显示范围控制在满屏的  $1/4 \sim 3/4$  的范围内. 本示波表采用如下推导算法, 称之为二倍逐步升降的算法. 其含义为: 每次调节只将信号放大一倍或减小一倍, 如果达不到 A/D 要求的最佳输入, 则重复进行下去, 直到满意为止. 逐步到位虽然延长了信号调节过程, 但算法简单易于实现. 根据这种算法, 不难得出:

$$w(n)=A 2^{\omega(n)}, \text{ 其中: } \omega(n)=-M+\psi(n-0)+\psi(n-1)+\psi(n-2)+\dots$$

$$\psi(n-i)=\begin{cases} +1 & \text{当 } e(n-i)<0 \quad i=1, 2, \dots, \infty \\ 0 & \text{当 } e(n-i)=0 \\ -1 & \text{当 } e(n-i)>0 \quad i=1, 2, \dots, \infty \end{cases}$$

在  $y(n)=w(n)u(n)$  时段, 有:  $y(t)=w(n)u(t)=A 2^{\omega(n)}u(t)$ .

在上述公式中,  $A$  为常量,  $i$  为第某次对  $w$  的调整, 当  $y(n)$  接近  $d(n)$  时,  $w$  在其对应档位摆动, 故这种算法的稳定性差. 但它最突出的优点在于每次调整都是按 2 的整数倍进行, 这非常适合用数字电路实现. 当输入信号小时,  $w(n)$  加 1 档, 将信号幅度放大一倍; 反之, 当输入信号大时,  $w(n)$  减 1 档, 将信号幅度缩小一倍. 通过 A/D 转换器的读数  $y(t)$  和  $w(n)$  的档位, 可很快且简单地由公式  $u(t)=y(t)/w(n)$  得到输入信号的大小.

## 2 模拟通道的设计

根据示波表实际参数要求,  $w(n)$  有 10 个衰减档和 3 个放大档, 若按 10 个衰减器和 3 个放大器来实现将增大体积、增加成器件成本、降低可靠性, 因此必须进行简化. 采用两级放大的形式. 其中第一个放大器有 3 个放大档位, 可用一个闭环负反馈放大器的 3 个反馈网络实现, 最大放大量  $K=8$ . 另用一个放大器来实现参数  $A$ , 考虑到其它一些不确定因素引起的附加衰减, 将第二放大器做成放大倍数  $A>3.125$  的可调放大器. 10 个衰减档位可用几个衰减器和放大器组合级联得到. 如图 3 所示, 用两级放大和两级衰减实现了  $w(n)$  的 14 种状态, 在任一时段  $n$ , 通过 S1, S2, …, S8 的不同组合, 完成对放大器和衰减器的不同接法. 图 3 中将输入分为两路的目的是为了防止大信号烧坏集成开关, 因为集成开关的耐压通常不能超过电源提供的电压. 让大信号先经过 64 倍的衰减, 不致烧坏器件. 但小信号不能经过 64 倍的衰减, 否则将对放大器提出更高要求.

输入信号经调整后, 一方面经过控制开关输出到 A/D 转换器进行模/数变换, 另一方面输出到误差信号提取电路和测频信号提取电路. 误差信号提取电路将输入信号与希望值相比较, 当输入信号大于希望值时输出高电平, 表明信号幅度过大需要减小, 反之表明信号较小. 此电路可用幅度比较器实现, 因

为当信号幅度大于 LCD 满屏的  $3/4$  应换档位, 所以比较器输入的希望值应为满幅度的  $3/4$ . 而测频信号提取电路可用检零信号实现, 且输出单极性脉冲与 TTL 电路接口.

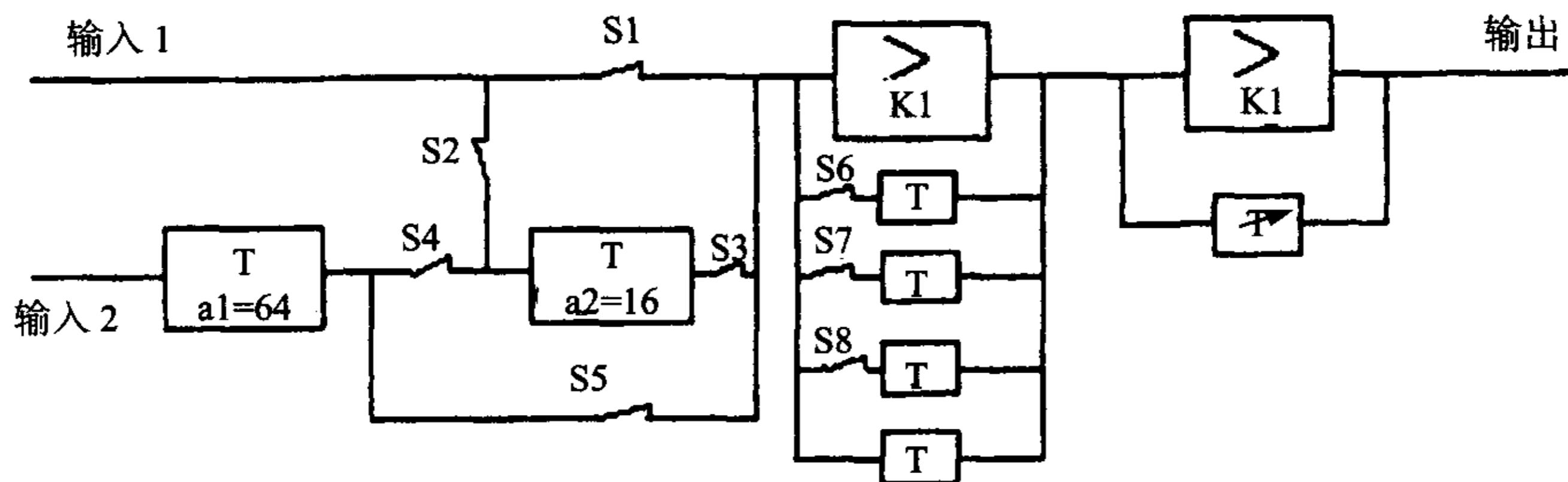


图 3 放大器和衰减器级联图

### 3 自适应线性预测幅度控制的实现

二倍逐步升降算法的实现由控制接口电路和计算控制两部分组成, 前者可用 FPGA 或 CPLD 实现, 主要完成集成数字开关的控制部分和比较器输出与 CPU 的接口, 而计算控制部分由 CPU 完成.

#### 3.1 控制接口电路的设计

图 4 为用 CPLD 实现控制接口功能的内部原理框图. 其工作过程如下: 当幅度比较器输出为高电平时, 表明信号幅度过大, 需要减小幅度, 经比较器状态锁存器将该信号变为低电平, 向 CPU 发外部中断信号. CPU 响应中断后, 将根据  $w(n)$  参数过去的状态, 推算下一时段  $w(n)$  的参数值, 然后输出控制相应集成数字开关通断的控制向量 swout 到开关控制锁存器, 以控制放大器和级联器中的开关. 当  $w(n)$  的参数值调节完成后, CPU 向比较器状态锁存器发中断复位信号, 准备下一次调节. 然后 CPU 发出通道接通信号至通道控制锁存器, 使输出通道开关接通, 将信号送入 A/D 转换器. 至此, 一次调节过程完成.

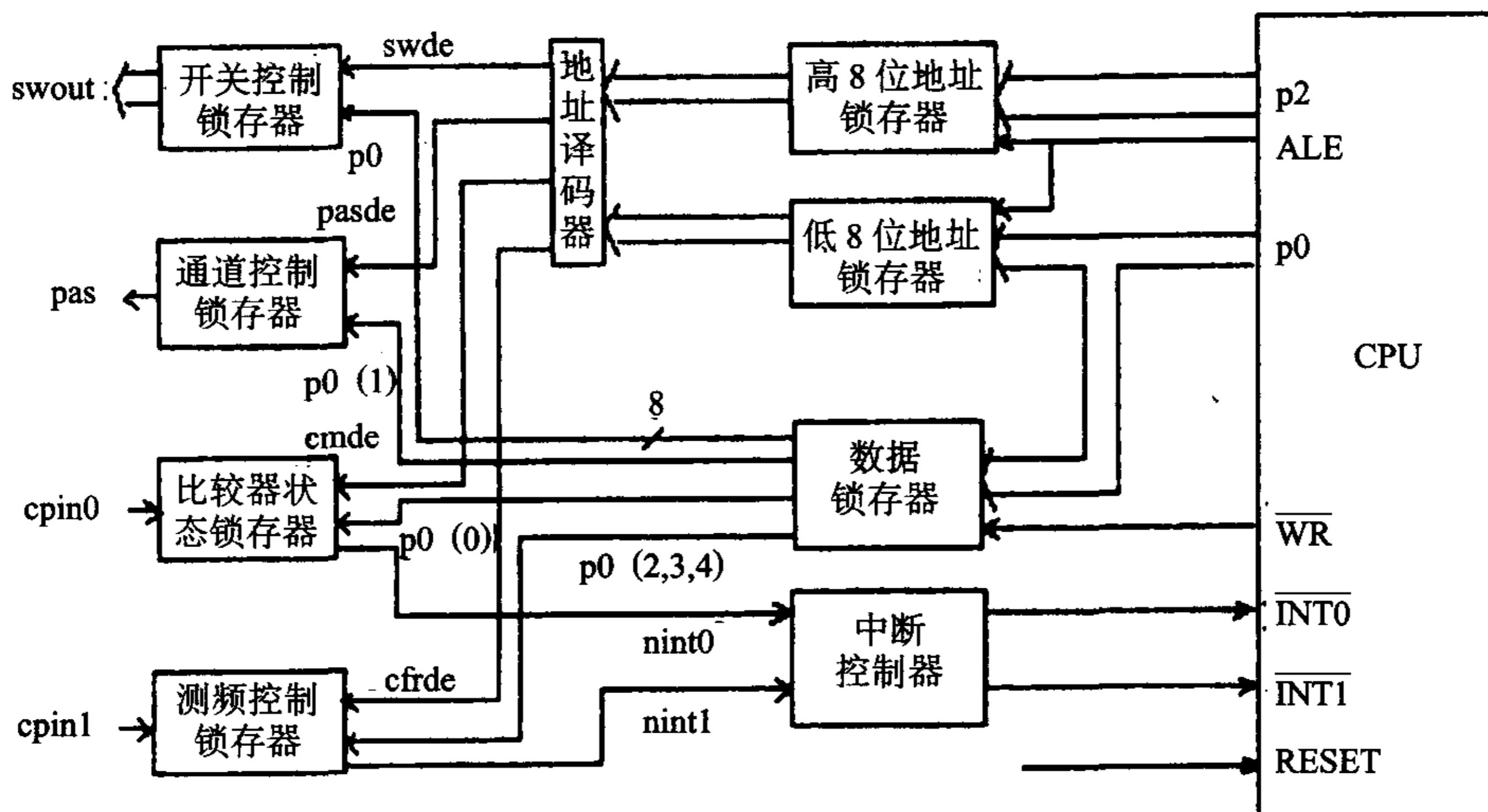


图 4 CPLD 内部功能结构

#### 3.2 计算控制部分的设计

为实现自适应线性预测幅度控制的 2 倍逐步逼近升降算法, CPU 的工作过程为: 开始复位时, 先将档位置 1 档进行最大衰减, 以防止未知信号过大, 此后进入等待状态. 当输入信号过大时, 由误差信号提取电路中的比较器输出 CPIN0 送来高电平脉冲, 经 CPLD 产生 INT0 低电平中断请求信号, 如果 CPU 此时已在第 1 档, 不作响应; 如果不在第 1 档, 则减少一档, 将信号幅度减小一倍, 然后向 CPLD 发清

中断信号，等待下次中断发生。如此重复调整下去，直至不再产生中断为止。如果 CPU 等待时间超过预定最大等待时间  $Td$  未发生中断，说明信号幅度过低，这时 CPU 增加一个档位，如果再过  $Td$  未发生中断，则 CPU 再增加一个档位，直至产生中断为止，然后 CPU 减小一档，向 CPLD 发接通信号，控制开关接通被测信号进入 A/D 转换器进行模数转换。在信号输出期间，输入和输出之间保持线性关系。由于信号的输出是在幅度大于满屏显示的  $3/4$  范围后，再将幅度减小一半才输出，故不会出现信号幅度超出显示屏的范围。为防止测试过程中信号峰值减小而使显示范围少于满屏的  $1/4$ ，每过  $Td$  时间要将档位增大一档，以试探信号是否产生中断，产生中断说明原档位合适，CPU 控制退回原档位；若未产生中断，说明信号峰值已变小，应增大档位，类此情况，CPU 继续调整至产生中断后退一档。当 CPU 已工作在最大档位则不再调整。图 5 为 CPU 控制流程框图。

```

graph TD
    Start([开始]) --> Reset[复位，置档位最小，Flag=0]
    Reset --> Interrupt{产生中断}
    Interrupt -- N --> Td20ms{Td = 20 ms}
    Td20ms -- Y --> Max{档位是否最大}
    Max -- N --> Increase[PAS=0, 增加一档]
    Increase --> Flag1{Flag=1}
    Flag1 -- Y --> Td1s{Td = 1 s}
    Td1s -- Y --> Wait1[等待]
    Td1s -- N --> Wait1
    Td1s -- N --> Min{档位是否最小}
    Min -- Y --> NoChange[D档位不变]
    Min -- N --> Decrease[减小一档, 清中断, PAS=0, Flag=1]
    Decrease --> Td1s
    Td1s -- N --> Wait1
    Td20ms -- N --> Wait2[等待]
    Wait2 --> Max
    Max -- Y --> NoChange
    Max -- N --> Increase
    Increase --> Td1s
    Td1s -- N --> Wait2
    Td1s -- N --> Flag1
    Flag1 -- Y --> Td1s
    Td1s -- N --> Wait2
    Td1s -- N --> Min
    Min -- Y --> NoChange
    Min -- N --> Decrease
    Decrease --> Td1s
    Td1s -- N --> Wait2
    Td1s -- N --> Flag1
    Flag1 -- N --> Td1s
    Td1s -- Y --> Interrupt
    Td1s -- N --> Flag1
    Flag1 -- Y --> Td1s
    Td1s -- N --> Wait2
    Td1s -- N --> Min
    Min -- Y --> NoChange
    Min -- N --> Decrease
    Decrease --> Td1s
    Td1s -- N --> Wait2
    Td1s -- N --> Flag1
    Flag1 -- N --> Td1s
    Td1s -- Y --> Interrupt
    Td1s -- N --> Flag1

```

The flowchart illustrates the logic for signal processing. It starts with an initial reset and flag setting. It then enters a main loop where it checks for an interrupt. If no interrupt occurs, it checks if the current step is the first one (Flag=0). If so, it uses a 20ms time interval to adjust the signal level. If the level is at its maximum, it increases the level by one step and sets the flag. If the level is at its minimum, it decreases the level by one step and sets the flag. If the level is neither at its maximum nor minimum, it remains unchanged. If an interrupt does occur, it uses a 1s time interval to adjust the signal level. If the level is at its maximum, it increases the level by one step. If the level is at its minimum, it decreases the level by one step. If the level is neither at its maximum nor minimum, it remains unchanged. The process then loops back to check for an interrupt again.

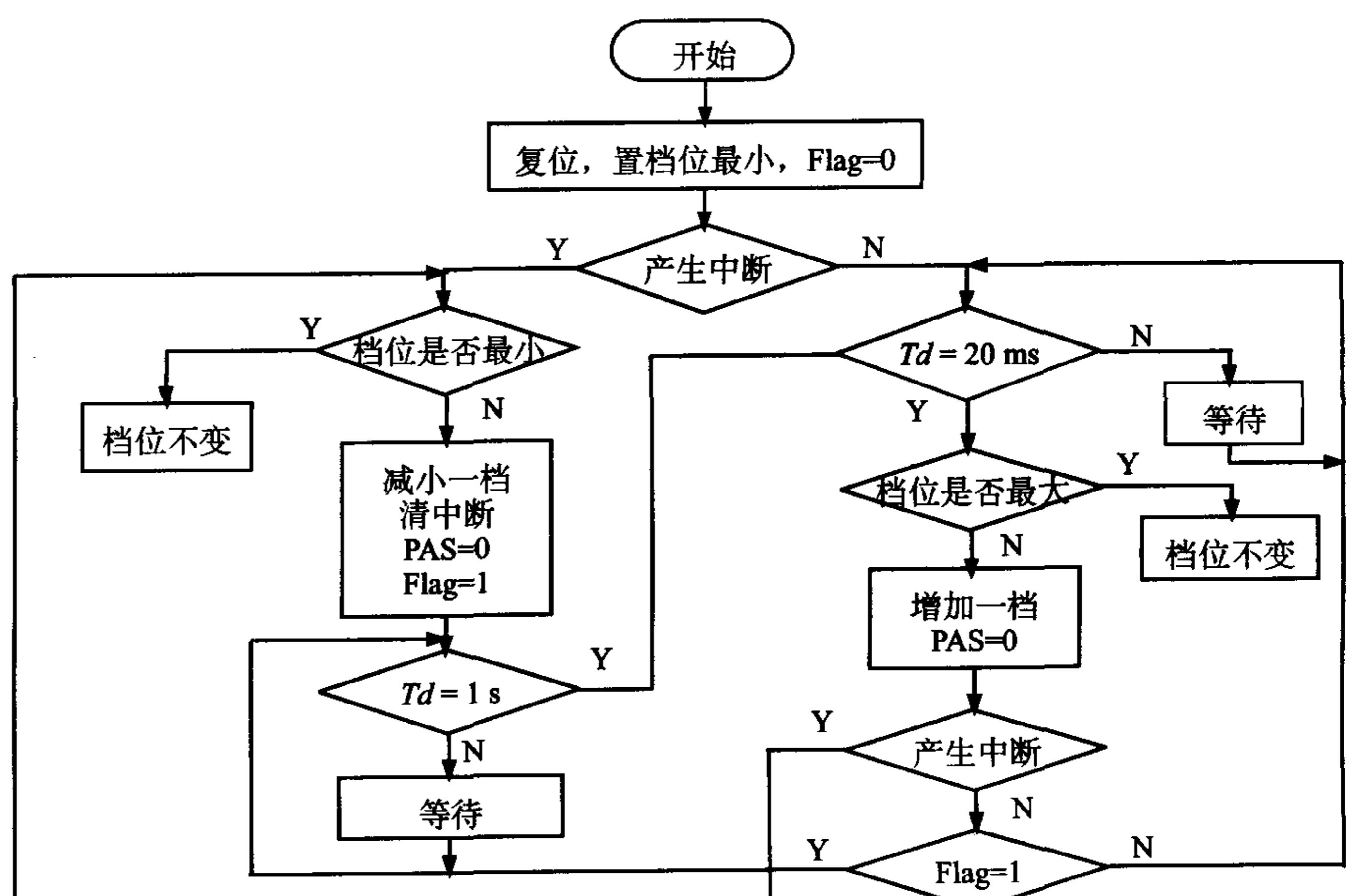


图 5 CPU 控制流程图

4 结论

本文提出的模拟通道自适应线性预测幅度控制方法，可使示波表正常测量并显示大范围变化的信号，且电路简单，实现方便。使用 CPLD 和单片机构成控制系统，不但减小了系统规模，而且使得系统调试、修改方便，可广泛用于自控系统设计中。

#### 参考文献：

- [1] 张曙光. 检测技术 [M]. 北京: 中国水利水电出版社, 2003 .
  - [2] 王幸之. 8051/8098 单片机原理及接口设计 [M]. 北京: 兵器工业出版社, 1998.
  - [3] 李广军, 王厚军. 实用计算机接口技术 [M]. 成都: 电子科技大学出版社, 1998.
  - [4] 李广军, 孟宪元. 可编程 ASIC 设计及应用 [M]. 成都: 电子科技大学出版社, 2000.
  - [5] 侯伯亨, 顾新. VHDL 硬件描述语言与数字逻辑电路设计 [M]. 西安: 西安电子科技大学出版社, 1997.