

FIFO 存储器 IDT7205 及其 在接收机采样处理板中的应用

徐济仁 牛纪海 陈家松 王可人 合肥电子工程学院

摘要:本文详细地介绍了 FIFO 存储器的工作原理,重点介绍了 FIFO 存储器 IDT7205 的内部结构、基本时序与功能逻辑、工作原理等,最后分析了 IDT7205 在接收机采样处理板中的应用实例,具有较强的实用性与应用价值。

关键词:FIFO 存储器 IDT7205

1 引言

高速数据采集系统广泛应用于石油勘探、气象、通信和雷达等领域。随着技术的发展,对现代高速数据采集系统的要求越来越高,需要实时处理的数据量越来越大,且往往是几条高速采集通道同时进行工作,单靠一台微机难以实时完成这些采集、处理、控制和通信工作。这时需要采用两套微机系统用接力或并行方式协同处理数据,以分担工作量,其中一台专司数据采集,一台负责数据处理的通信控制。

为保证此双机系统的正常工作,保证在两微机间能够进行快速、有效的数据交换,同时为了简化控制电路的复杂性,便于编程和尽量少占用系统资源,要求两微机间的通信机制不宜过于复杂。

双微机通信的方法有两种,即并行通信和串行通

信。它们各有优缺点,其中,并行通信速度快,能够满足系统需要。并行通信的实现主要采用三种方式,即缓存器、双口 RAM 和 FIFO(先进先出缓冲器)。缓存器方式存储数据量小,需要采用严格的通信协议才能保证数据的正确传输,不适合大数据量的高速传输;双口 RAM 方式速度快,但需要占用 PC 机大量而宝贵的存储器地址资源,使用时还要注意避免地址冲突;FIFO 方式速度同双口 RAM 一样,由于没有地址总线,不会产生地址冲突,接口电路简洁且不占用系统地址资源,系统移植或升级换代方便。在实际应用中,我们利用 FIFO 芯片,仅占用少量的系统资源就实现了两机之间数据的快速交换,而且控制简单,不会产生地址冲突。

用单口存储器 SRAM 实现的共享存储器结构较复杂,使用的总线隔离芯片也较多。在研制中也发现

变形严重,陶瓷插针于光纤之间的应力增大,造成光纤相对于陶瓷插针表面的移动,产生光纤的突出或内缩,曲率半径通常被控制在 15~25 μm 以内。

5 结语

光电子器件是光纤通信发展的基础。在有源器件方面,低噪声激光器和调制器等高性能器件促进了新一代光纤有线电视的发展。在无源器件方面,高后向

反射损耗连接器和其他无源器件的发展也为光纤有线电视的普及创造了条件。

光纤有线电视的发展还会对光纤连接器提出更新的要求。随着光纤网向用户接连,要求连接器具有更高的耐环境性能,如耐高低温、耐震动、耐冲击、抗拉和阻燃等,要求其具有长寿命并易于维修、替换。这些要求也会进一步促进相关元器件技术和产业的发展。▲

对芯片性能要求较高,在 SRAM 区切换信号操作过程中稍有不慎,就会丢失数据,给编程带来一定的困难。近年来,专用双端口芯片发展很快,已有多种双总线存储器问世,为共享存储器带来了很大方便。

2 FIFO 芯片 IDT7205 内部结构和原理介绍

FIFO 是一种先进先出的结构,较之双口 RAM,它有如下特点:第一它无地址线,布线简单;第二它不能像双口 RAM 一样可以对任意地址单元操作,实现随机存取,只能是顺序存取。FIFO 只能实现块操作,其读出数据的顺序和写入的顺序是一样的。FIFO 有单向双向之分和同步异步之分。单向 FIFO 只能向一个方向传输数据,双向 FIFO 可以向两个方向传输数据。目前 FIFO 的内部结构是由双口 RAM 加驱动双口 RAM 地址的计数器构成。同步 FIFO 是由专用时钟管脚信号来使计数器翻转,片选和读写是使能信号;异步 FIFO 是由读写信号使计数器翻转。IDT7205 是单向异步 FIFO 的典型芯片,由 IDT (Integrated Device Technology) 公司生产的,是一种高速、低功耗的先进先出双端口存储缓冲器。

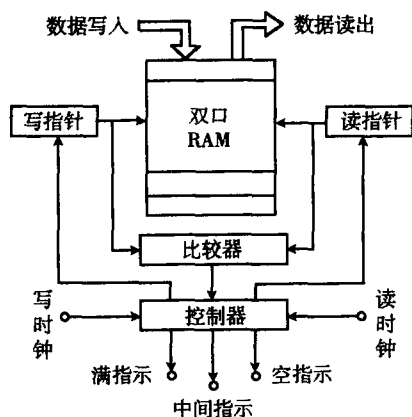


图 1

IDT 公司生产的 CMOS 型 FIFO 双端口 RAM——IDT7205,由于芯片本身具有较完善的控制逻辑,应用方便可靠。这种 FIFO 芯片内部的双端口 RAM 具有 2 套数据线,分别执行输入和输出功能,各自独立的读写指针分别在写、读时钟控制下顺序地从 RAM 中写、读数据。这种指针均为环形指针,从 RAM 的第 1 个单元开始依次增加到最后一个单元,接着又回到第 1 个单元。比较、控制部分能够指示数据空(写入的数据已

读完)和数据满(写入的数据已存满 FIFO 的 RAM 且还未读出),该类指针可用来防止数据满写或空取。而中间指针为避免丢失数据和提高数据传送效率提供了很大方便。其结构如图 1 所示。

IDT7205 是 8 位 FIFO 芯片,容量 8192×9 bit,存取时间 12ns,有空、半满、满三个标志位,最大功耗 660mW,工作电压 +5V。D0~8 是数据输入总线,Q0~8 是数据输出总线, \overline{R} 、 \overline{W} 是读、写控制端, \overline{XI} 、 \overline{XO} 是级联控制端, \overline{HF} 、 \overline{FF} 是 FIFO 状态满标志, \overline{EF} 是 FIFO 状态空标志。根据 \overline{HF} 、 \overline{FF} 状态,写处理器就可以知道 FIFO 是否已满,根据状态读处理器就可以知道是否有数据。FIFO 存储器 IDT7205 的内部结构如图 2 所示。

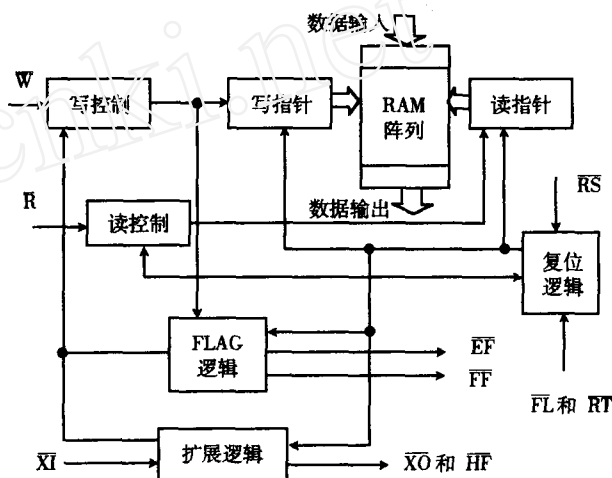


图 2 IDT7205 的内部结构示意图

IDT7205 提供一个比特位由用户选择用于控制或奇偶校验,同时提供重传(RT)功能。它使用内部指针载入和取出数据,数据输入和读出由写(\overline{W})和读(\overline{R})控制。该器件使用满标志(\overline{FF})和空标志(\overline{EF})以防止数据上溢和下溢,半满标志(\overline{HF})用于通信控制。 \overline{RS} 用于复位。通过它的扩展逻辑可以进行无限制的深度和宽度扩展,这样就可以方便地扩展为适于总线读写操作的各种容量的 16 或 32 位的数据存储缓冲区。

3 IDT7205 的基本时序及功能逻辑

IDT7205 是单向异步 FIFO 的典型芯片,是一种高速、低功耗的先进先出双端口存储缓冲器。IDT7205 主要引脚如图 3 所示。

基本时序及功能逻辑为: \overline{RS} 引脚置低时, IDT7205 复位,内部读写指针都被复位到起始位置,

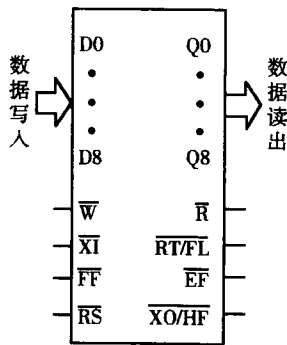


图3 IDT7205 引脚示意图

每次上电后必须要有一个 \overline{RS} 低电平信号后方可执行写入操作。当 \overline{RS} 复位时 \overline{R} 和 \overline{W} 必须为高，直到 \overline{RS} 变高后才能有所变化，进行读写操作。若数据满标志 \overline{FF} 没有变低，那么每次 \overline{W} 引脚置低，就执行一次外部数据的写入操作，内部写指针自动加 1，数据顺次进入 FIFO 中。当缓冲区写满一半(4KB)时，下一次 \overline{W} 低电平将使半满——中间指示 $\overline{XO/HF}$ 置低，表示缓冲区中已填满了一半可用空间，该信号可以提醒系统机进行读数据操作。为了避免数据写入溢出，当最后一个 \overline{W} 的下降沿时，内部满标志 \overline{FF} 置低，它将禁止写入操作， \overline{FF} 有效期间，内部写指针不再移动，直到进行一次有效读操作后满标志 \overline{FF} 才会被消除。若内部空标志 \overline{EF} 没有置低，那么每当读允许 \overline{R} 置低时，就执行一次内部数据的读出，内部读指针自动加 1，数据就顺次从 FIFO 中读出去。为了避免数据空读，当所有的数据被读出后，内部空标志 \overline{EF} 置低，将禁止读出操作， \overline{EF} 有效期间，内部读指针不再移动，读出数据总线为高阻抗，直到进行一次有效写操作后空标志 \overline{EF} 才会被消除。IDT7205 的 $\overline{RT/FL}$ 是一个复用输入脚，在深度扩展时有用，在单片使用时，它是作为重传数据允许脚，负脉冲有效。一个重传操作将使内部读指针回到首地址，而不影响写指针。

4 FIFO 存储器 IDT7205 在接收机采样处理板中的应用实例

FIFO 存储器在实际中应用较多。某干扰设备的分析接收机中，终端设备采样处理板单元采用了 FIFO 存储器 IDT7205，采样处理板单元方框图如图 4 所示。

其中：

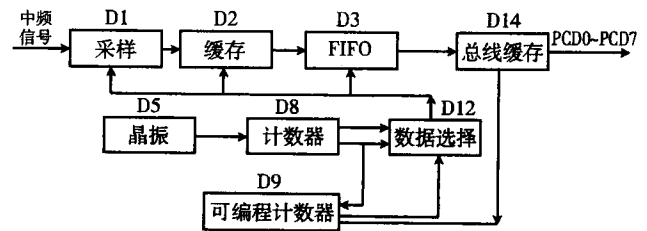


图4 采样处理板单元方框图

- D1: 采样保持(AD9040)
- D2: 缓存器(74F574)
- D3: FIFO 存储器(IDT7205L15)
- D14: 总线缓冲器(74LS245)
- D5: 40MHz 晶振
- D8: 计数器(74LS61)
- D12: 数据选择器(74LS161)
- D9: 可编程计数器(8254)

从图 4 中我们可以看出，从中频信道来的 3.4MHz 的中频信号，经过采样器 D1 采样以后，由缓存器 D2 加以锁定，经过缓存之后的信号由 FIFO 存储器 D3 完成大容量数据的存储与保存，同时，数据处理单元可以通过总线缓冲器 D14 完成对 FIFO 存储器数据的读取。

采样由 40MHz 的晶振经过分频以后，作为采样时钟。晶振 D5 输出的 40MHz 的时钟频率，由计数器 D8 进行计时，分出三路时钟信号，其中一路作为可编程计数器 D9 的计数脉冲，可编程计数器 D9 的输出信号与计数器 D8 提供的三路时钟信号，共四路信号送到数据选择器 D12，选中其中的一路作为采样脉冲，同步提供给采样器 D1、缓冲器 D2 和 FIFO 存储器 D3，完成对中频信号的采样与传输以及保存。

特别值得一提的是：采样器 D1 是 10 位 ADC 集成电路芯片，可以提供 10 位二进制数据，在这里，为了提高数据的存储与传输的速度，我们取其中的高 8 位，可以大大地加快我们数据传输的速率。但同时也会引入一定的误差。误差可以保持在我们控制的范围之内。

参考文献

- 1 杨玉春. 利用 FIFO 和 DMA 实现线 CCD 高速数据采集. 哈尔滨理工大学学报. 2000.6
- 2 杨世忠. FIFO 存储器芯片 IDT7203 的原理及应用. 国外电子元件. 2001.8 ▲