256 级灰度 LED 点阵屏显示原理及基于 FPGA 的电路设计

摘 要：本文提出了一种 LED 点阵屏实现 256 级灰度显示的新方法。详细分析了其工作原理。并依据其原理，设计出了基于 FPGA 的控制电路。

关键词：256 级灰度；LED 点阵屏；FPGA；电路设计

引言

256 级灰度 LED 点阵屏在很多领域越来越显示出其广阔的应用前景，本文提出一种新的控制方式，即逐位分时控制方式。随着大规模可编程逻辑器件的出现，由 纯硬件完成的高速、复杂控制成为可能。逐位分时点亮工作原理所谓逐位分时点亮，即从一个字节数据中依次提取出一位数据，分 8 次点亮对应的像素，每一位对应 的每一次点亮时间与关断时间的占空比不同。如果点亮时间从低位到高位依次递增，则合成的点亮时间将会有 256 种组合。定义点亮时间加上关断时间为一个时间单位，设为 T 。表 1 列出了每一位的点亮与关断的时间分配。如果定义数据位“1”有效(点亮)，“0”无效(熄灭)，则表 2 列出了数据从 00H 到 FFH 时的不同点亮时间。由表 2 可知：数据每增 1，点亮时间增加 T/128。根据点 亮时间与亮度基本为线性关系的原理，从 0~255T/128 的点亮时间则对应 256 级亮度。当然，这个亮度是时间上的累加效果。如果把一个 LED 点阵屏所 有像素对应的同一数据位点亮一遍称为一场的话，那么 8 位数据共需 8 场显示完，称为“8 场原理”。理论上讲，8 场即可显示出 256 级灰度，然而通过表 2 可看 出，即使数据为 FFH 时，在 8T 时间内也只是点亮了 255T/128 时间。关断时间可接近 6T，点亮时间仅为总时间的约 25%，因此，8 场原理虽也能实现 256 级灰度显示，但亮度损失太大。为了

表 1 数据位点亮与关断的时间分配

数据位	点亮时间	关断时间	总时间
D0	T/128	T-T/128	T
D1	T/64	T-T/64	T
D2	T/32	T-T/32	T
D3	T/16	T-/16	T
D4	T/8	T-T/8	T
D5	T/4	T-T/4	T
D6	T/2	T-T/2	T
D7	T	0	T

表 2 00H 到 FFH 时的不同点亮时间

数据	点亮时间	关断时间	总时间
00H	0	8T	8T
01H	T/128	8T-T/128	8T
02H	2T/128	8T-2T/128	8T
03H	3T/128	8T-3T/128	8T
⋮	⋮	⋮	⋮
FFH	255T/128	8T-255T/128	8T

提高亮度，可采用“19 场原理”，即 8 位数据分 19 场显示完，其中 D7 位数据连续显示 8 场，D6 位连续显示 4 场， 依次递减。表 3 列出了各位的点亮与关断时间。由表 3 可推导出数据从 00H~FFH 范围的总点亮时间，如表 4 所

表 3 分 19 场显示时各位的点亮与关断时间

数据位	点亮时间	关断时间	总时间
D7	8T	0	8T
D6	4T	0	4T
D5	2T	0	2T
D4	T	0	T
D3	T/2	T/2	T
D2	T/4	3T/4	T
D1	T/8	7T/8	T
D0	T/16	15T/16	T

表 4 19 场显示时 00H~FFH 范围的总点亮时间

数据	点亮时间	总时间
00H	0	19T
01H	T/16	19T
02H	2T/16	19T
03H	3T/16	19T
⋮	⋮	⋮
FFH	255T/16	19T

示。在 19T 时间内，最大点亮时间可达近 16T， 占总时间的 84.21%，远大于“8 场原理”的 25%。数据每增 1，点亮时间增加了 T/16 ，该值大于“8 场原理”的 T/128。所以 ，“19 场原理”较“ 8 场原理”的对比度更明显，图像层次分明、表现力强。

电路设计

256 级灰度 LED 点阵屏通常要具有能远程同步实时显示计算机视频信号的功能，涉及到的电路包括：数字视频信号的采集、数字信号的格式转换及非线性校正、 远程传输及接收、灰度显示控制电路、LED 点阵显示电路等。 本文重点讨论“灰度显示控制电路”的设计，控制对象以红、绿双基色 LED 点阵屏、1/16 扫描显示电路为例。FPGA 内部电路如图 1 所示。因为被控对象为 1/16 扫描显示电路，所以显示屏每 16 行只需要一路数据信号即可。DRout1、 DGout1 即为第一个 16 行的红、绿基色输出信号；DRout2、DGout2 为第 2 个 16 行的红、绿基色输出信号。以此类推。Ha、Hb、Hc、Hd 的二进制编码，定义当前的数据输出应是 16 行中的哪一行。CP 信号为数据串行输出的同步移位脉冲。LE 信号为一行串行数据输出结束后的锁存脉冲, LE 每有效一次，Ha、Hb、Hc、Hd 二进制编码状态增 1。EA 为灰度控制信号，其宽度为在一个时间

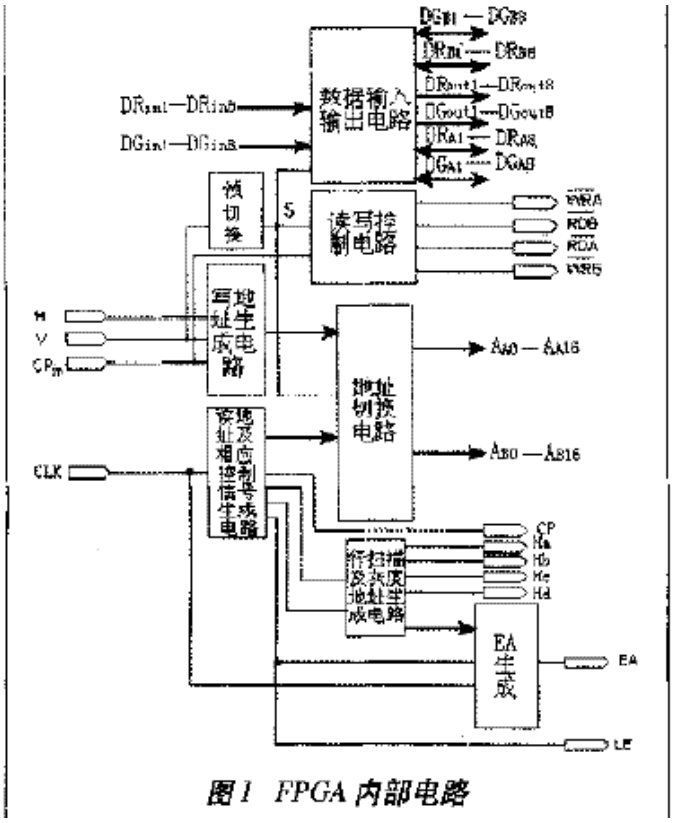

图 1 FPGA 内部电路

单位 T 内 LED 的点亮时间。当然, 不同的数据位其宽度不同, 具体由表 3 决定。一个时间单位 T 即一行串行数据的传输时间，也即 LE 信号的周期，其大小取决于屏宽的像素点数量和 CP 信号的频率。DRin1~8 和 DGin1~8 为红、绿数据输入信号，分别对应第 1 个 16 行点阵区到第 8 个 16 行点阵区。Cpin 为同步脉冲，一个脉冲对应一位数据，8 个脉冲对应一个像素点的 8 位数据 输入。H 信号为行同步脉冲，一行数据输入结束，H 信号有效一次。V 为帧同步脉冲，一帧(16 行)数据输入结束，V 信号有效一次。上述信号均为前级系统提供的信号。FPGA 外部接有两组高速静态 RAM(图中未画出)，DRA1~8、DGA1~8 为 A 组 R A M 的红、绿数据线，DRB1~8、DGB1~8 为 B 组 RAM 的红、绿数据线；/WRA、/RDA 为 A 组的读、写控制信号，/WRB、/RDB 为 B 组的读、写控制信号；AA0~16 为 A 组的地址线，AB0~16 为 B 组的地址线。使用两组 RAM 的目的是保证对 RAM 的读写操作能同时进行。当写 R A M (A) 时，读 R A M (B)；当写 RAM(B) 时，读 RAM(A)。二者的写/读切换由帧信号 V 控制。V 每有效一次，就进行一次切换。Cpin 为前级系统提供的写脉冲，同时亦作为 写地址生成电路的计数脉冲，计数地址范围为 A0~A16, 共 128K 字节, 其中 A0~A2 为灰度位数据地址(决定访问 8 位的哪一位)。A 3 ~ A 1 2 为 X 方向的像素地址，A13~A16 为 Y 方向的像素地址，即行地址。H 信号到来时， 清零 A0~A12，同时 A13~A16 地址加 1。V 信号到来时，A0~A12 及 A13~A16 全部清零。上述地址作为 RAM 的写地址。CLK 为读地址生成电路计数脉冲(外电路提供)，计数地址范围亦为 A0~A16, 共 128K 字节, 其中 A 0 ~ A 9 为 X 方向的像素地址，A10~A13 为 Y 方向的像素地址，即行地址。A14~A16 为灰度位数据地址。上述地址 作为 RAM 的读地址，这些地址的变化规律应符合“19 场原理”对地址要求的变化规律，即：A0~A9 计满后清零，产生一个行信号即 LE 信号。LE 信号作为 A10~A13 的计数脉冲，A10~A13 计满后清零，产生一个场信号。场信号作为 A 1 4 ~ A 1 6 的计数脉冲。不过，A14~A16 并不是一简单的二进制计数，其规律如表 5 所示。为了能正确地读取写到 RAM 中的数据，生成的读地址应按表 6 所示的方法与 RAM 连接。读写控制电路的作用是向两组 RAM 提供读写控制信号，逻辑关系如表 7 所示。数据输入/输出电路的作用是切换数据的传输方向，如表 8 所示。帧切 换电路的作用是产生上述电路所需要的切换信号 S。实现的方法是，帧同步脉冲 V 每有效一次，S 的逻辑状态翻转一次。帧切换电路保证了两组 RAM 随 V 信号不断进行读写转换。灰度信号生成电路产生被控对象需要的 E A 信号，它随读地址 A14、A15、A16 的状态而变化。逻辑关系如表 9 所示。依据帧周期 Tp=20ms，一帧=19 场原理，可得如下计算结果： 场周期 Tv=Tp/19=1.05ms; 行周期 T=Tv/16=66ms; 输出移位脉冲周期 Tcp=T/1024=64ns;输出移位脉冲频率 fcp=1/T cp= 1 5 . 6 M H z。C L K 信号频率 fclk=fcp=15.6MHz; 实际应用时，选取 CLK 时钟信号频率为 16MHz。在 MAX PLUSII10.0 环境下，使用图形和硬件描述语言完成了以上电路的设计。FPGA 选型及仿真结果由图 1 可知，FPGA 必须提供 113 个 I/O 引脚，内部资源、工作频率须满足电路设计要求。采用 A l t e r a 公司的 A C E X 1 K 系列 EP1K10QC208-3 芯片，该 FPGA 芯片速度高、价位低、有 114 个 I/O 引脚，576 个逻辑宏单元，可兼容输入输出电路的 TTL 电平。仿真结果报告：引脚利用率达 99%，内部逻辑单元利用率达 85%，达到了充分利用资源、提高性价比的目的。