

运算放大器的稳定性

第 5 部分（共 15 部分）：单电源缓冲器电路的实际设计

作者：Tim Green, 德州仪器公司

本系列的第 5 部分将着重讨论“实际”应用，我们到目前为止所学会的技巧和经验都将得到应用，帮助我们方便地稳定一个复杂的电路。我们将设计一个通用单电源缓冲放大器（将 2.1V 缓冲至 4.1V 参考），5V 单电源供电使它能够线性地工作，可提供较大的输出电流 (>13mA)，并在 -40°C 至 +125°C 工作温度范围的飘移为 0.4V。虽然可将该电路用于许多应用中，但我们仍将简要介绍一下促使给出这个设计的原因，并解释为何没有现成的电路可用来完成此项工作。我们这里采用综合技术来开发器件网络，以提供一个证明对许多运放应用都有益的稳定电路。

技术背景：

在实际应用中，惠斯通电桥的一个常见应用就是压力测量。如图 5.1 所示，随着所加压力变化，很多这种压力传感器都具有明显的二阶非线性特性。

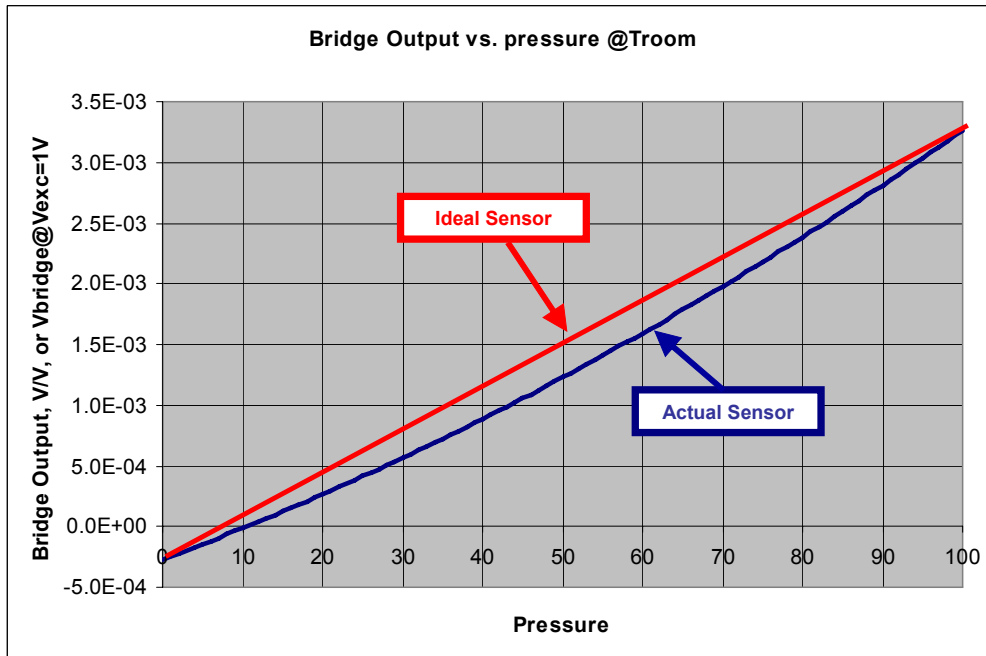


图 5.1 典型实际传感器输出比所加压力

图字（上、下）：室温下电桥输出与压力关系、理想传感器、实际传感器；
坐标轴字：X 轴：压力、Y 轴：V_{exc}=1V 时的电桥输出（V/V 或 V_{bridge}）

除了随所加压力变化而产生的非线性外，许多压力传感器随温度变化在偏移量和范围上也有非线性特性。用来校正这些误差的一种现代解决方法是在压力传感器中内置电子电路，然后将电子电路与压力传感器作为一个模块，随着温度的变化进行数字校准。一种适用于此类用途的 IC 是由德州仪器公司提供的 Burr-Brown 产品 PGA309（如图 5.2 所示）。此输出电压已经过数字校准的传感器，其信号调整 IC 包含有一个模拟传感器线性化电路，该电路将输出电压的一部分反馈至传感器的电压激励引脚，从而以 20:1 的改良比例对二阶非线性进行线性化。因此，V_{EXC} 引脚将随传感器所加压力的变化而对其电压进行调整。此电路的一个局限就是其传感器激励引脚 V_{EXC}，在工作温度范围内限制在 5mA 最大输出电流上。这里我们遇到了一个两难的境地，即如何用一个阻抗来激励要求电流超过 5mA 的传感器。

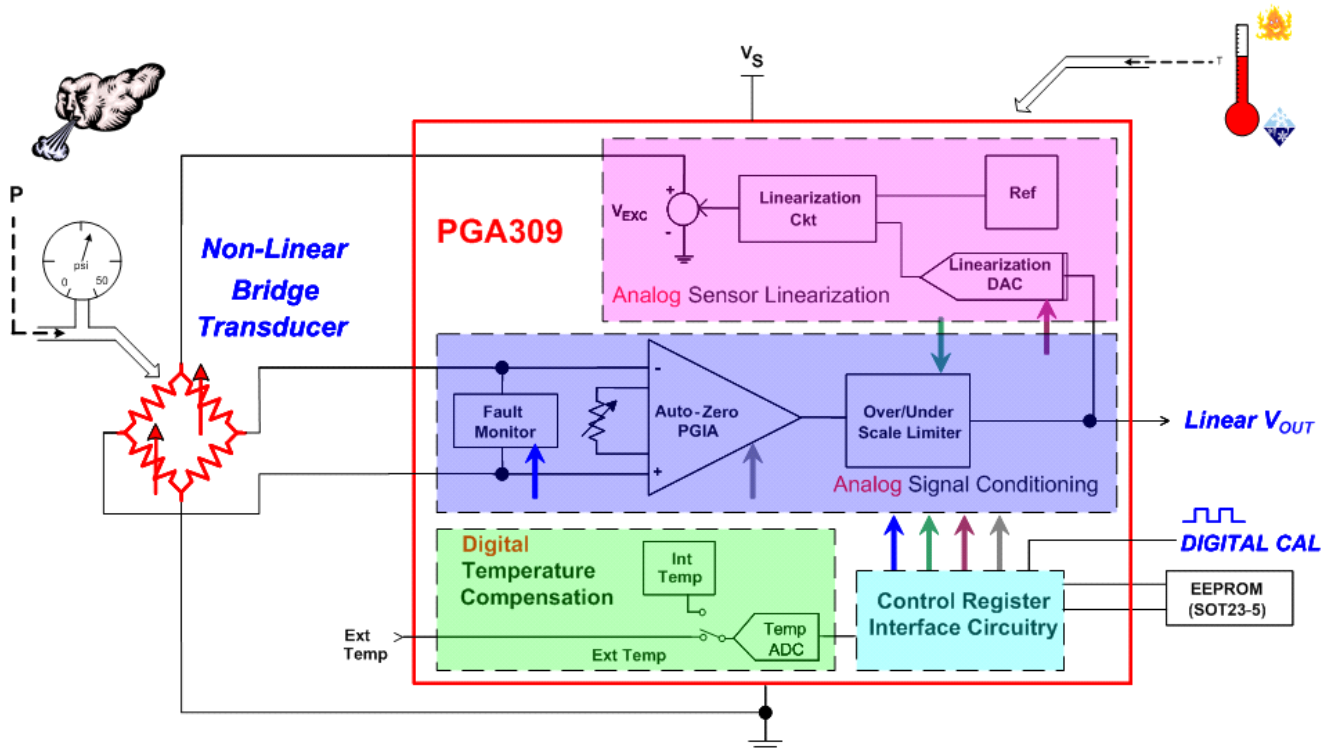


图 5.2: 现代数字校准传感器信号调整器

图字（左右、上下）：非线性电传式传感器、线性化电路、参考、模拟传感器线性化电路、线性化 DAC、故障监视器、自动零点 PGA、过/欠刻度限幅器、模拟信号调整电路、外部温度、数字温度补偿、内部温度、温度 ADC、控制寄存器接口电路、线性 V_{out} 、数字计算。

设计要求:

图 5.3 详细给出了主要的设计指标。我们希望用一个容差为 10% 的 5V 电源来供电。我们需要一个统一增益缓冲器，因为我们不希望 PGA309 线性化环路中引入任何误差。由于 PGA309 在 V_{EXC} 引脚上有很宽的可编程范围，因此我们需要容纳从 2.1V 至 4.1V 的电压范围。我们最小的传感器阻值为 300Ω。因此，对于最大 4.1V 的输出电压，我们至少需要提供 13.6mA 的电流。PGA309 线性化电路具有大约 35 kHz 的带宽。由于环路闭合的方式，我们的缓冲器带宽至少要等于或大于线性化环路的带宽。我们将目标定为 100kHz 的小信号闭环带宽。对于我们感兴趣的传感器应用来说，大信号响应若有 1V/μs 的摆动速率就足够了。该设计在从 -40°C 至 +125°C 的温度范围内内应该是稳定工作的。因为我们不希望由于缓冲器的原因而在最后应用电路中引入任何额外的误差，因此我们需要一个在运放共模输入范围内不会有任何交叉失真的电路。我们将简要讨论一下这个问题，因为它几乎对所有 CMOS 单电源轨至轨输入 (RRI) 运放来说都是一个问题。

Requirements:

- Single Supply ($4.5V < V_S < 5.5V$)
- Unity Gain Buffer
- $V_{IN} = 2.1V$ to 4.1V
- $R_L = 300\Omega$ to 820Ω
- $I_{OUT\ MAX} = 13.6mA \rightarrow (4.1V / 300\Omega)$
- Small Signal Bandwidth 100kHz
- Large Signal Slew Rate 1V/μs
- $-40^\circ C < \text{Operating Temperature} < +125^\circ C$
- No crossover distortion in CM range of Op Amp Input

图 5.3 单电源、大电流缓冲器指标

图字:

指标:

- 单电源 ($4.5V < V_s < 5.5V$)
- 统一增益缓冲器
- $V_{IN} = 2.1V$ 至 $4.1V$
- $R_L = 300\Omega$ 到 820Ω
- $I_{OUT\ MAX} = 13.6mA \rightarrow (4.1V/300\Omega)$
- 小信号带宽 $100kHz$
- 大信号摆动速率 $1V/\mu s$
- $-40^\circ C < \text{工作温度} < +125^\circ C$
- 在运放的共模范围内不能有交叉失真

对于轨至轨输入运放，传统的解决方案是将N沟道和P沟道MOSFET并联使用来实现轨以外的摆动。问题是这里存在着一个过渡区，如图 5.4 所示，此处两对晶体管都是打开。在此区域，PSR、CMR、偏移电压及偏移漂移都与通常情况不同。现代解决方法采用正在申请专利的低噪声电荷泵浦技术，来避免使用传统技术中的并联N沟道与P沟道MOSFET。这样就能消除偏移量被打乱的过渡区。在整个共模范围内，OPA363 和 OPA364 均有线性偏移。上面给出的典型曲线是对 1.8V 电源来说的。当电源电压升到 +5V 时， V_{OS} 的变化及非线性特性将变得更差。因此，为获得共模输入电压下最好的线性度，我们将采用 OPA364。

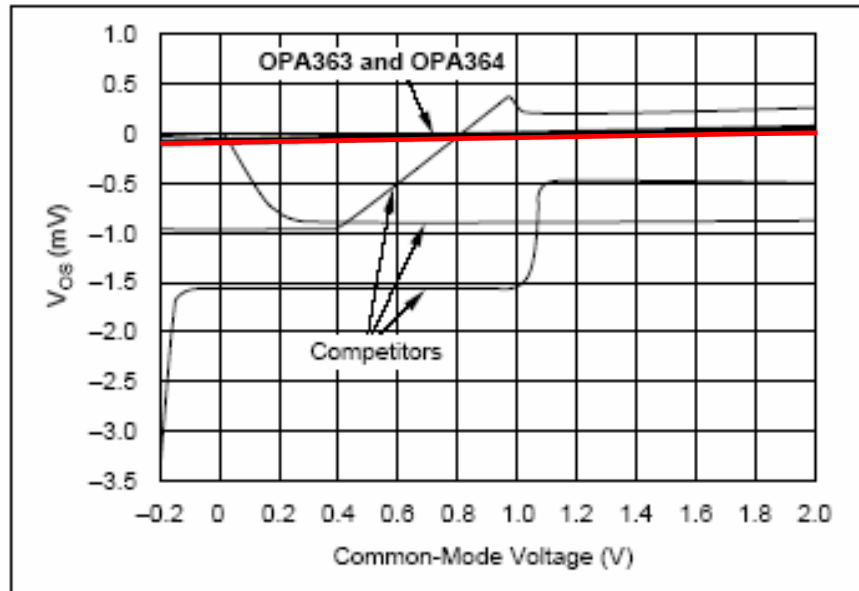


图 5.4: 单电源、RRI 运放 V_{OS} 比共模输入电压关系曲线

图字: 竞争产品、共模电压 (V)

图 5.5 给出了 OPA364 的一些关键指标:

OPA364 RRIO Op Amp

Supply: 1.8V to 5.5V
 Temp Range: -40C to +125C
 Common Mode Voltage Range: (V-)-0.1V to (V+)+0.1V
 Slew Rate: 5V/ μ s
 Gain Bandwidth: 7MHz

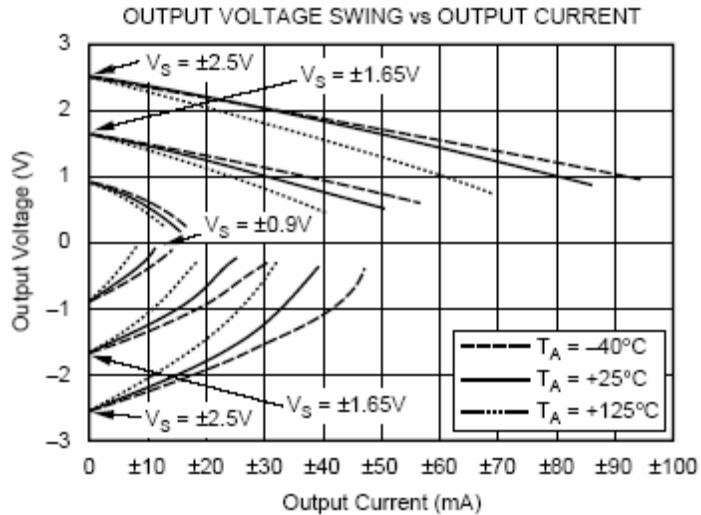


图 5.5: OPA364 关键指标

图字: OPA364 RRIO 运放

电源电压: 1.8V 至 5.5V

温度范围: -40°C 至 +125°C

共模电压范围: (V-)-0.1V 至 (V+)+0.1V

摆动速率: 5V/ μ s

增益带宽: 7MHz

输出电压摆动与输出电流之间的关系、输出电压 (V)、输出电流 (mA)

设计拓扑:

既然我们知道我们所拥有的电压空间很少, 那么让我们使用双极型晶体管而不是 MOSFET, 因为双极型晶体管的 V_{be} 大约为 0.65V, 而 MOSFET 的栅-源电压可能为 2V 或更大。此外, 让我们使用如图 5.6 所示的射极跟随器结构。由于将超出电压空间, 因此, 如图 5.6 所示, 在任何温度下都无法使用射极跟随器结构, 且在 -40°C 温度上情况最差。

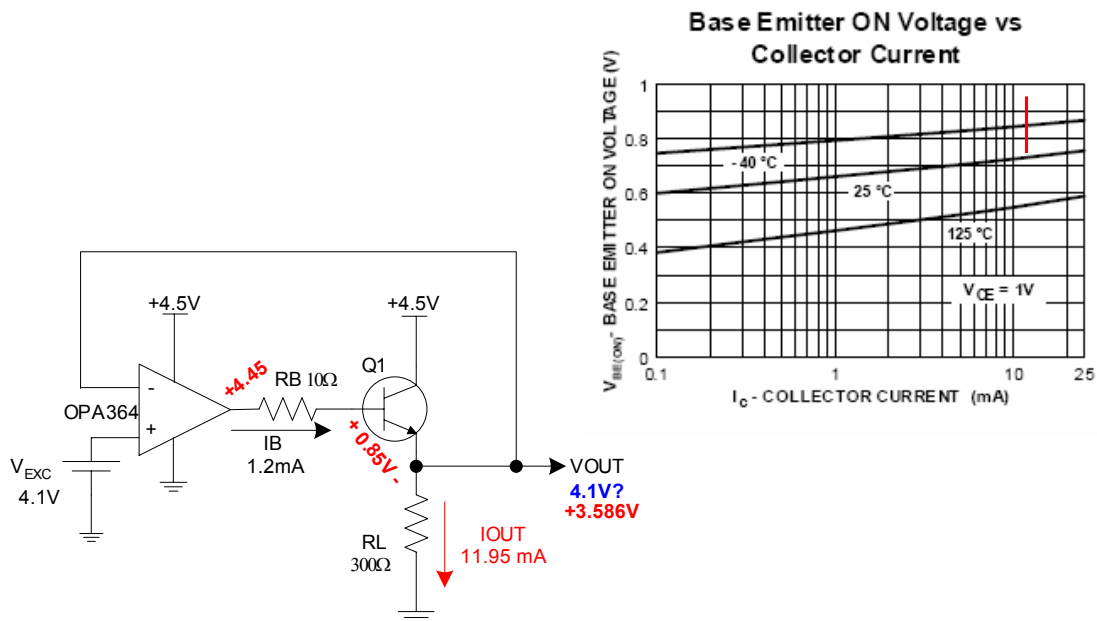
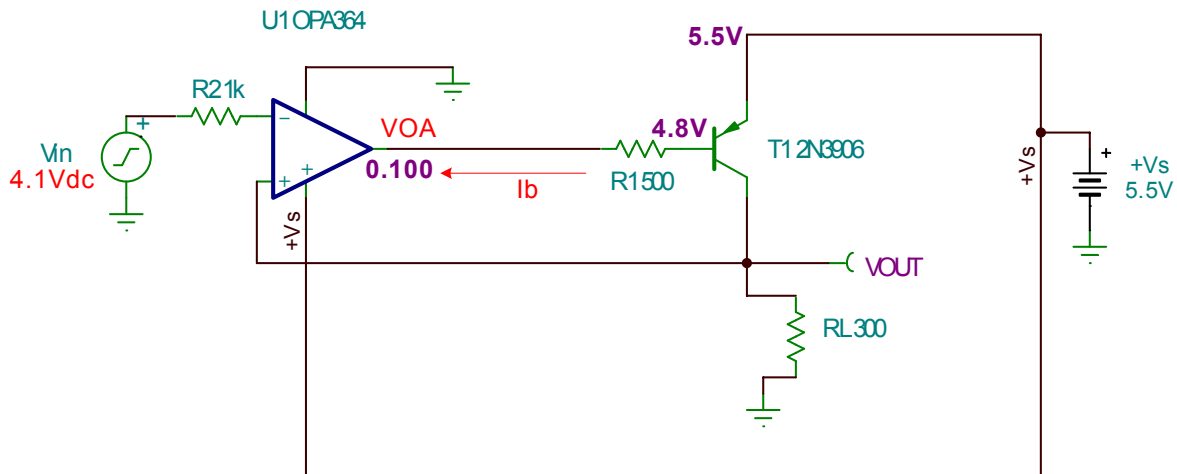


图 5.6: 使用射极跟随器? — 容易稳定!

图字: 基极和发射极导通电压与集电极电流关系、 $V_{BE(ON)}$ -基极和发射极导通电压 (V)、 I_C -集电极电流 (mA)。

让我们先保留双极型晶体管，因为我们还是只有很少的电压空间。但让我们把晶体管变成一个 PNP 型，如图 5.7 所示。现在我们看图 5.7 所示的拓扑结构时觉得它看起来有点奇怪。乍一看，我们可能认为它似乎像使用了正反馈而且即将产生振荡！但经过进一步检查后我们会发现，事实上通过 T1 我们获得了一个 180 度的反相。我们可以直观地看到随着 U1 输出的降低，更多的基极电流被驱动流过 T1 的基极，这将导致更多的电流流入 T1 的集电极并流过负载 RL。然后这又会导致 VOUT 增加。因此 U1 输出的降低将导致 VOUT 的增加。由于这个反相，我们的电路拓扑将用负输入 U1 来作为输入，而将正输入 U1 作为反馈点。

我们将增加一个 R1 来限制 OPA364 在启动或瞬态条件下所需的最大瞬态或直流电流。R1 还将运放的输出与晶体管 T1 的寄生电容进行隔离，这样就提供了一个地方，如果需要的话可方便地加入稳定性网络。



Choose PNP transistor for close swing to the rail and high current
Requires feedback into OP Amp +input due to phase inversion through transistor
Choose OPA364 for no CM crossover distortion

Assume VOA min = 0.1V
Choose R1 to limit the maximum Ib into OPA364 Output
 $I_b \text{ max} = 4.7V / 500 \text{ oms} = 9.4mA$: a reasonable value
R1 also provides "isolation" between VOA and T1 base
R1 will also allow us a potential place for stability networks to be added

图 5.7：基本缓冲放大器电路拓扑

图字：选择 PNP 晶体管以得到靠近电源轨的摆动及大电流
 要求反馈至运放+由于通过晶体管反相的输入
 选择 OPA364 避免共模交叉失真
 假定最小 VOA = 0.1V
 选择 R1 来限制流入 OPA364 输出端的最大 Ib 值
 最大 Ib = 4.7V / 500 欧姆 = 9.4mA：一个合理值
 R1 也提供了 VOA 和 T1 基极之间的“隔离”
 R1 还使我们有潜在地方来加入稳定性网络

图 5.8 详细给出了我们所需要的有关 T1——2N3906 PNP 晶体管的一些关键参数。

ON CHARACTERISTICS

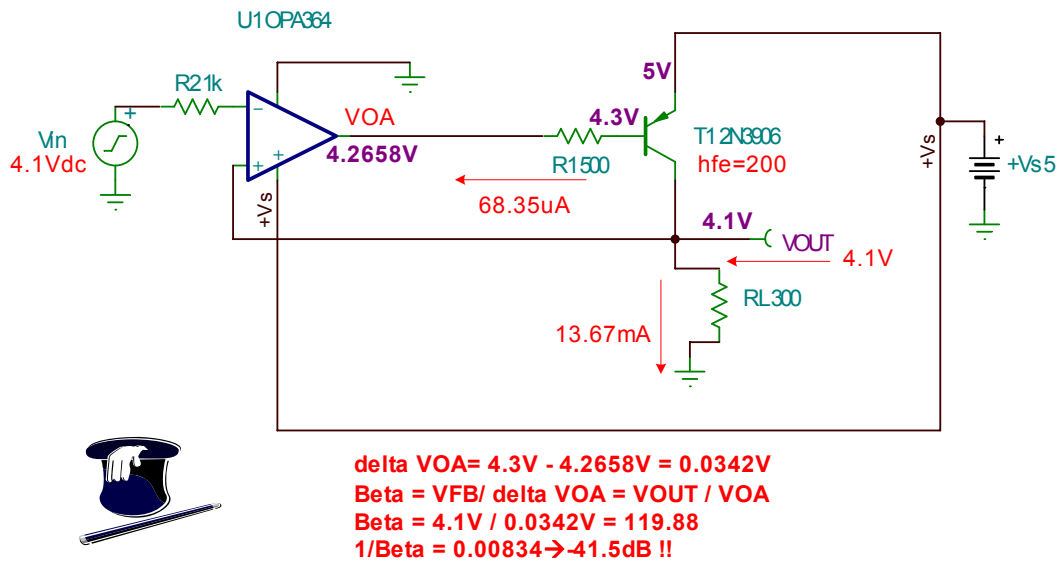
| h_{FE} | DC Current Gain * | $I_C = 0.1 \text{ mA}, V_{CE} = 1.0 \text{ V}$ $I_C = 1.0 \text{ mA}, V_{CE} = 1.0 \text{ V}$ $I_C = 10 \text{ mA}, V_{CE} = 1.0 \text{ V}$ $I_C = 50 \text{ mA}, V_{CE} = 1.0 \text{ V}$ $I_C = 100 \text{ mA}, V_{CE} = 1.0 \text{ V}$ | 60 80 100 60 30 | 300 | |
|---------------|--------------------------------------|--|-----------------------------|--------------|--------|
| $V_{CE(sat)}$ | Collector-Emitter Saturation Voltage | $I_C = 10 \text{ mA}, I_B = 1.0 \text{ mA}$ $I_C = 50 \text{ mA}, I_B = 5.0 \text{ mA}$ | | 0.25 0.4 | V V |
| $V_{BE(sat)}$ | Base-Emitter Saturation Voltage | $I_C = 10 \text{ mA}, I_B = 1.0 \text{ mA}$ $I_C = 50 \text{ mA}, I_B = 5.0 \text{ mA}$ | 0.65 | 0.85 0.95 | V V |

图 5.8: T1-2N3906 关键参数

图字: 开通特性
直流电流增益、集电极-发射极饱和电压、基极-发射极饱和电压

1/β 分析:

现在我们将开始对缓冲器电路进行稳定性分析。首先，图 5.9 详细给出了直流 $1/\beta$ 项的计算。假设 T1 拥有 $h_{fe} = 200$ 的电流增益，300Ω 负载需要从缓冲器电路上得到 4.1V 上的 13.67mA 电流。这意味着 T1 处的基极电流将需要 68.35μA。假设 T1 的压降 V_{be} 为 0.7V，我们将看到 VOA 将需要 4.2658V 电压来提供 T1 所需的基极电流。如图 5.9 所示，这意味着 OPA364 的输出电压若有 0.0342V 的变化，将导致 13.67mA 的电流流入 RL。因此，我们可以计算在此电路中与电压有关的 β 项，得到的计算值为 119.88。对直流 $1/\beta$ ，这意味着 -41.5dB 的值。对大多数运放电路而言， $1/\beta$ 通常是一个正数，但我们所开发的技术仍然有效，并使我们能分析此电路拓扑。通过在运放电路的反馈路径中增加增益，我们就得到了一个负的 $1/\beta$ 值。我们知道，在晶体管 T1 中有寄生电容，我们猜测它可能会在反馈路径中引入几个高频极点——亦即 $1/\beta$ 曲线上的零点。但无论是从器件数据资料来看，还是经过和经验丰富的 IC 设计者就如何在环路分析中方便地确定电容的影响进行长时间讨论以后，这一点也并不十分明显。因此我们将获取制造商的 SPICE 晶体管模型，并用 Tina SPICE 仿真来为我们演示它们应位于何处。



We know there is some high frequency roll-off somewhere
(due to parasitic capacitances of T1) but not sure about where?

图 5.9: 什么是直流 $1/\beta$?

图字: 我们知道在某些地方会有一些高频极点 (由于 T1 的寄生电容), 但我们不能确定在哪里?

图 5.10 显示我们如何用 Tina SPICE 电路来寻找可能出现的高频极点。请注意，我们使用了一个直流电压 V1，它设置了我们的直流工作点，这样晶体管 T1 就在其实际工作点附近被偏置。这能保证我们能获得适当的交流分析结果。

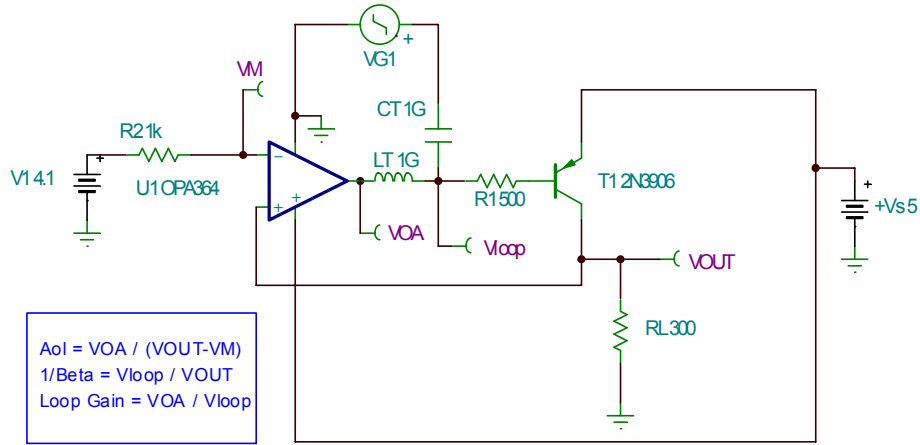


图 5.10: “高频极点在哪里?” 电路

图字: $A_{ol} = V_{OA} / (V_{OUT} - V_M)$
 $1/\beta = V_{loop} / V_{OUT}$
 环路增益 = V_{OA} / V_{loop}

图 5.11 给出了我们寻找高频极点的仿真结果。我们注意到，对 $R_L = 300\Omega$ 来说直流 $1/\beta$ 值为 -30.89dB 。我们用一阶分析得到的预测值为 -41.5dB 。如同实际的结果，仿真结果也依赖于实际使用的晶体管。对于 $R_L = 820\Omega$ ，仿真结果表明直流 $1/\beta$ 值为 -39.6dB 。我们确实希望 β 值会随负载的增加而增加 ($1/\beta$ 值降低)。VOUT 保持不变，但负载增加时 IOUT 减少，因此基极电流变小， ΔV_{OA} 也变小。这就说明，将 β 设为较大值 ($1/\beta$ 设为较小值) 时 $V_{OUT} / \Delta V_{OA}$ 将变大 (负 dB 数量级更大)。我们看到高频极点在大约 736kHz 处。为便于使用一阶分析，我们取直流 $1/\beta$ 值为 -40dB 而高频极点为 1MHz 。根据我们关于稳定性的一阶闭合速度准则，我们发现电流缓冲电路是不稳定的 (fcl 处的闭合速度为 40dB/Decade) !

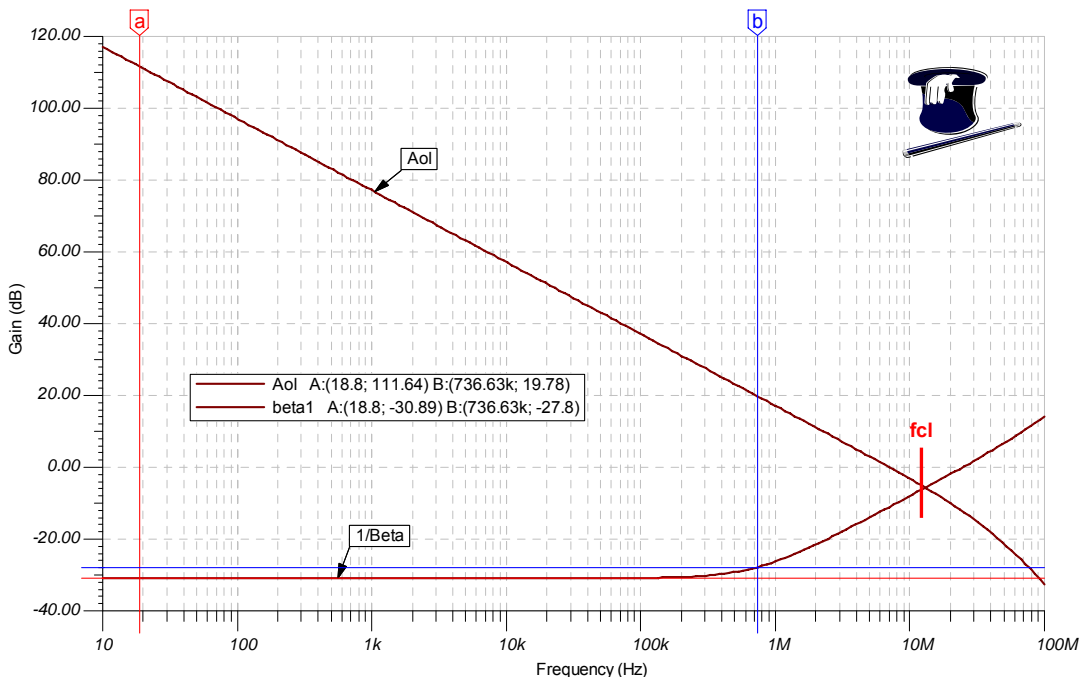


图 5.11: 找到高频极点!

作为对我们的不稳定性预测的快速验证，我们对如图 5.12 所示的现有缓冲器电路做了一个 Tina 瞬态分析，这类类似于我们的实际稳定性测试。如图 5.13 所示，我们发现它振荡得很严重！

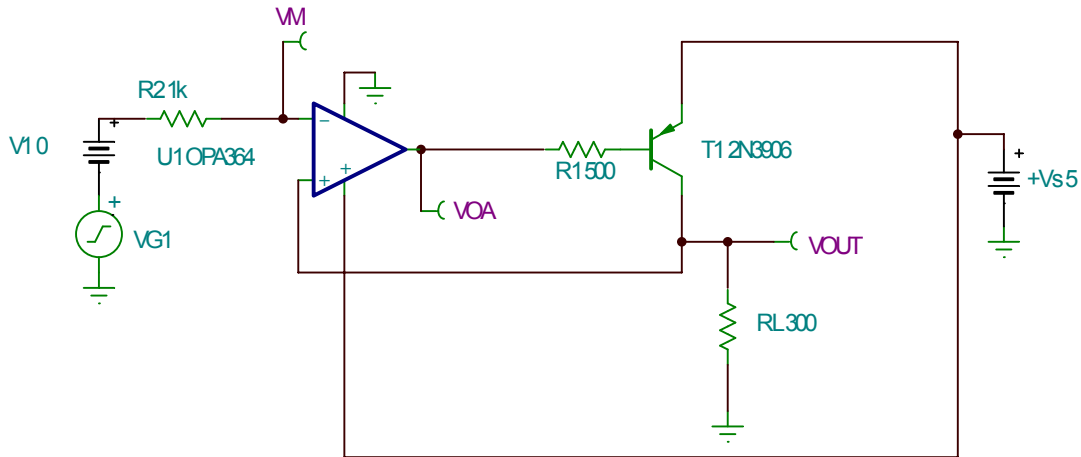


图 5.12: 瞬态分析电路 —— 缓冲器拓扑 w/o 补偿

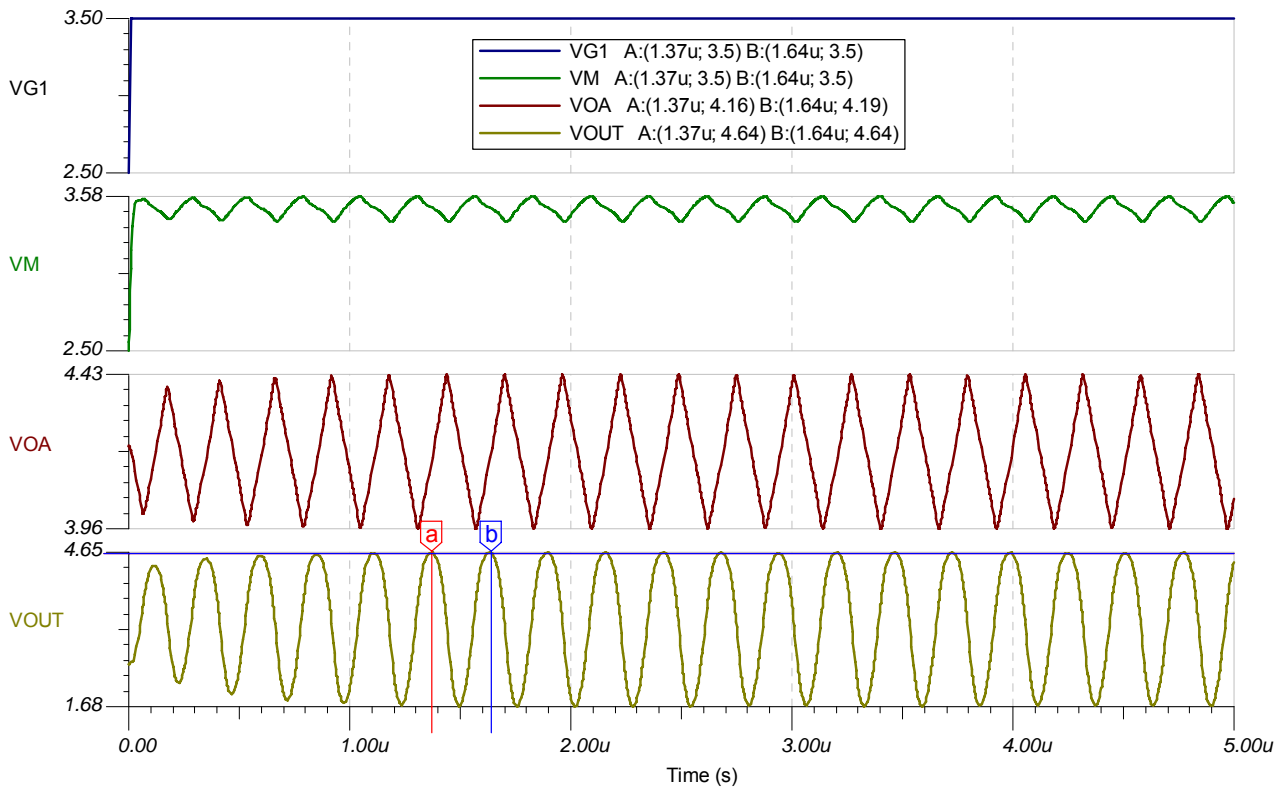


图 5.13: 瞬态分析结果 —— 缓冲器拓扑 w/o 补偿

我们在实验室建成了缓冲器拓扑 w/o 补偿结构，以 100Hz 方波激励的结果如图 5.14 所示。现在，通过预计电路的不稳定性，我们“闭合了环路”。通过用一阶分析预测，再用 Tina SPICE 仿真，最后在实际电路中证明这个电路如同预计的一样，是不稳定的。振荡的准确频率与 SPICE 仿真结果并不相同，这是因为使用了别的晶体管来代替 T1，就算实验室有 2N3906 可用的话，也无法得到 2N3906 在 SPICE 模型中所具有的确切参数。

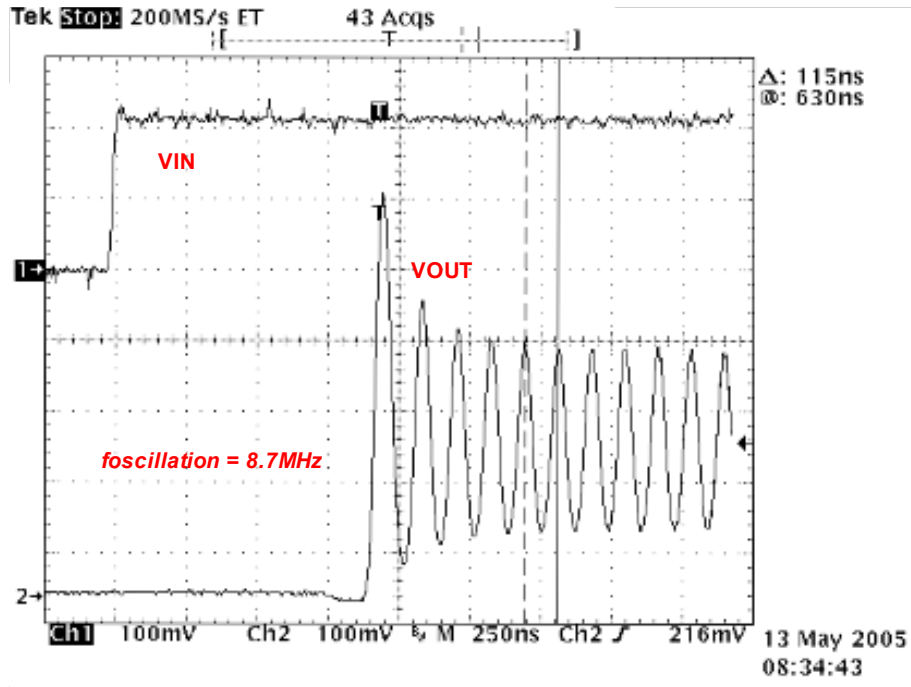


图 5.14: “实际瞬态稳定性测试结果” —— 缓冲器拓扑 w/o 补偿

为进一步进行我们的一阶稳定性分析，我们需要从数据资料中找到 OPA364 的 Aol 曲线，曲线如图 5.15 所示。

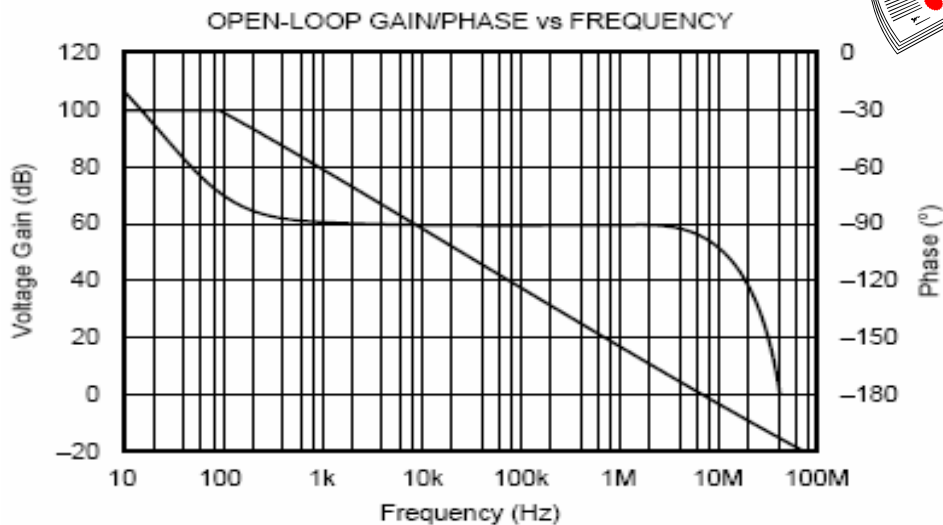


图 5.15: OPA364 数据资料 Aol 曲线

图字（上下、左右）：开环增益/相位与频率关系、电压增益（dB）、相位（°）、频率（Hz）。

在图 5.16 中，我们分析了缓冲器电路拓扑 w/o 补偿原理，并给出了采用两条反馈路径的解决方案。我们的 Aol 曲线是取自厂商的数据资料（见图 5.15）。标为“缓冲器拓扑 w/o 补偿”的曲线是我们的直流 Beta 分析结果，我们用 Tina SPICE 仿真来找出高频极点。现在我们利用十倍频程经验法则来调整 FB#1，这是我们缓冲电路中已有的反馈路径。我们注意到，在 fcl 处，我们想得到 20dB/decade 的闭合速度。从 -40dB 到 0dB 的距离较大，因此我们每次用掉数量上的一个十倍频程，这使我们得到如图 5.16 所示的阶跃式上升，频率上也是如此。一旦我们在 FB#1 曲线上达到 1MHz，由于晶体管电容的寄生效应，我们需要加入高频极点（从 1/Beta w/no 补偿曲线）。我们对 FB#1 进行了所有能做的工作，但我们注意到它与 Aol 曲线以 40dB/decade 的闭合速度相交。现在我们将增

加第二条反馈路径 **FB#2**。如果我们能将它加入我们的缓冲电路中（如图所示），则我们可以看到它将在频率大于 1MHz 时占优势，且 $1/\beta$ 曲线和 A_{ol} 曲线将以 20dB/decade 的闭合速度相交！！

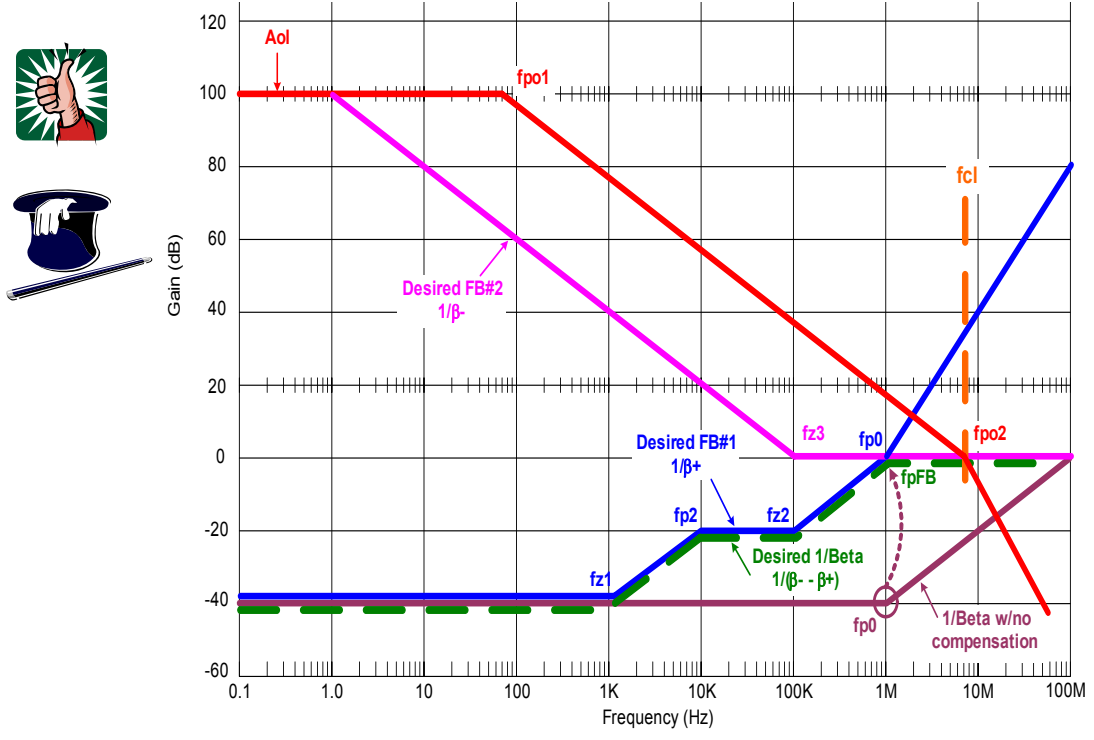


图 5.16: 1 阶分析: A_{ol} 与 $1/\beta$ 曲线

图字: 所期望的 $FB\#2$ $1/\beta_-$ 、所期望的 $FB\#1$ $1/\beta_+$ 、所期望的 $1/\beta$ $1/(\beta-\beta_+)$ 、 $1/\beta$ w/no 补偿

如果我们将 $1/\beta$ 曲线转化成 β 曲线的话，我们将更容易将需的 $1/\beta$ 曲线综合至器件中。正如我们在反馈环路中“围绕”缓冲器电路一样，我们可以更容易地知道在哪里增加所需的极点和零点。如图 5.17 所示，我们利用有关 β 和 $1/\beta$ 互为倒数的知识，可方便地画出 β 曲线。在 $FB\#2$ 中我们需要增加 fz_3 。而在 $FB\#1$ 中我们则需要增加 fz_1 、 fp_2 与 fz_2 。由于晶体管 T1 的寄生电容， fp_0 已经存在。



For Ease of Circuit Implementation – Use β Plots

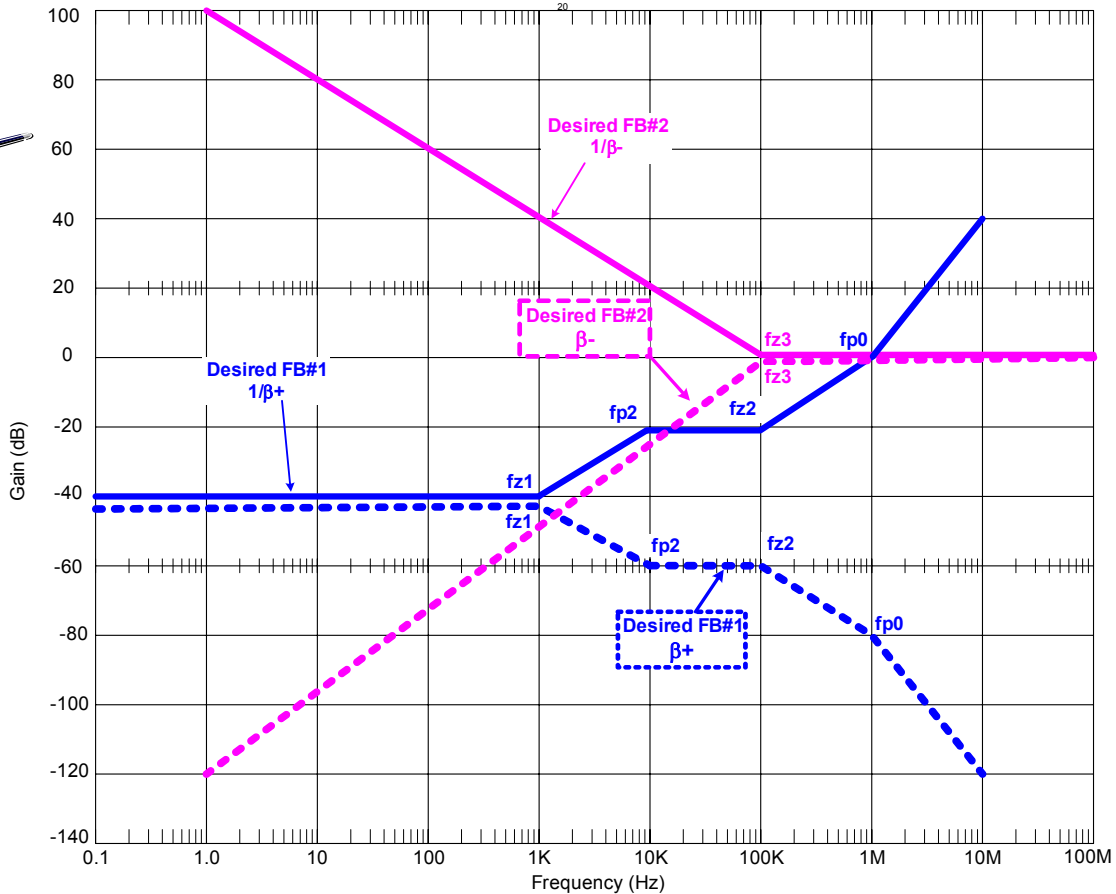
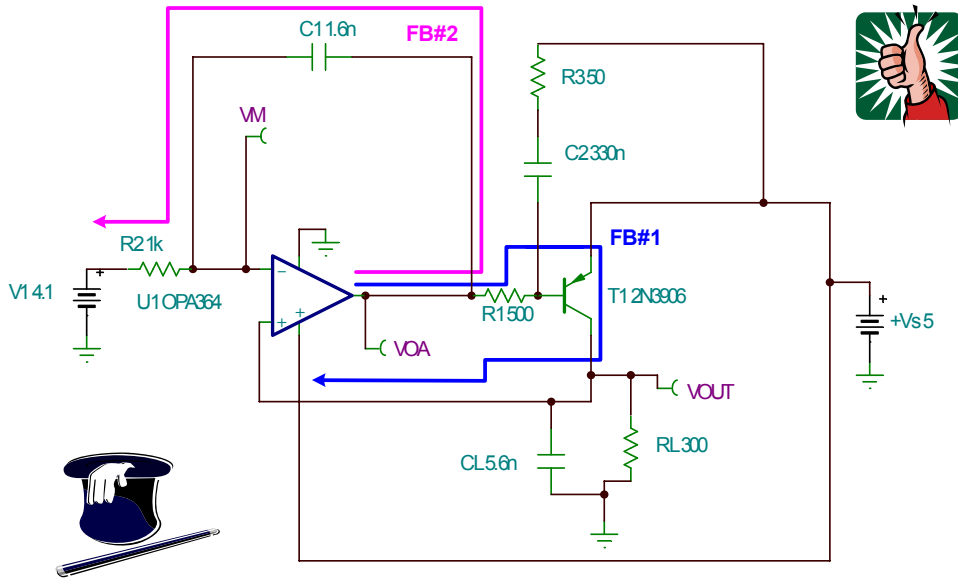


图 5.17: 得自 $1/\beta+$ 的 $\beta+$ 曲线与得自 $1/\beta-$ 的 $\beta-$ 曲线

当我们看图 5.18 时，我们首先环顾 FB#1 周围，找出在哪里我们可以方便的加入 $fz1$ 、 $fp2$ 及 $fz2$ 。由于在我们以 $\beta+$ 视图沿着环路的行走过程中， $fz1$ 是一个极点，因此我们可以方便的通过增加 $C2$ 来加入该点，且可以利用已有的 $R1$ 来使用它。 $fp2$ 作为 $\beta+$ 视图中的零点，可以通过电阻 $R3$ 与 $C2$ 的串联来加入。 $fz2$ 作为 $\beta+$ 视图中的极点，可以通过增加电容 CL 与负载电阻 RL 并联来实现。事实上， CL 起了双重作用。除有助于提高回路的稳定性外，它还作为阻性电桥负载的局部高频旁路，这里用 RL 来表示。FB#2 要求我们加入 $\beta-$ 视图中的极点 $fz3$ 。这可通过增加反馈电容 $C1$ 与输入电阻 $R2$ 来实现。鉴于完整性，我们考虑是否要将 RO 的影响包括进来， RO 是我们在计算 β 和 $1/\beta$ 时运放的开环输出电阻。对于 OPA364， RO 为 160Ω 。对 FB#2 来说，VOA 是 RO 与 $T1$ 基极输入（它看起来是个大阻抗）的中点。对于 FB#1， RO 与 $R1$ 串联，为 500Ω ，这对我们的一阶分析来说并不会带来很大的误差。因此在此电路中，对于一阶分析，我们可以忽略 RO 的影响，同时检查与使用 Tina SPICE 仿真的结果是否相接近。



FB#1 (1/β+):
 $fz1 = 1 / (2 \cdot \pi \cdot R1 \cdot C2)$
 $fz1 = 1\text{kHz}$
(Pole in β+ Plot)

$fp2 = 1 / (2 \cdot \pi \cdot R3 \cdot C2)$
 $fp2 = 10\text{kHz}$
(Zero in β+ Plot)

$fz2 = 1 / (2 \cdot \pi \cdot RL \cdot CL)$
 $fz2 = 100\text{kHz}$
(Pole in β+ Plot)

FB#2 (1/β-):
 $fz3 = 1 / (2 \cdot \pi \cdot R2 \cdot C1)$
 $fz3 = 100\text{kHz}$
(Pole in β- Plot)

From our Loop Stability Tricks and Rules-Of-Thumb:

Look at FB#1 (1/β+) and FB#2 (1/β-) and add poles and zeros where our desired 1/β breakpoints are. Often this is easier to do from a β+ and β- plot.

Remember a smaller V_{FB} → Smaller β → Larger 1/β

图 5.18: 用于稳定性的极点与零点综合

图字:

- (β+曲线上的极点)
- (β+曲线上的零点)
- (β+曲线上的极点)
- (β-曲线上的极点)

从我们的环路稳定性技巧和经验可得:

考虑 FB#1 (β+) 和 FB#2 (β-), 在我们所预计的 1/β 断点处增加极点与零点, 这通常在 β+ 和 β- 曲线上较容易实现。请记住: V_{FB} 越小 → β 越小 → 1/β 越大

CMOS 放大器与 Aol 注意点:

一个关于 Aol 和 CMOS 的注意点。随着 CMOS 放大器输出负载的增加 (负载阻值变小), Aol 曲线的直流部分在数值上减小。对如图 5.19 所示的 OPA364 电路, 我们看到 VOUT 上有一个 2MΩ 的负载。图 5.20 给出了用这个负载时, 对 Aol 曲线的 Tina SPICE 仿真结果。我们注意到图 5.20 中的直流 Aol 值在 10Hz 时扩大到大约 118dB, 这与图 5.15 中的数据资料 Aol 曲线不相符。

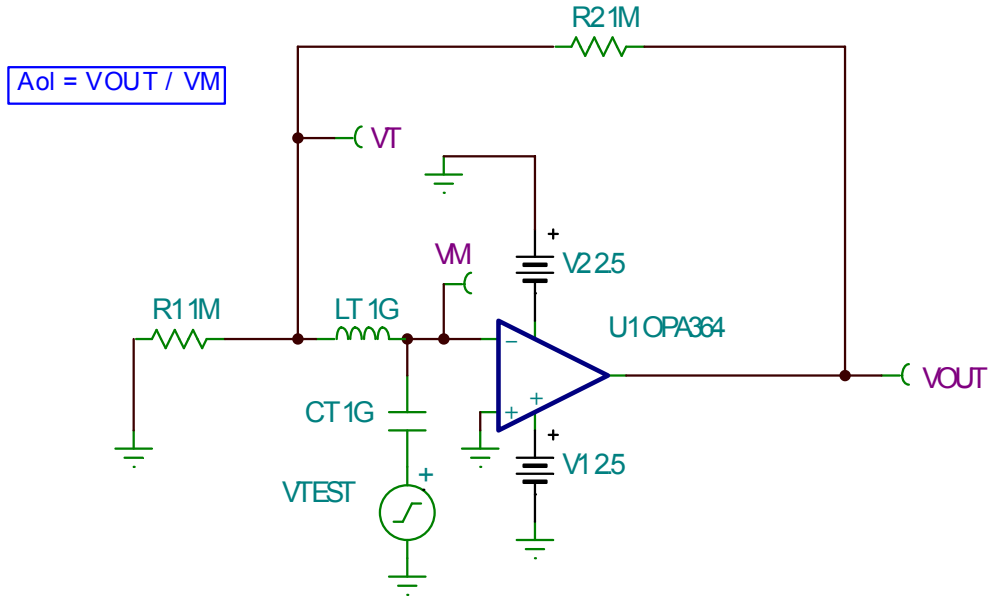


图 5.19: OPA364 Aol 测试电路 w/Load = 2MΩ

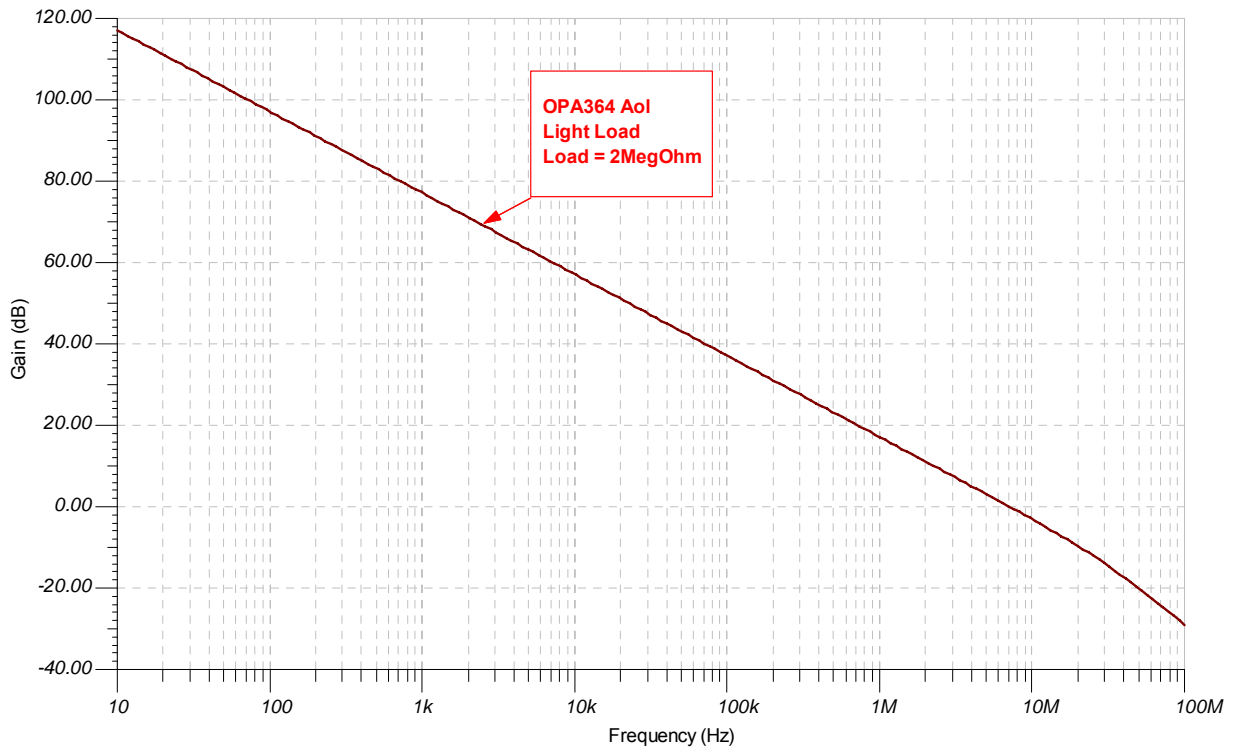


图 5.20: OPA364 Aol w/Load = 2MΩ

图 5.21 所示电路在 OPA364 的输出上加了 10kΩ 的负载。这是在 OPA364 数据资料 Aol 曲线中给定的。我们对负载为 10kΩ 的 OPA364 (图 5.22) 所进行的 Tina SPICE 仿真结果与数据资料 Aol 曲线相符。因此，在单电源缓冲器 Tina SPICE 分析中，所给出的未加负载的 OPA364 Aol 曲线也是正确的。因此这个 OPA364 SPICE 模型准确地模拟了 OPA364 CMOS 放大器在实际电路中的行为，即低频情况下输出负载改变时 Aol 的变化。

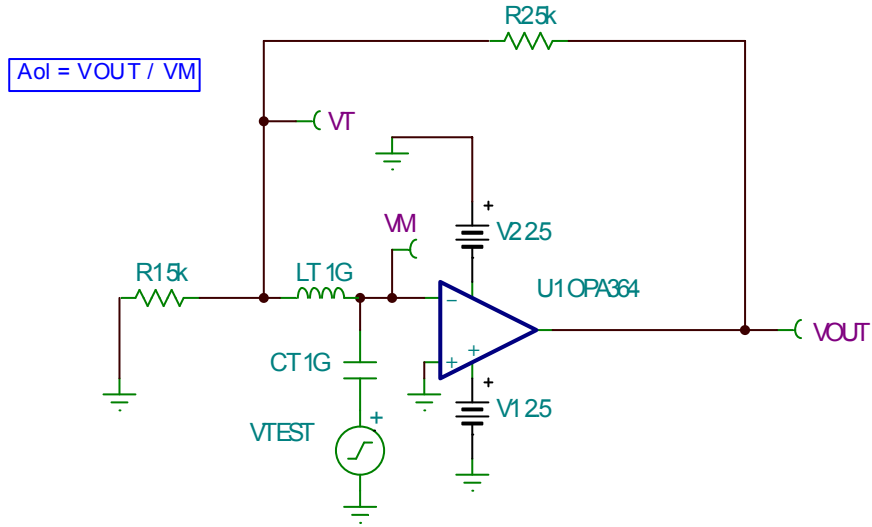


图 5.21: OPA364 Aol 测试电路 w/Load = 10KΩ (数据资料 Aol 曲线)

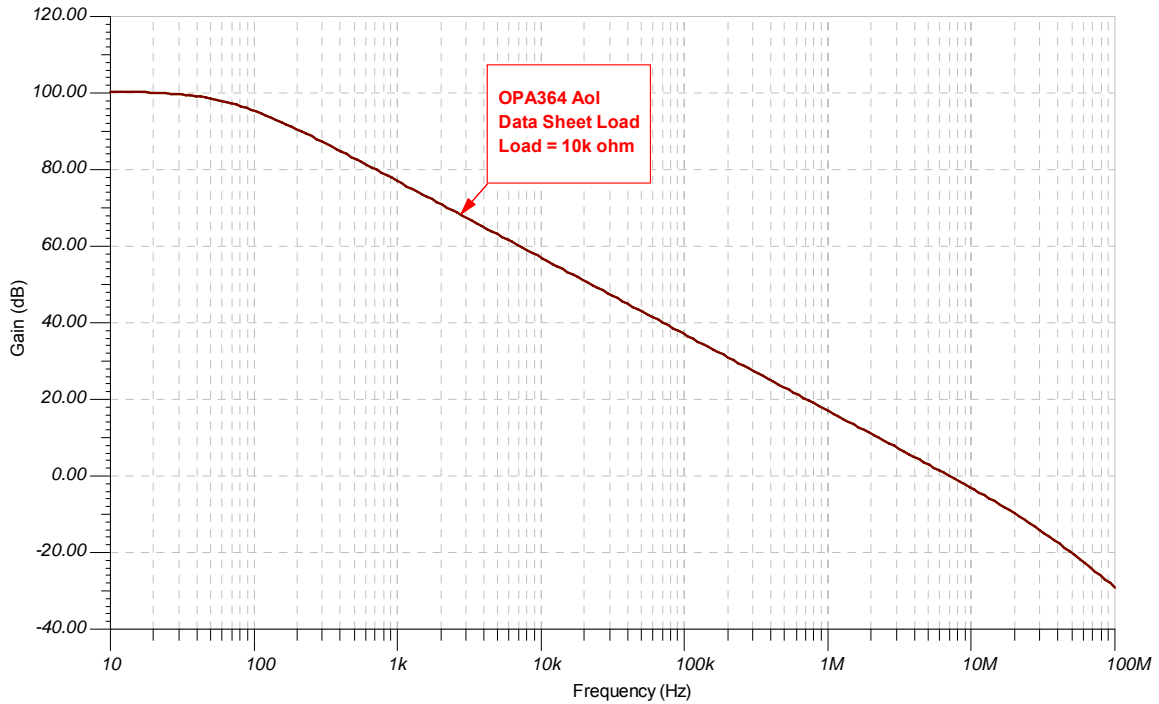


图 5.22: OPA364 Aol w/Load = 10kΩ (数据资料 Aol 曲线)

图字: OPA364 Aol 曲线、数据资料负载、Load=10kΩ、增益、频率

最终缓冲器分析:

现在我们将用如图 5.23 所示电路来对我们的补偿缓冲放大器电路进行 Tina SPICE 分析。通过一个 Tina SPICE 交流分析运算, 我们能得到图 5.23 列出的公式所表示的所有感兴趣曲线。

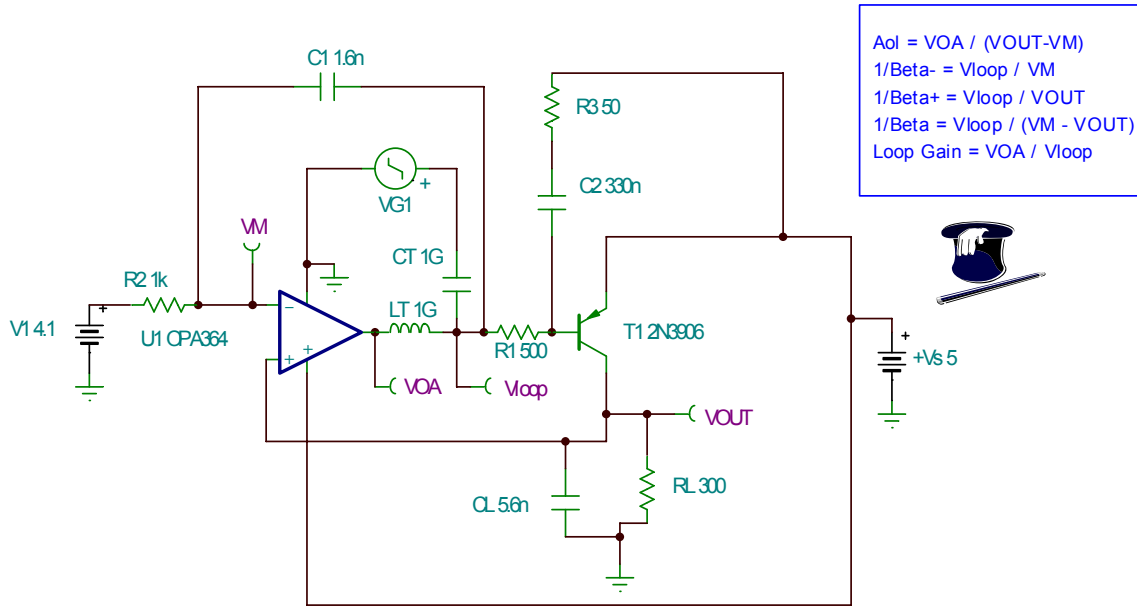


图 5.23: 完整交流分析电路

在图 5.24 中，我们可以看到 OPA364 Aol 曲线和 $1/\beta+$ 曲线及 $1/\beta-$ 曲线。请注意，正如我们所预计的，在任何给定频率下， $1/\beta$ 曲线的增益比 $1/\beta+$ 曲线及 $1/\beta-$ 曲线都要低。同样需注意的，与我们的一阶分析相比，这些 Tina SPICE 仿真曲线与我们所预计结果的相符！

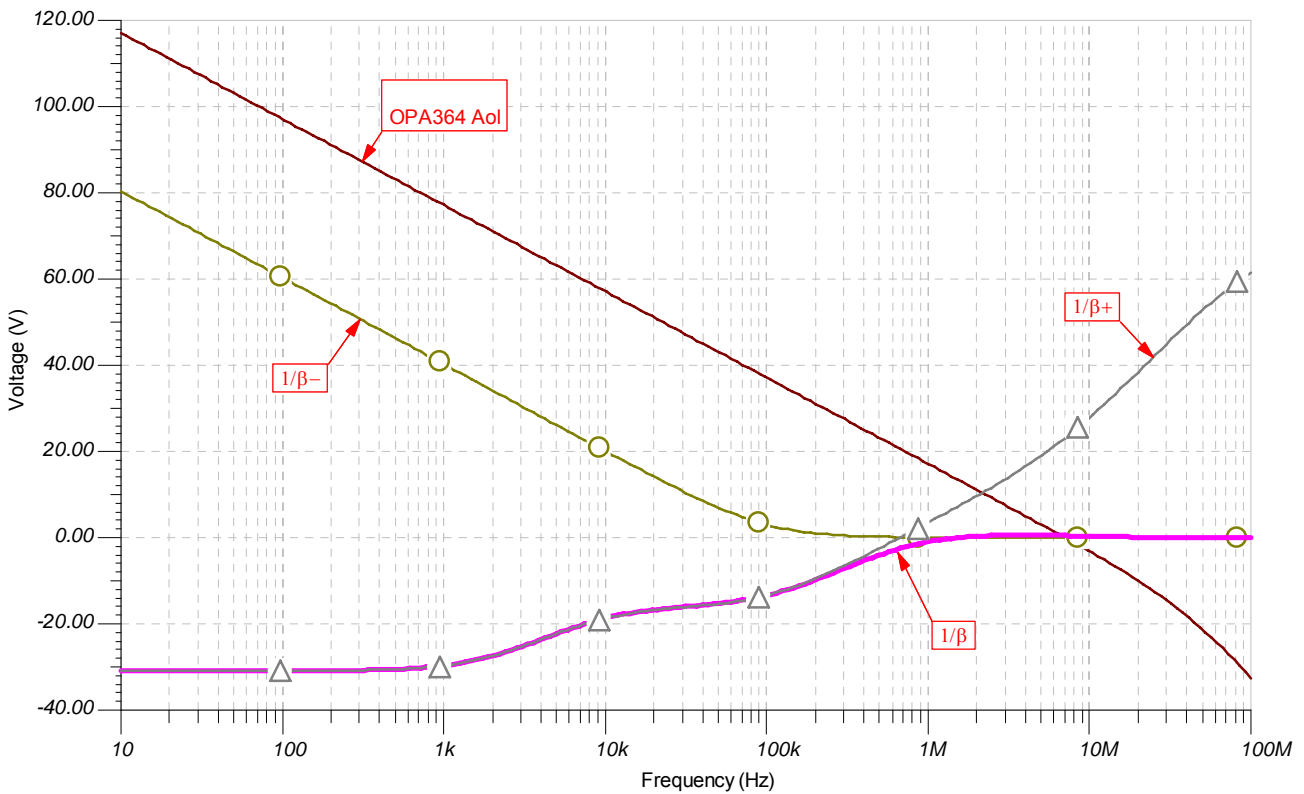


图 5.24: Aol、 $1/\beta+$ 、 $1/\beta-$ 与 $1/\beta$ 曲线

那么，如果想对我们的稳定性画面进行仔细查看的话，我们可以使用从 Tina SPICE 得到的环路增益幅度和相位曲线（见图 5.25），从而可详细地查看我们在综合一个稳定的统一增益缓冲电路中的工作。我们的一个目的是避免相位余量在频率小于 f_{cl} 时降低到 45 度以下。我们的结果不错，但在 300kHz 附近稍微下降到了 45 度以下，从那以后相位余量上升直至超出频率范围。

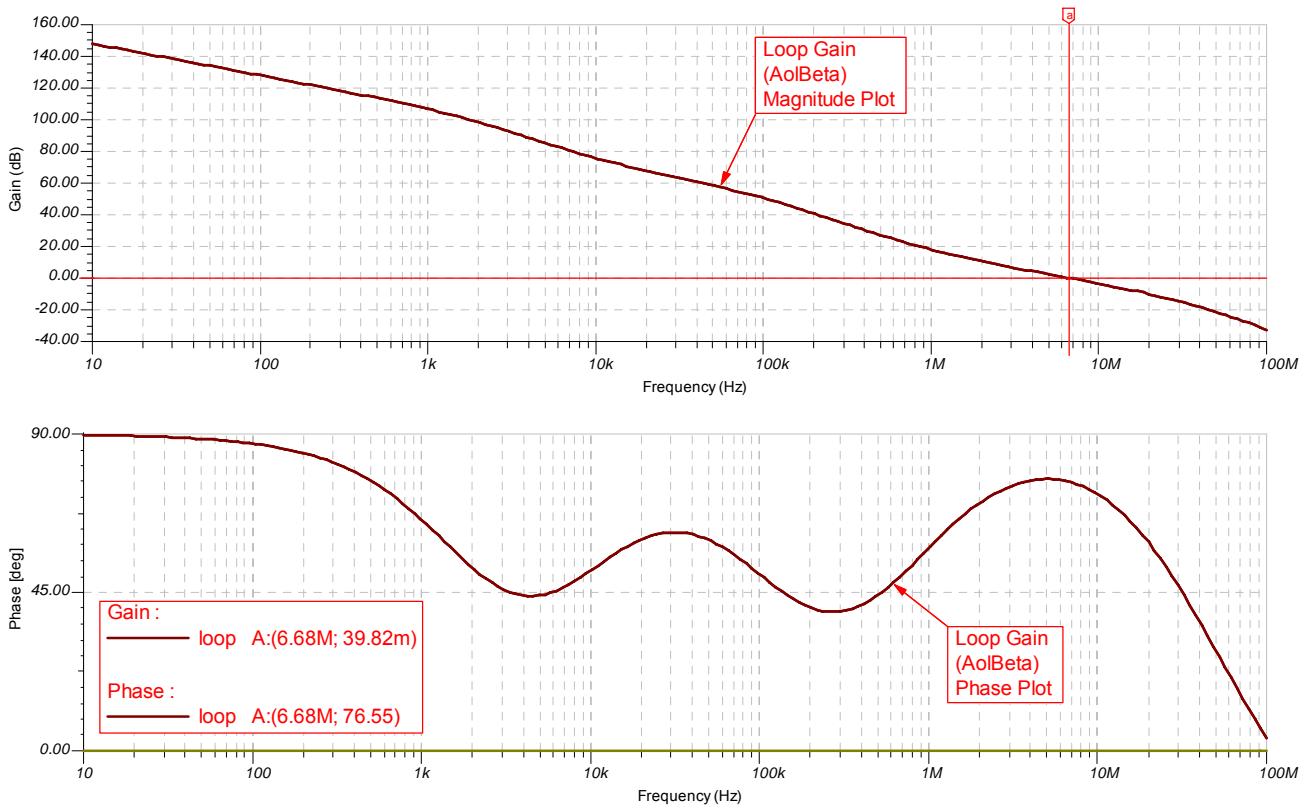


图 5.25: 环路增益 ($A_{ol}\beta$) 幅度与相位曲线

图 5.26 所示电路将被用来预测及仿真 V_{OUT}/V_{IN} 的交流闭环传输函数。

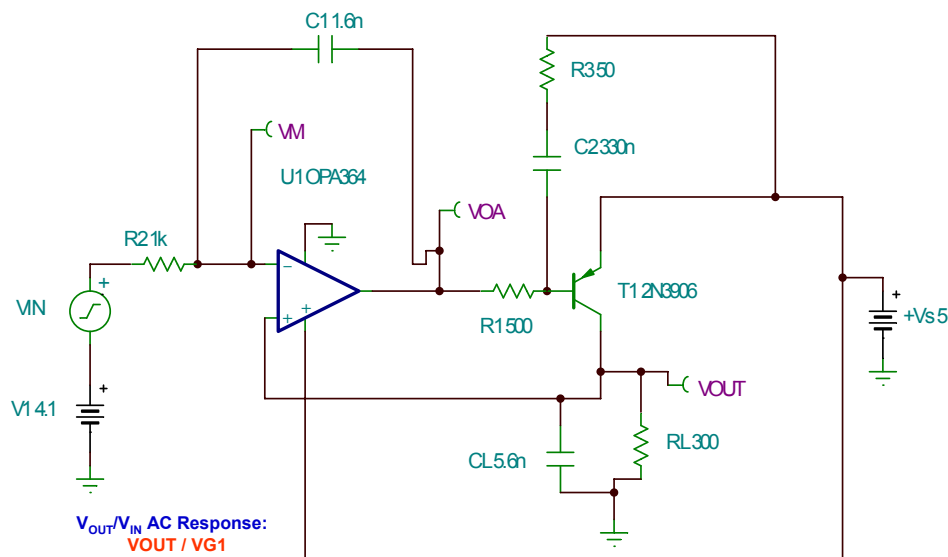


图 5.26: V_{OUT}/V_{IN} 交流响应电路

图字: V_{OUT}/V_{IN} 交流响应: V_{OUT}/V_{G1}

在我们的一阶分析曲线 A_{ol} 、 $1/\beta+$ 、 $1/\beta$ -及 $1/\beta$ 曲线中, 我们将增加一条预计的 V_{OUT}/V_{IN} 曲线以用于闭环交流响应(见图 5.27)。从直流到 f_{px} U1, OPA364 充当一个带有积分器功能的误差放大器, 这样就迫使 V_{OUT} 与 V_{IN} 相匹配。在 f_{px} 处, 由于 $X_{C1}/R2 = 1$, 积分器被强制设置成增益为 1。从 f_{px} 到 f_{py} , 由于 $X_{C1}/R2$ 的存在, V_{OUT}/V_{IN} 继续以 -20dB/decade 速度下降。在 f_{py} 处, V_{OUT}/V_{IN} 继续沿 A_{ol} 曲线下降, 这是因为没有余下的环路增益 ($A_{ol}\beta$) 可用来校正误差。

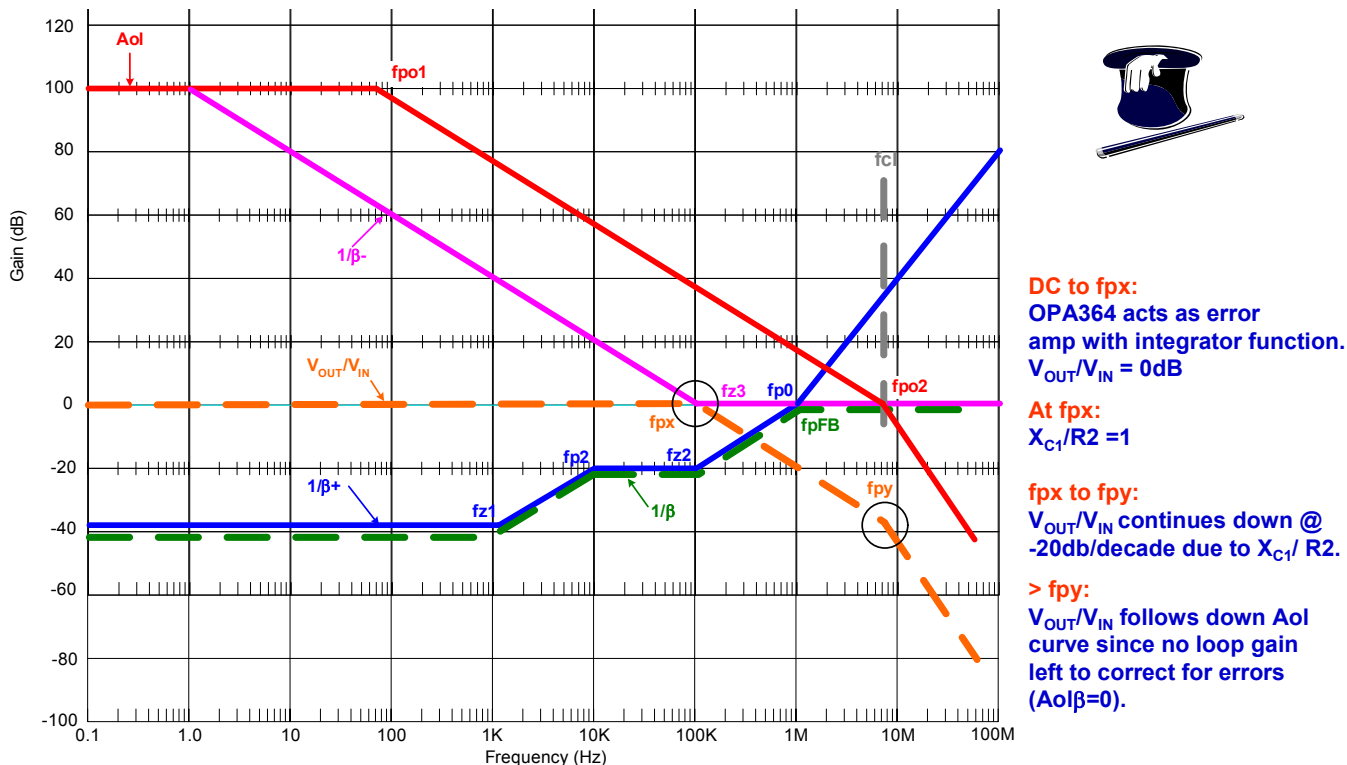


图 5.27: 1 阶 V_{OUT} / V_{IN} 分析

图字: 从直流到 f_{px} :

OPA364 充当一个带有积分器功能的误差放大器。 $V_{OUT}/V_{IN}=0\text{dB}$

f_{px} 处:

$X_{C1}/R2=1$

f_{px} 到 f_{py} :

由于 $X_{C1}/R2$, V_{OUT}/V_{IN} 继续以 -20db/decade 下降

> f_{py} :

由于没有余下环路增益 ($A_{ol}\beta=0$) 可用来校正误差, 因此 V_{OUT}/V_{IN} 随 A_{ol} 下降

图 5.28 给出了用 Tina SPICE 仿真得到的 V_{OUT}/V_{IN} 结果, 该结果也表明它与我们从一阶分析得到的预测一致。我们还注意到, 我们达到了缓冲放大器电路 100kHz 小信号带宽的最初目标。

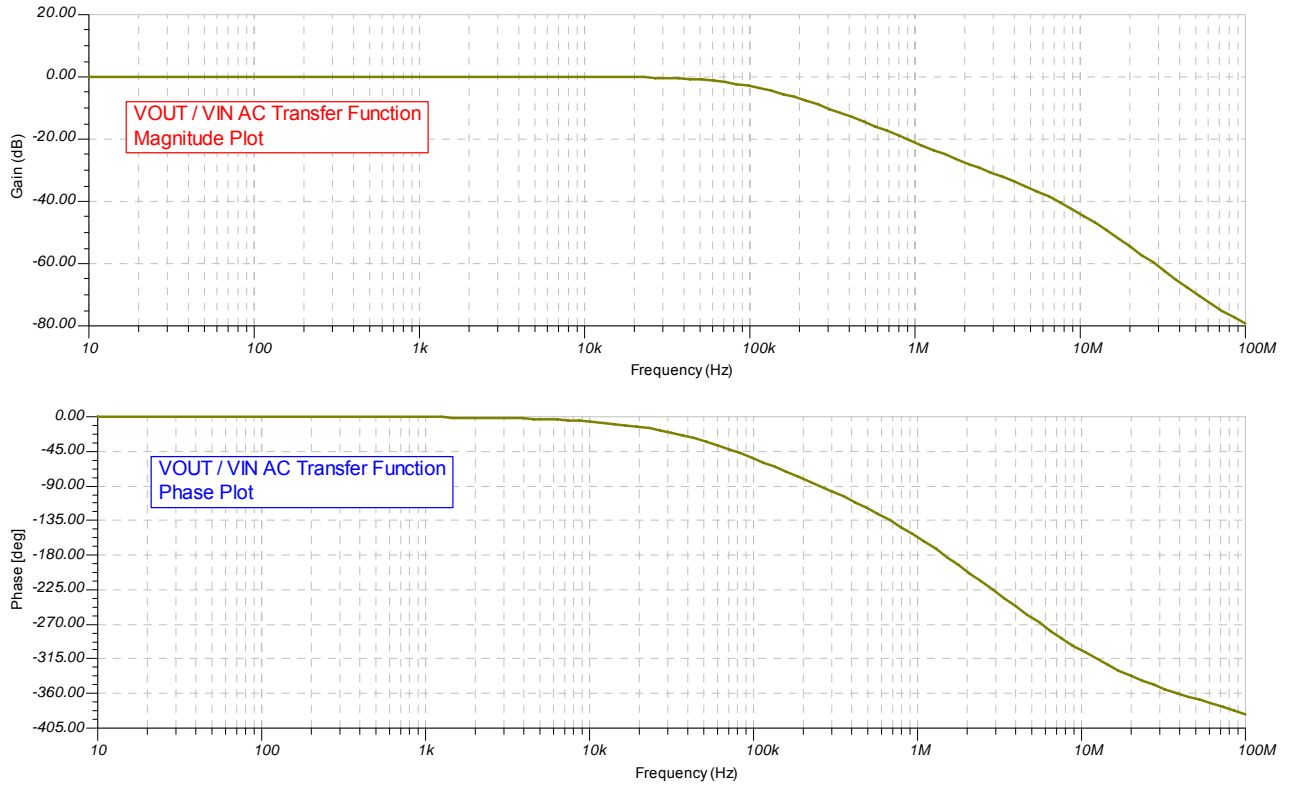


图 5.28: VOUT / VIN SPICE 仿真结果

图字: VOUT/VIN 交流传输函数幅度曲线
 VOUT/VIN 交流传输函数相位曲线

现在, 让我们根据实际的稳定性测试, 在 Tina SPICE 上运行一个瞬态分析测试来查看过冲与振铃现象。图 5.29 给出了该电路。

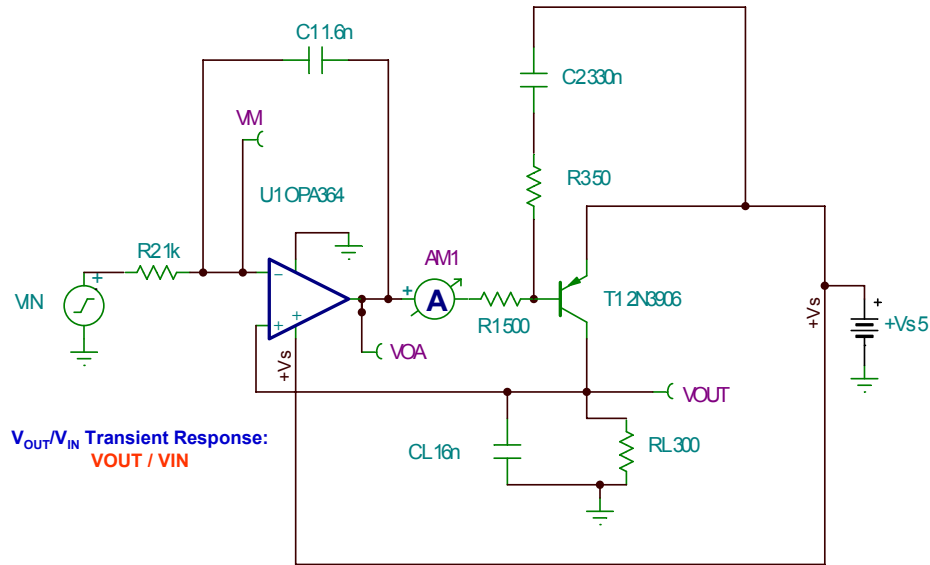


图 5.29: 瞬态稳定性测试电路

图字: VOUT/VIN瞬态响应: VOUT/VIN

从 Tina SPICE 瞬态分析得到如图 5.30 所示的结果，表明 VOUT 没有表现出过大的过冲和振铃，这是我们从环路稳定性分析中所预计到的。此外，我们还监测了在快速 200mV 阶跃变化时（从 4V 升至 4.2V，又返回）从 OPA364 流入和流出的电流。这里，也没有产生过大的电流尖峰，我们可以预计，我们现在的缓冲放大器电路运行良好、耐用、稳定、真实且具有统一增益。

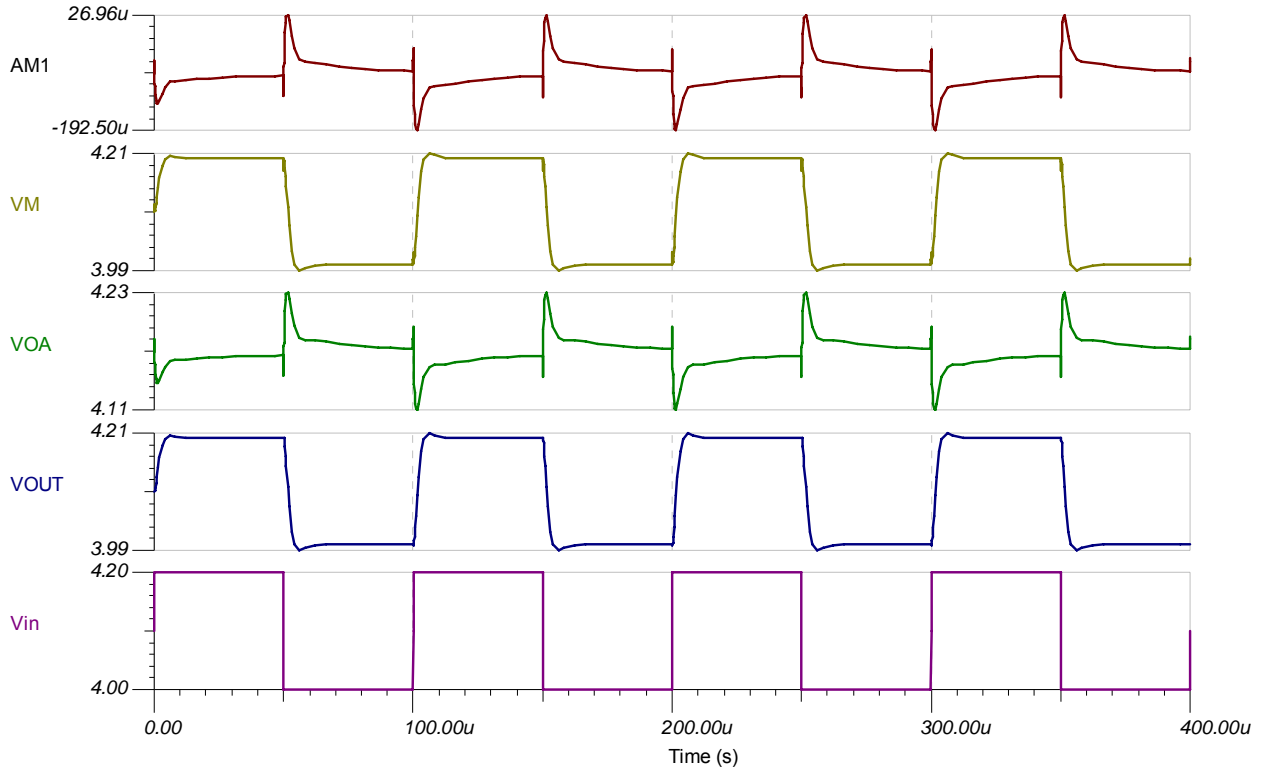


图 5.30: 瞬态稳定性测试 SPICE 结果

但等一等，这还不是全部。我们还在实验室实际电路中增加了稳定性网络，并对它进行了瞬态稳定性测试，结果如图 5.31 所示。真是令人愉快的成功！我们从使用一阶分析，到使用 Tina SPICE 仿真，再到最后使用实际电路稳定性测试，都证实了我们的缓冲放大电路是稳定的。我们的分析与综合技术证明是行之有效的，它得到了一种稳定、可靠、单电源、大电流的缓冲放大器电路。

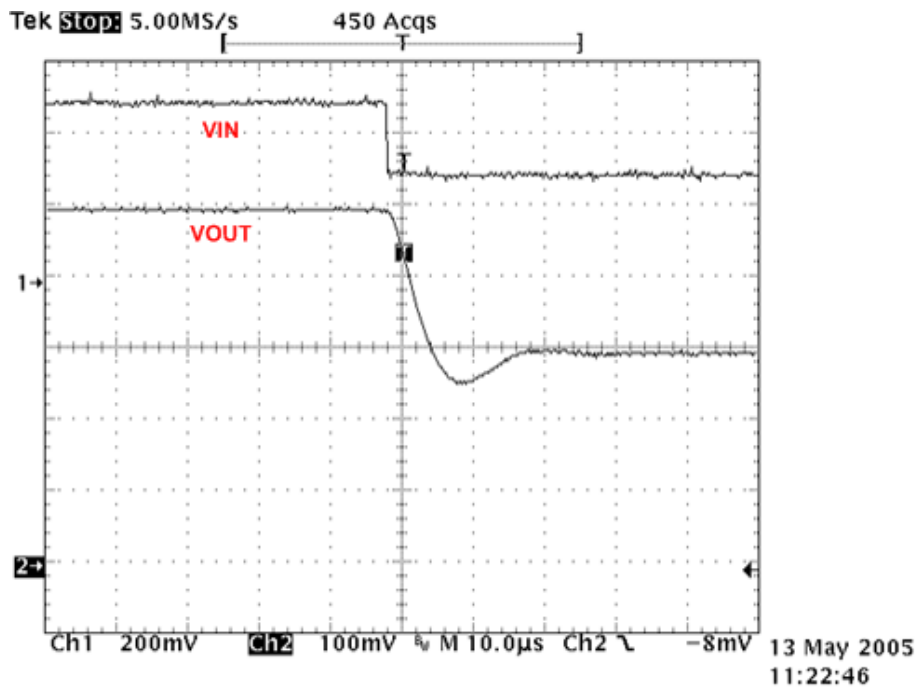
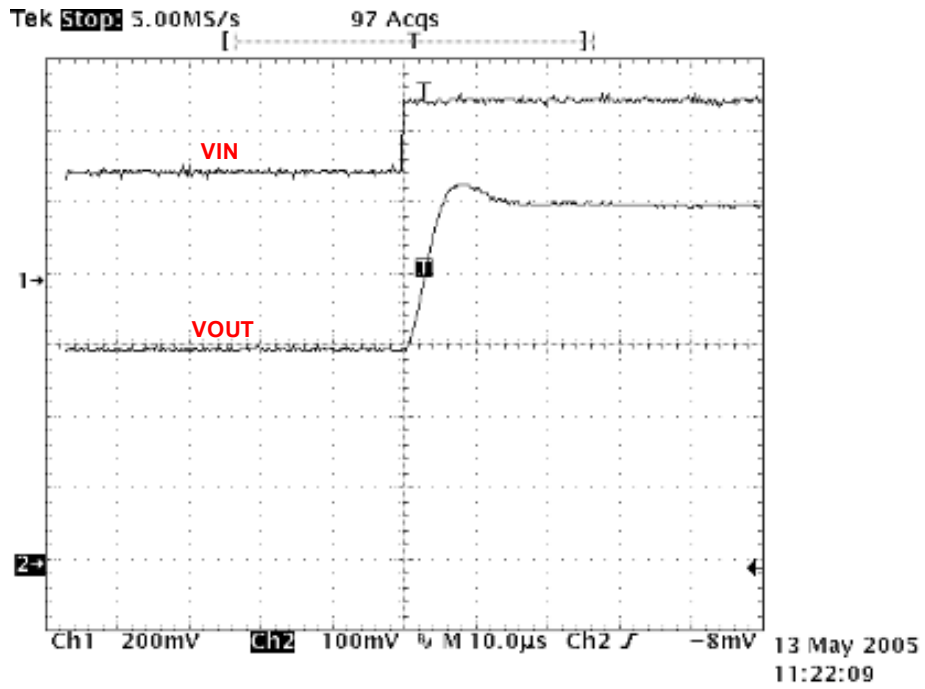


图 5.31: “实际瞬态稳定性测试结果” —— 缓冲器拓扑 w/o 补偿