

## 目录

[\(原文\)](#)

<b>14.1. 简介</b> .....	2
<b>14.2. SI 问题</b> .....	2
14.2.1. 典型 SI 问题.....	2
14.2.2. SI产生的地方.....	3
14.2.3. 电气封装中的SI.....	3
<b>14.3. SI 分析</b> .....	3
14.3.1. 设计流程中的SI分析.....	3
14.3.2. SI 分析原则.....	5
<b>14.4. 设计中的SI问题</b> .....	6
14.4.1. 上升时间与SI之关系.....	6
14.4.2. 传输线效应、反射及串扰.....	6
14.4.3. 电地噪声.....	7
<b>14.5. 建模与仿真</b> .....	9
14.5.1. 电磁建模方法.....	9
14.5.2. SI 分析工具.....	9
14.5.3. IBIS.....	10
<b>14.6. SI 范例</b> .....	11
<b>参考</b> .....	13

\* “This chapter is contributed by Raymond Y. Chen, Sigrity, Inc., Santa Clara, California. E-mail:[chen@sigrity.com](mailto:chen@sigrity.com)”

### 14.1. 简介

在高速数字设计的领域里，信号完整性已经变成了一个关键的问题，给设计工程师带来了越来越严峻的考验。许多信号完整性问题本质上来说是电磁现象，和本书前面章节中讨论的 EMI/EMC 部分相关。本章我们将要讨论典型的信号完整性问题及其成因，为什么我们要理解它们以及我们如何来分析和解决这些问题。同时介绍几个目前有效的信号完整性分析工具及当前的趋势。

SI 在电子设计方面包括了两层意思—时序和信号质量。信号抵达目的地的时间是否和期望的一样？同时到达的情况如何？信号完整性分析的目的在于保证可靠的高速数据传输。在一个数字设计中，信号从一个器件以逻辑电平 1 或者 0 的形式传递到另外一个器件，而逻辑的判断实际上以一定的电平为参考的。在接收端的输入门，参考值  $V_{ih}$  以上的电压被认为是逻辑高电平， $V_{il}$  以下的被认为是逻辑低电平。图 14-1 表明在完美逻辑世界中理想电压波形，图 14-2 表明的是实际系统中信号的情况。一连串 1 和 0 组成的复杂数据就构成了实际的连续电压波形。接收器件为了得到二进制编码信息需要对波形进行采样。数据采样过程通常是由时钟信号的上升或者下降沿来触发如图 14-3。从图形中很清楚数据必须及时的到达接收端并且在接收器件开始锁存的之前稳定为一个非模糊的逻辑状态。任何数据的延迟或者波形的畸变将导致数据传输的失败。想象一下一个如图 14-2 的信号波形，当信号采样时，由于过量的振铃在逻辑灰区域，导致逻辑电平不能被可靠的识别。

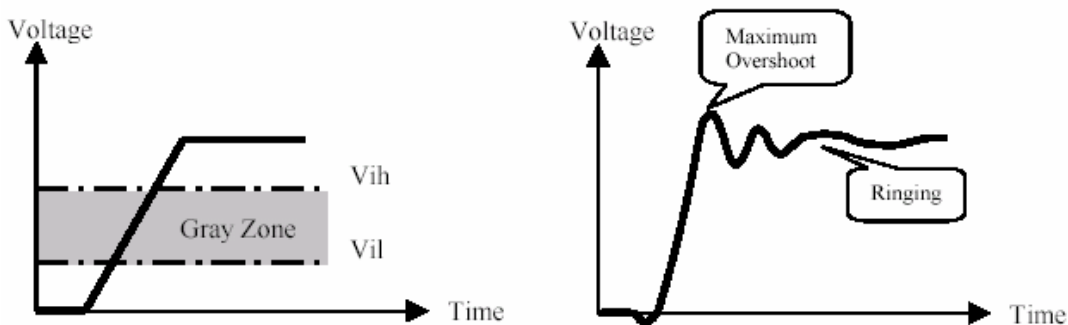


图 14-1 理想信号波形

图 14-2 实际信号波形

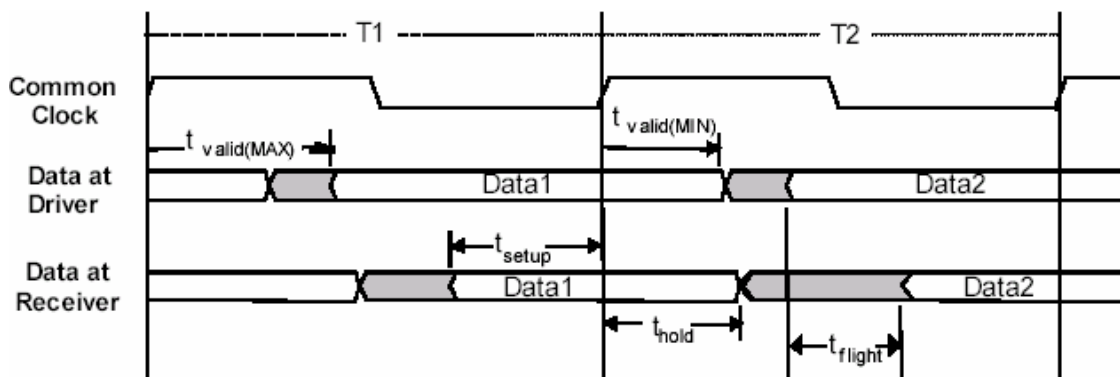


图 14-3 数据采样过程和时序转变

### 14.2. SI 问题

#### 14.2.1 典型的 SI 问题

时序是高速系统的一切。信号时序取决于信号传播的物理长度引起的延迟。同时取决于抵达阈值时波形的形状。信号波形畸变的原因可能有很多的不同原因。但是针对噪声来说我们最关心的有以下 3 个方面：

- 反射噪声  
由于阻抗失配，分支，过孔以及其它互连中存在的非连续性。
- 串绕噪声  
由于信号线和过孔之间的电磁耦合
- 电源/地噪声  
由于驱动同时开关输出 (SSO) 电源/地分布系统的寄生参数效应。有时候称为地弹，Delta-I 噪声或者同开关噪声 (SSN)。

除了以上三种SI问题之外，还有其它的电磁兼容性或者电磁干扰（EMC/EMI）方面的问题也可能会导致信号波形的畸变。当SI问题发生或者满足不了系统噪声容限时——比如说开关接收端产生反射使得信号低于 $V_{ih}$ 电平或者高于 $V_{il}$ 电平；或者静态接收端的信号电平大于 $V_{il}$ 最大值或者低于 $V_{ih}$ 最小值；电源/地电压波动干扰锁存数据，然后导致逻辑错误，数据丢失，误码甚至发生系统瘫痪。在系统建立或者样机调试时对这些类型的噪声错误做出判断和解决都显得尤其困难。但是如果在发生之前理解并解决这些问题将减少开发周期和降低成本[1]。在本章地后面部分，我们将进一步探讨这些噪声现象的物理行为，起因，分析和仿真的电气模型，以及避免的方法。

#### 14.2.2 SI问题产生的地方

由于信号在系统中的传播由各种各样的互连来完成，在源端，沿路或者在接收端产生的任何电气冲击都将对信号的时序和质量产生显著的影响。在一个典型的数字系统环境下，来自芯片内部驱动器端的信号通过C4或者邦定线连接到芯片封装（芯片封装可以是单芯片或者是多芯片模块）通过芯片封装的焊球，信号进入PCB级。在这一级，典型的结构包括子卡，母板，或者是背板。然后信号继续前进进入到系统的其它组件中，如ASIC芯片，存储器模块等。如图14—4所示芯片封装，印制电路板，以及电缆和连接器形成了电子封装系统的各个级别。在系统中的每一级，都有典型的互连如金属线，过孔，和电源地平面等，它们组成了信号连接的电气路径。封装互连结构最终会影响到系统的信号质量。

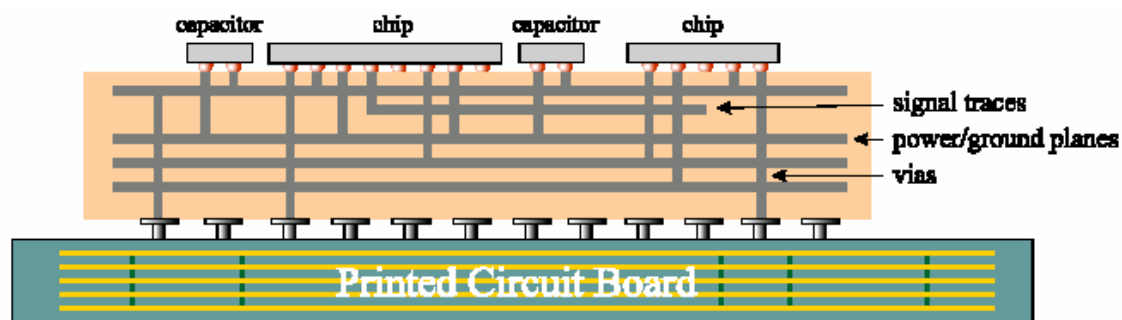


图14—4 IC封装和PCB中出现的信号完整性挑战

#### 14.2.3 电气封装中的SI

高速，高密器件的技术趋势使得封装性能趋于极限。目前个人计算机的时钟频率已经达到了GHz。当信号上升时间低于200ps，信号的有效高频分量超越了10GHz。这就使得互连和封装必须能够支持信号快速变化和宽带，而在信号波形质量的下降仍然在可以接收的范围之内。

同时芯片设计和制造工艺处于显著革命之中：门长度，从60年代的50微米到现在的0.18微米，甚至期望在今后几年突破0.1微米；片上时钟每18个月翻一翻；门级固有延迟在指数下降，已经到达了几个皮秒。然而，物理设计明显相对滞后。目前的工艺，封装互连延迟占据了系统时序的主体，成为高速系统设计的瓶颈。封装性能已经成为了限制系统整体性能的一个主要因素。

高性能亚微米处理器的出现，G兆位网络以及宽带互连接入，要想可靠把高速数据传输到每一个电子系统必须要有高性能的封装互连结构。在设计这些封装（芯片和PCB）及其集成系统的时候，信号质量是需要考虑的一个最重要的因素。

### 14.3 SI 分析

#### 14.3.1. 设计流程中的SI分析

信号完整性并不是一个新的现象但是在数字领域早期并没有受到关注。但是随着信息技术的发展和 Internet 时代的到来，人们需要通过各种高速数字通信/计算系统来进行联系。在这个巨大的市场中，信号完整性分析在保证这些电子产品系统可靠的运行中扮演一个越来越关键的角色。没有预先 SI 指导，样机可能永远只能在测试台上，没有布线后 SI 验证，产品可能到应用中就会出错。图 14—5 表明 SI 分析在高速设计过程中的所扮演的角色。从这个表中可以看出，我们将注意到 SI 分析贯穿高速设计整个流程，并且紧密的和每一个设计步骤结合在一起。通常来讲把 SI 分析归类成两个状态：布线前分析和布线后分析。

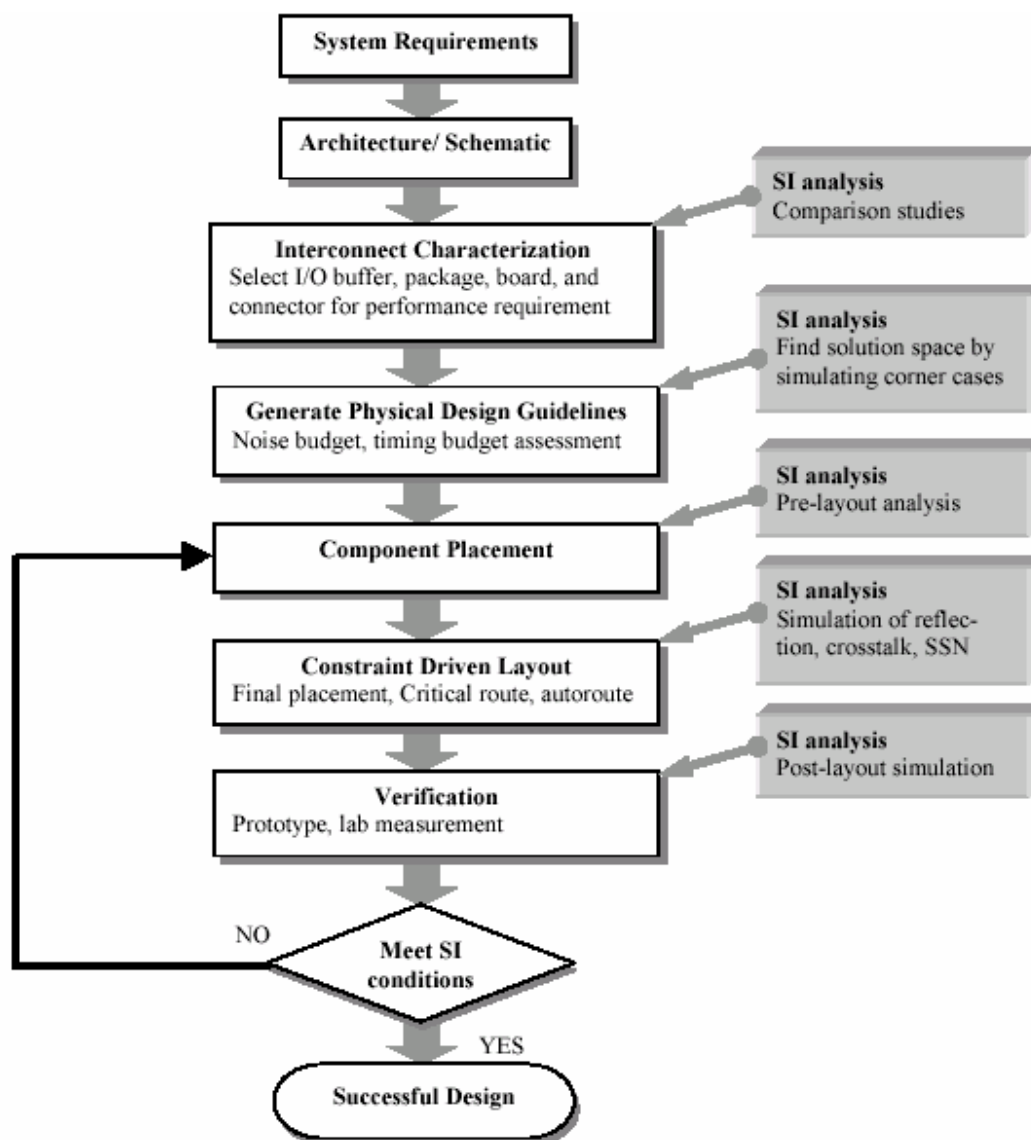


图 14-5 设计流程中的 SI 分析

在布线前，SI 分析可以用来选择 I/O 工艺，时钟分布，芯片封装类型，器件类型，板层堆栈，管脚分配，网络拓扑，端接策略等。考虑多种设计参数，对于不同情况的批处理 SI 仿真将日积月累的行成一系列用来进行物理设计的最优指导。这一步的 SI 分析也叫限制驱动 SI 设计因为开发的这些设计指南将被用来做为器件布局和布线的指导。布线前的限制驱动 SI 设计是为了确保物理版图的信号完整性，它将遵循噪声和时序要求。完全的，深入的布线前 SI 分析将减少反复设计和布局/布线返工，从而减少设计周期。

具有初始的物理版图以后，布线后 SI 分析可以验证 SI 设计指南和设计限制的正确性。它将检查当前设计中的 SI 冲突，如果反射噪声，振铃，串扰和地弹。同时揭示在布线前被忽视的 SI 问题，因为布线后分析是基于实现物理版图数据而不是预测的数据或者模型，总之它可以得到更精确的仿真结果。

如果在整个设计过程中都完全遵循 SI 分析，我们可以快速的实现一个可靠的高性能系统。

在过去，版图工程师所制作的物理设计仅仅是用来进行机械制作的机械版图，几乎不涉及到任何信号完整性的设计。当电子系统持续趋于高速，负责开发硬件的系统工程师逐渐被卷入到信号完整性中如制定设计规则和布线限制。通常，他们这方面的知识来自以往产品设计师积累的经验，所以他们并不了解一些 SI 问题的本质成因。对于这种挑战，今天，一个设计团队（如图 14-6）需要具有这领域专业知识的 SI 工程师的加盟。当在考虑使用新工艺时，如新的器件或者新

的芯片封装或者板的生产工艺时，SI 工程师将从 SI 方面来分析技术的电气特性，然后通过 SI 建模和仿真软件进行仿真以制定布线指南。这些 SI 工具应该足够精确以建模板级互连如过孔，走线，和平面堆栈。同时还必须具有足够的仿真速度在进行驱动/负载模型选择和端接策略时进行 what if 分析。在最后，SI 工程师将制定出一系列的设计规则并传递给设计工程师和布线工程师。然后设计工程师（负责整体系统设计）需要确保设计规则被充分的执行。在板的初步布线和布局完成以后就可以对关键线网进行局部分析。也可以进行布线后验证。SI 分析过程会涉及到许多的相关网络，从而仿真速度必须要快，即使是它有可能达不到 SI 工程师所希望的精度。一旦布线工程师得到 SI 方面的布局和布线规则，他们就可以产生一个优化的基于这些限制的物理设计。并且他们将提供一个布线系统中有关 SI 冲突方面的报告。对于这些冲突，布线工程师将和设计工程师以及系统工程师一起解决这些 SI 问题。

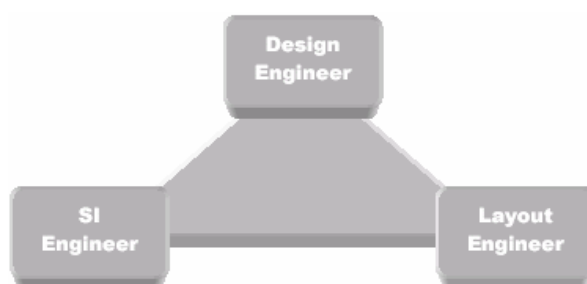


图 14-6 设计团队

### 14.3.2 SI 分析的原则

一个数字系统可以从3个不同层次来进行检查：逻辑，电路理论，和电磁场。逻辑是这三个级别中抽象程度最高的，在这个层次SI问题是最容易被识别的。电磁场，是为具体的，是其它级别建立的基础[3]。大部分SI问题本质上来说是EM问题，比如说反射，串扰，和地弹。总之，从电磁场的角度来理解SI问题的物理行为是十分有益的。例如，在下图14-7所示的多层封装结构中，一个开关电流通过过孔a将产生EM波，然后在两个平面之间成辐射状远离开过孔方向传播。两个金属平面之间的场将平面之间的电压变化（电压是电场的积分）。当波传播到其它过孔时，将在这些过孔上产生感应电流。这些过孔上的感应电流最终将产生平面之间传播的电磁波。当波传播到边缘时，一部分反射回去，还有一部分将辐射到空气中。反射回来和前向波叠加形成了在一起形成谐振。在信号转变的时候，波传播，反射，耦合以谐振是典型的EM现象都将在封装结构内部出现。尽管EM全波分析方法在结构建模方面具有比电路分析要高得多的精度，但目前来说，普通的互连建模方法都是基于电路理论的，而SI分析是采用电路仿真器进行的。主要原因是场分析通常需要更复杂的算法和更强大的计算机资源，而且电路分析方法将在低频时作为准静电场算法提供一种比较好的SI仿真方案。

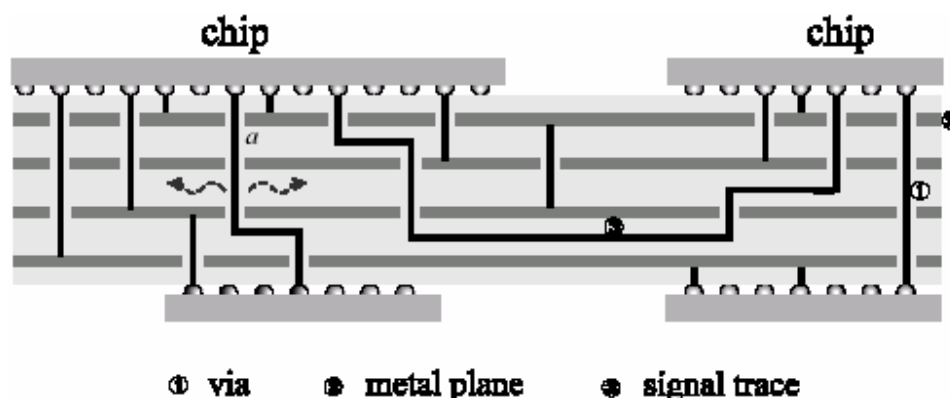


图 14-7 多层封装结构

典型的电路仿真器，比如不同种类的 SPICE，采用节点分析方法计算出集总电路元素如电阻，电容和电感的电压和电流。在 SI 分析中，互连总是先用集总电路元素来建模。如，印制电路板上的一根线可以简单的建模为具有有限电抗的电阻。有了集总电路模型，导线两端的电压被假设是瞬时改变的而且忽略信号传播的时间。然而，如果信号传播时间需要考虑的话，就必须用分布电路模型，如用 RLC 网络来建模导线。决定是否有必要采用分布电路模型，可以用拇指规则—如果信号上升时间和信号的周期传播时间相比是否相当，如果是的话就必须考虑使用分布电路模型。

例如，一个 3cm 长的带状线在 FR-4 材料基板印制电路板上将达到 200ps 的传输延迟。对于一个 33 兆的信号，假



设上升时间是 5ns，导线上的延迟可以被安全的忽略。但是对于一个 500M 信号 300ps 上升时间，导线上 200ps 的传播延迟将变得很重要，必须用分布电路模型来建模导线。通过这个例子，很容易看出在高速电路设计中，面对不断减小的上升时间，进行 SI 分析必须使用分布电路模型。

还有另外一个例子。考虑在印制电路板上的15cmX15cm面积的实心电源地平面，从电路理论的观点来看,很自然的我们把它当成一个大而理想的集总电容。电容模型 $C=erA/d$ ，一种静电解决方案，假设在平面上电压相同而且在上部不论位置，电荷的保存是瞬时完成。在直流或者低频时，这种假设是真实的。然而，当逻辑开关达到300ps时，从电源/地平面吸取一个较大的瞬时电流，我们可以察觉到电源/地上的电流具有明显的延迟。仅仅在开关逻辑周围的小面积范围内一部分平面电荷能及时补充到需要的地方。电源和地平面之间的电压将随位置的不同而变化。在这种情况下，一个理想的集总电容模型显然不能用来计算这种电流的传输效应。二维分布的RLC电路网络将用来对电源/地进行建模。

总之，随着当前高速设计趋势的继续前进，更快上升时间将进一步显示出互连的分布本质。分布电路模型需要用来进行仿真延迟。然而，在更高频时，即使是分布电路建模技术也不是完美的，这时候基于Maxwell等式的全波电磁场分析法将粉墨登场。在后续讨论中，我们可以看到一根导线既不可以被建模为集总电阻，或者RLC梯形网络；将采用传输线理论来进行分析；一个电源/地平面层对将当作一个平行碟形模式波导，采用辐射传输线理论进行分析。

传输线理论时当今SI分析领域中最有用的概念。也是许多EM介绍书中的基本主题。关于可选材料的更多信息，请参考16章的资源中心。

在以上讨论中，我们将注意到信号上升时间在SI分析时是非常重要的。所以在下一节中将针对上升时间进行稍微的扩展讨论。

#### 14.4. 设计中的SI问题

##### 14.4.1. 上升时间与SI之关系

不久前晶体管典型的上升时间还在纳秒级范围。今天，随着芯片制造工艺的显著改进，硅片尺寸显著减小，晶体管沟道长度大大减小，已经进入亚微米。这种趋势导致了今天逻辑电路工作在更高的速度。他们的上升和下降时间已经降到了百皮秒级别。随着我们进入深亚微米时代，如果开关速度比现在更快也没什么好惊讶。由于许多SI问题直接和 $dV/dt$ 以及  $dI/dt$ 相关，快速的上升时间显然会恶化一些噪声现象，如振铃，串扰和电源/地开关噪声。具有更快时钟频率系统通常具有较短的上升时间，使得他们面临更多的SI挑战。但是即使是工作在20M时钟频率的产品，当使用了快速上升时间的逻辑产品，仍然可能会碰到一些200M系统具有的SI问题。

##### 14.4.2. 传输线效应、反射及串扰

在芯片封装或者印制电路板中，导线和其参考平面形成传输线（图14-8a）；当导线处于两个金属平面之间就形成带状线（图14-8b）。一对均匀间距的平行导线，如管脚和电缆或者插座，都是传输线（图14-8c）。一对金属平面和一个正交的过孔形成了另外一种类型的传输线（图14-8d）。

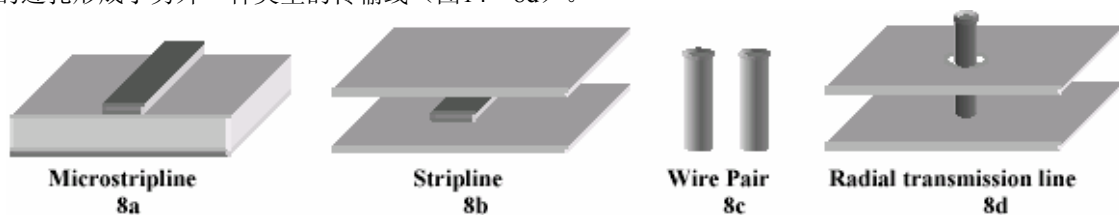


图14-8 封装和印制电路板中存在的几种常用的传输线

图14-8中的这些传输线的作用是从把信号从点A传递到点B。所有的传输线都有一些基本的参数如单位长度电阻R，电感L，电导G和电容C，单位长度时延和特性阻抗。对于简单传输线结构如平行板可以通过分析获得，对于其它结构类型的传输线，我们通常采用2D静态电磁场解析核（或者一些经验公式）来得到这些参数。

在SI分析中，由于许多互连的电气模型可以被当作传输线，所以理解传输线理论的基本概念并了解高速设计中常用的传输线效应就显得十分重要了。

反射是一个传输线效应。在高速系统中，反射噪声增加时延，引起过冲，下冲和振铃。产生反射噪声的根本原因是信号传输路径上存在的阻抗不连续性。当一个信号换层导致了阻抗不连续（制造工艺变化或设计考虑等），在不连续的

边界点上就会产生发生反射。当导线越过有孔平面，跨越缝隙，出现分支 (stub) 或靠近相邻导线，此时产生了阻抗不连续，可以观察到反射。如果负载和传输线的特性阻抗不匹配，同样也会发生反射。为了最小化这种反射，常用可行的方法包括阻抗控制 (通过线的几何和介质常数)，消除分支，选择适当的端接方案 (串行，并行，RC，戴维宁等)，并且尽量使用一个实心金属平面来做为回流的参考平面。

串扰，由并行传输线之间的电磁耦合引起，同样也是一个很值得研究的主题。他在相邻静态线上引起干扰，有可能导致逻辑开关的错误。如果多根线同时开关，串扰也可能冲击主动线的时序。取决于每一根线上的开关方向 (偶模开关，也就是说，所有走线上的信号同时从低到高，或者从高到低，通常这种情况产生最大的时延)，引入的附加延迟可能显著的增加/减少采样有效时间。串扰的大小和信号的上升时间，线间距，以及并行长度等因素有关。为了控制串扰，我们可以增加走线间距，对信号线包地，尽量减少并行长度，让导线尽量靠近参考平面。

除了线间地串扰，过孔耦合有时候也很重要[4]。

#### 14.4.3. 电地噪声

电源/地噪声在今天的高速设计中通常占据30%以上的噪声预算。由于电源/地分布系统的复杂性使得其成为了SI分析中一种最难建模的EM效应。

在芯片封装和印制电路板中，电源/地平面和过孔形成了电源分布系统。大量器件 (core-logic, off-chip drivers)同时开关所需要的瞬时电流会引起电源和地平面上的电压波动，我们称之为SSN，或者Delta-I噪声或者电源/地弹。由于电源/地系统提供的非理想回流路径，SSN将减慢信号传输速度。耦合到其它静态信号网络上将引起逻辑错误或者打乱锁存的数据。也可能引起数模混和电路的共模噪声。并且会增加辐射谐振点上的。在今天这种日益增长的IC转换速度和IO数量，采用新技术的封装可以达到200ps的转换时间，吸取多达20A的电流。SSN随着这种趋势的发展显著的增加。同时，随着封装设计工程师尝试采用降低工作电压来解决散热问题，SSN更容易影响器件性能的可靠性。为了应对这种挑战，封装结构中的电源/地平面的电气属性就需要精确的建模了。

和前面SI分析概念部分讨论的，电源/地平面是分布电路。电源/地平面之间的SSN的物理行为本质上说是一种EM现象。为了精确仿真SSN，波传输，发射，边缘辐射，过孔耦合，和封装谐振都需要精确的考虑。在许多文章中，等效电感用来建模电源/地平面的电气属性[6][7]。等效电感模型(图14-9a)，仅仅在有限的低频段是有效的，并没有考虑结构内部波传输情况和结构本身的谐振，根本不适合来精确建模高速封装结构。导线天线模型(图14-9b)，用MOM法来计算导线上的电流，是另外一种精确建模电源/地的方法[8]。这种方法可以考虑波传输和过孔干扰，但是对于复杂结构的时域仿真它要求非常长的计算时间。流行的2D电容/电感网格模型曾被许多公司用在电路仿真器中来建模电源和/地平面 (图14-9c)。采用这种方法，导体平面被分为许多的小单元，每一个元素通过单位电容和电感来建模。最大的好处是它的瞬时SPICE类电路仿真，但是它同样需要非常长的计算时间和很大的存储空间。

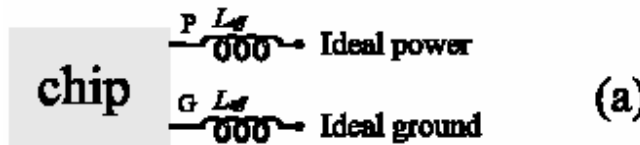


图14-9a 等效电感模型



(b)

图14-9b 导线天线模型

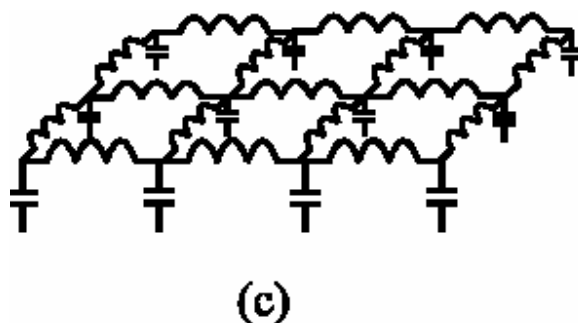


图14-9c 电感/电容网格模型

对于高精度的建模，理论上说，全波电磁场仿真核如3维的FDTD法或者FEM法，总是可行的。但是3维电磁场解析核需要巨大的计算机资源（漫长的计算时间和巨大的计算内存）所以它们对于实际的设计和分析并不可行。

总之，对于多层电源/地建模和SSN仿真的传统技术可以被描述为3步骤：

1. 使用基于FEM, MOM或者PEEK等方法的EM场分析工具提取电源/地的分布系统的参数（等效电路模型）。
2. 把驱动/接收（晶体管或者行为模型），信号线（传输线模型）和提取得到的电源/地模型组合成SPICE电路网络。
3. 运行SPICE电路仿真器进行SSN分析。

这种方法的缺点：

1. 对于实际的电源/地平面结构的提取时间过长。
2. 对于具有上千个过孔的电源/地的多层电源/地结构要想建立准确的EM模型，必须包含巨大的等效电路网络
3. 如果忽略一些电磁场效应，会使得导致电源/地等效电路模型过份简单
4. 被提取的模型通常是频率相关的而且带宽有限
5. 当物理布局布线发生变化时候，需要再次提取模型
6. 由于在提取电源/地分布系统模型的时候并没有考虑信号分布系统，所以提取的模型并没有考虑电源系统和信号系统之间的干扰。

为了实现快速而精确的电源/地噪声仿真,必须采用特殊目的的电磁场解析核和混合仿真方法。一种更好的方法[9][10]，结合了场仿真核和电路仿真核，在单一计算状态下实现了同时仿真，获得很高的仿真效率。这种方法不用提取电源和地系统的等效电路模型。直接通过解Maxwell方程来分析多层结构中的场问题，同时，找出电路仿真方案。这种方法的连接机理如图14-7所述。

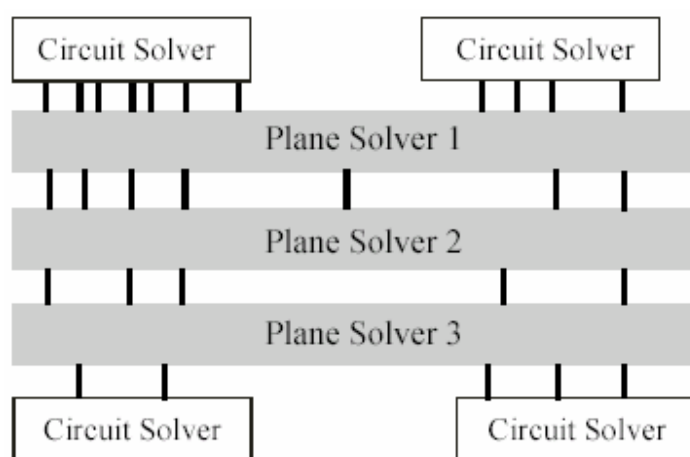


图14-10 使用场解析核和电路解析核进行电源/地噪声分析

去耦策略是电源/地模型和SSN仿真的另一个重要方面，因为我们进行SI分析的最终目的是要利用更好的堆栈结构来抑制电源/地噪声，优化去耦电容放置，选择适当的去耦电容值。许多相关论文对此有很详细的讨论[11][12]。



## 14.5. 建模仿真

### 14.5.1. 电磁场建模方法

SI分析中常用的电磁场建模方法如下表所示。包含场解析核的SI工具通常包含下面一种或者多种方法。了解下面基本方法将有助于SI工程师明了工具的强处和弱处，以及其应用范围。

1. 边界条件法（BEM）和矩量法（MoM），同一种方法不同的名字。
  - a) 积分方程表达式
  - b) 要求构造和复杂结构（PCB）的复杂度一致的格林函数。不太适合多项性的介质材料。
  - c) 需要分解密集矩阵
2. 有限差分时域法（FDTD），一种对于任意几何形状均有效的通用目的和全能方法。
  - a) 差分方程表达式
  - b) 直接时域法求解Maxwell等式
  - c) 计算量密集，未知吞吐量
  - d) 无须矩阵求倒
3. 有限元法，一种对于任意几何形状均有效的通用目的和全能算法。
  - a) Laplace/Helmholtz等式方程
  - b) 计算密集型
  - c) 稀疏矩阵
4. 部分元素等效电路PEEC法，MoM的一种简化和近似版本
  - a) 准静磁场的积分等式方程

### 14.5.2. SI 分析工具

一个优秀的SI工具应该包含以下关键组件：2D场解析核来提取单一/耦合传输线的RLGC矩阵；单一/耦合无损传输线仿真器；3D场解析核来求解邦定线，过孔，金属平面；驱动器和接收器的行为建模。他们应该以物理版图为输入，进行时域（时间和波形测量）和频域（阻抗参数和S参数）的后仿真。表14-1说明当前市场上主要的SI工具：

Company	Tool	Function
Ansoft	SI 2D	2D static DC EM simulation extracts inductance and capacitor
	SI 3D	3D static DC EM simulation extracts resistance, inductance and capacitance
	PCB/MCM Signal Integrity	PCB/MCM pre and post route SI analysis
	Turbo Package Analyzer	Package RLGC extraction
Applied Simulation Technology	ApsimSI	Reflection and Crosstalk simulation for lossy coupled transmission lines
	ApsimDELTA-I	Delta-I noise simulation
Cadence	SPECCTRAQuest	SI simulation: transmission line simulation, power plane builder
HP Eesof	Picosecond Interconnect Modelling Suite	Frequency-domain and time-domain simulation for coupled lines and I/O buffers
Hyperlynx (PADS)	HyperSuite	Single/couple transmission line simulation.
INCASES (Zuken)	SI-WORKBENCH	Lossy coupled transmission line simulation
Mentor Graphics	IS_Analyzer	Delay, Crosstalk simulation
Quantic EMC	BoardSpecialist Plus	Delay, Crosstalk simulation
Sigrity	SPEED97/SPEED2000	Power/ground noise simulation with couple lossy transmission line analysis
Viewlogic Systems (Innoveda)	XTK	Couple lossy transmission line analysis
	AC/Grade	Power/ground modeling

图14-1 主要的信号完整性工具

### 14.5.3. IBIS

输入/输出缓冲信息规范是一个用来描述数字集成电路输入/输出（I/O）模拟行为的标准。IBIS利用统一的软件格式来描述核心行为信息。采用IBIS，仿真工具销售商可以在SI仿真时精确建模。

随着工业竞争而来的芯片和封装设计工艺的改进导致需要新的描述性的模型来建模集成电路的驱动器和接收器。这些模型应该是和知识产权不相关的，并且在传输线和串扰以及电源/地弹等信号完整性分析时候能保证适当精度和仿真速度。

数字I/O缓冲的仿真，以及芯片封装和印制电路板，可以用两种方式来完成。传统的方法是利用晶体管级模型，在小规模仿真时是有效的，仿真的目标是分析一些特定网络。这种方法在仿真大量缓冲和互连的时候非常的耗时间。晶体管级模型还会泄漏厂家的知识产权信息。作为对此的解决方案，器件的行为模型—IBIS模型就产生了[15]。IBIS模型数据可以来源可以是测量也可以通过仿真得到。其仿真速度相对于晶体管模型仿真来说会快很多倍。而且行为模型不会泄漏任何设计工艺和其制造过程的细节和敏感信息，所以厂家的知识产权得到了保护。

基于IBIS的行为化模型提供了直流的电压和电流曲线以及一系列的上升和下降时间驱动输出电压和封装的寄生参数信息。注意到除了稳态的IV曲线之外，IBIS模型并没有包含任何驱动器晶体管状态转变的直接信息。对于正确的SI仿真，提取晶体管瞬态转变信息是必要的。有一些出版物说明关于如何提取[16][17]。

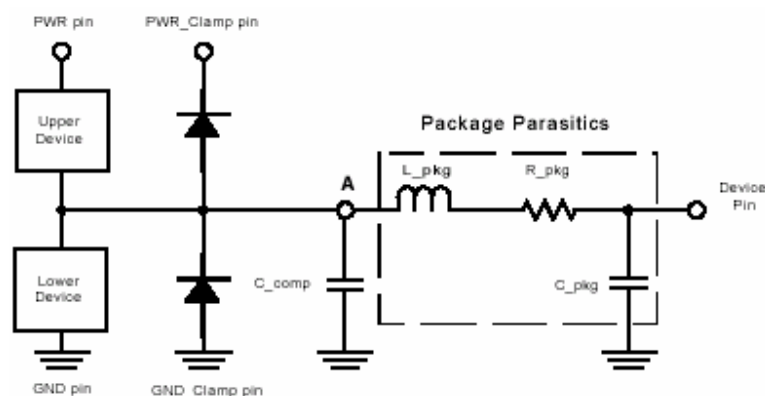


图14-11 I/O缓冲的IBIS表示

器件的IBIS行为模型描述如图14-11，提供缓冲关于电源和地钳位二极管I/V特性，输入和输出片上电容 $C_{comp}$ 和封装的特性（引线电感( $L_{pkg}$ )，电阻( $R_{pkg}$ )，和电容( $C_{pkg}$ )）。

#### 14.6. SI 范例

上面部分讨论了SI的定义，典型的SI问题，它们的起因和重要性。对SI分析包括概念，建模方法学和仿真工具等的相关背景知识做了介绍。在本章，将针对一个实际例子来使用仿真工具在设计流程中来分析SI问题。

这是一个4层PCB，堆栈为Signal/Power/Ground/Signal。一个DSP芯片放置在PCB板的中心，信号的边缘速率为500ps。在布线时，处于对串扰限制的考虑，相连线必须足够宽而不会产生过分的耦合噪声。样机制作完成以后，通过测量显示当驱动同时翻转的时候，时钟线上有比较大的耦合噪声。肉眼观察来看，时钟线网和信号线相距比较远，而且没有串扰的冲突被发现（图14-2显示的是时钟线网的拓扑结构，信号和芯片的位置）。具体的后串扰仿真同时也显示时钟线和信号线之间的耦合是很小的。但是噪声是从哪里来的呢？

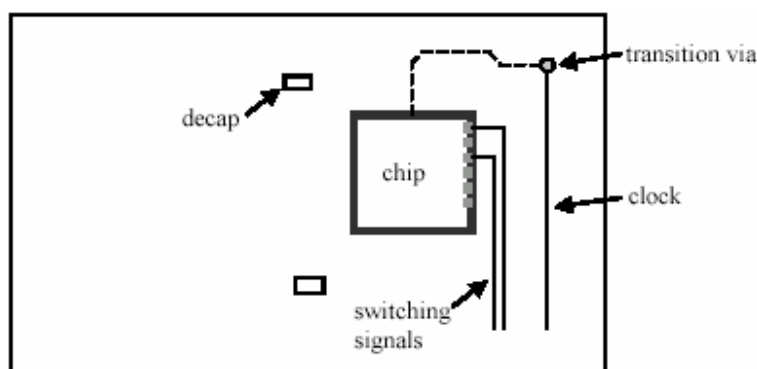


图14-12PCB上有问题的时钟网络

由于噪声总是在驱动瞬时开关输出（SSO）时产生的，所以对电源/地噪声进行了彻底的分析。利用Sigrity公司出品的SI工具—SPEED97对PCB内部的电磁场进行了求解。图14-13表示的是电源和地平面之间的空间电压波形图(1.51ns时刻)，14-4表示的是波动的峰值图。从图中可以清楚的看出开关驱动源和板上去耦电容的位置。同时也注意到在图的上半部分有比较大的电源和地噪声，同时也是时钟过孔所在位置。至此，我们很清楚的知道是因为时钟的过孔耦合了电源噪声。14-15图再一次说明了时钟过孔处的SSN噪声。

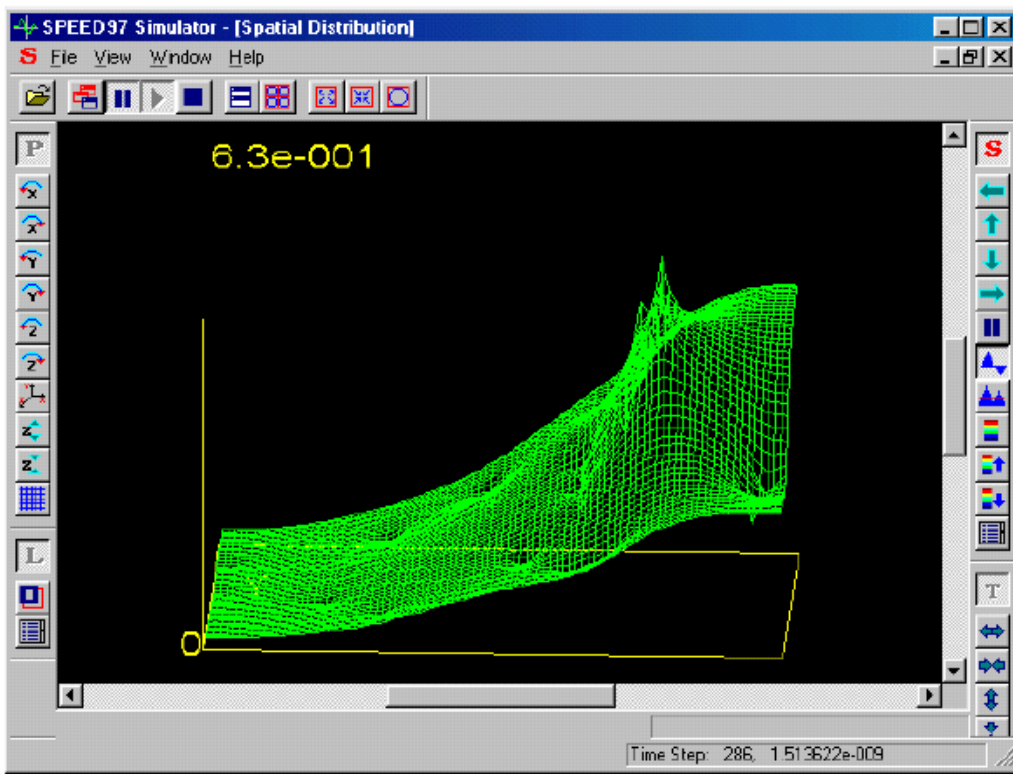


图 14-13 1.51ns 时电源和地之间空间噪声分布

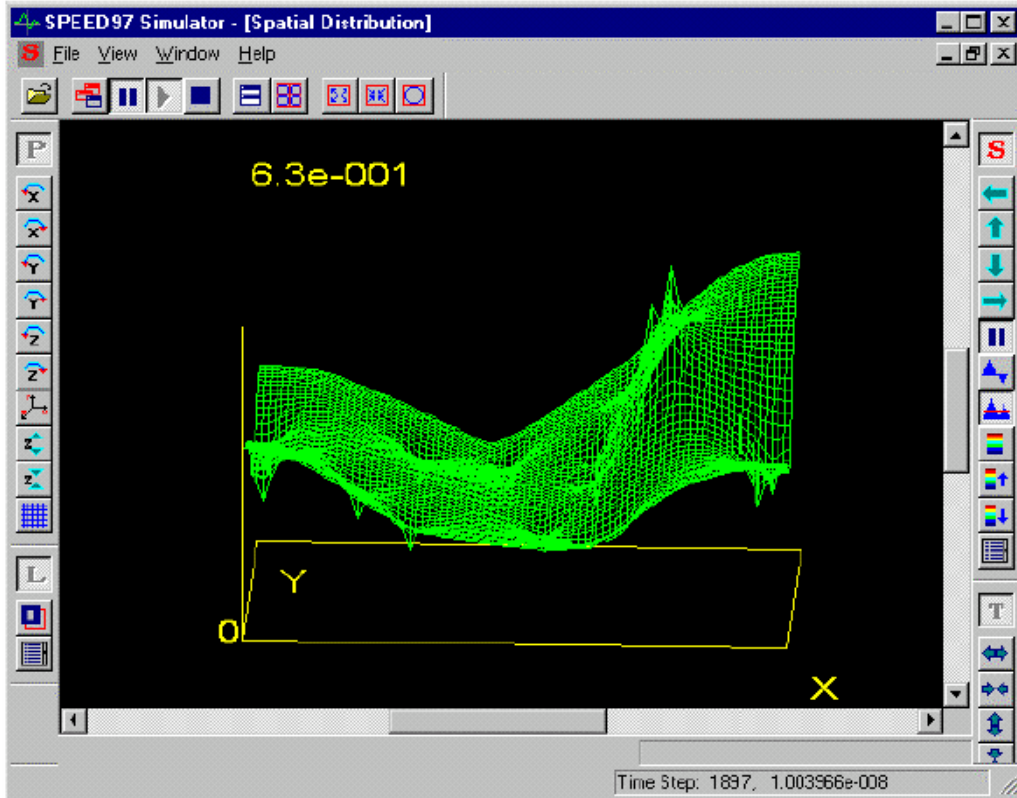


图 14-14. 10ns 仿真时间内电源和地平面电压峰值的空间分布图

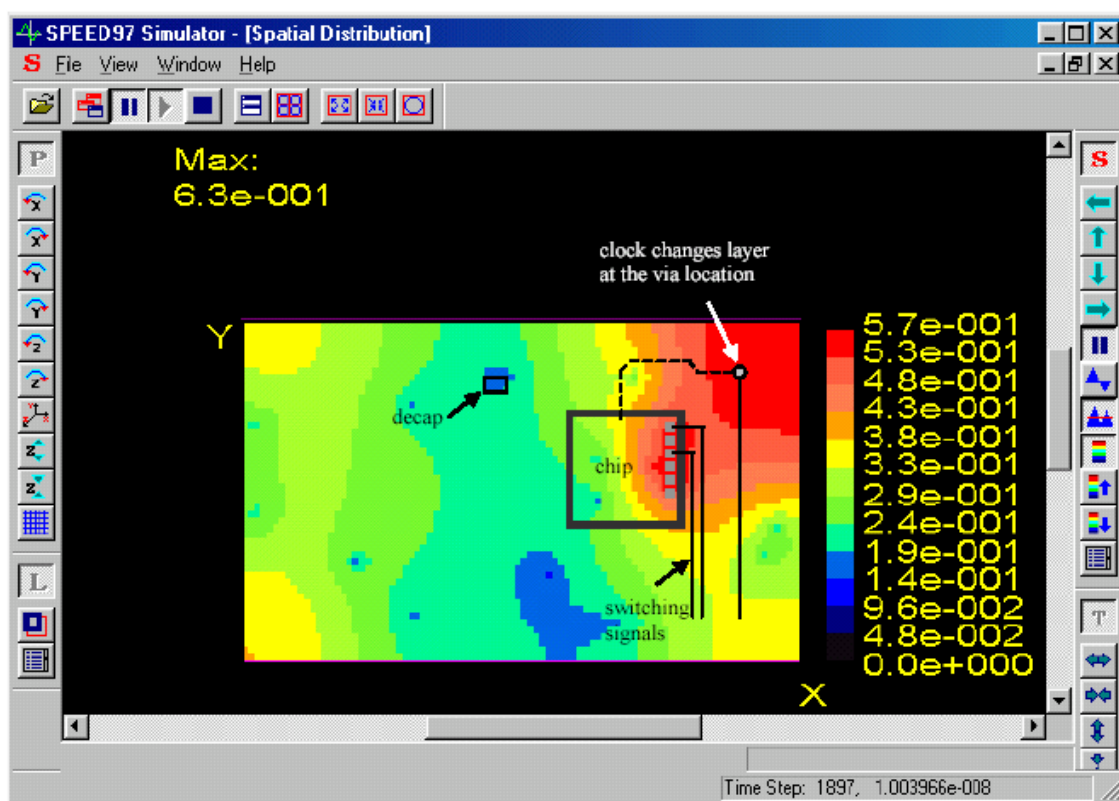


图 14-15 在过孔位置，时钟网络的瞬时开关噪声

压制耦合噪声的方法十分简单。通过在时钟过孔处添加一些附加的去耦电容，该点的电源/地噪声减小，从而在时钟线上所产生的耦合噪声也降低到了噪声要求的水平。去耦电容的正确值可以通过一系列的 what-if 分析来仿真得到。修改以后的 PCB 经过测量验证了仿真的结果。在进行仔细的 SI 分析以后我们得到了一个成功的设计。

## 参考

- [1] Tai-Yu Chou, "Signal Integrity Analysis in ASIC Design", ASIC & EDA, pp.70-81, May 1994.
- [2] Rob Kelley, "Choosing the Right Signal Integrity Tool", Electronic Design, pp. 78-80, September 1995.
- [3] Lisa Maliniak, "Signal Analysis: A Must For PCB Design Success", Electronic Design, pp. 69-81, September 1995.
- [4] Jin Zhao and Jiayuan Fang, "Significance of Electromagnetic Coupling Through Vias in Electronics Packaging", *IEEE 6th Topical Meeting on Electrical Performance of Electronic Packaging, Conference Proceedings*, p. 135-138, Oct., 1997.
- [5] W. Becker, B. McCredie, G. Wilkins, and A. Iqbal, "Power Distribution Modeling of High Performance First Level Computer Packages," *IEEE 2nd Topical Meeting on Electrical Performance of Electronic Packaging, Conference Proceedings*, pp. 203-205, Oct. 20-22, 1993, Monterey, CA., USA.
- [6] M. Bedouani, "High Density Integrated Circuit Design: Simultaneous Switching Ground/Power Noises Calculation for Pin Grid Array Packages," *43rd Electronic Components & Technology Conference, Conference Proceedings*, pp. 1039-1044, June 1-4, 1993, Orlando, FL., USA.
- [7] R. Raghuram, D. Divekar, and P. Wang, "Efficient Computation of Ground Plane Inductances and Currents," *IEEE 2nd Topical Meeting on Electrical Performance of Electronic Packaging, Conference Proceedings*, pp. 131-134, Oct. 20-22, 1993, Monterey, CA., USA.
- [8] A.R. Djordjevic and T.K. Sarkar, "An Investigation of Delta-I Noise on Integrated Circuits," *IEEE Trans. Electromagn. Compat.*, vol. 35, pp. 134-147, May 1993.
- [9] Y. Chen, Z. Chen, Z. Wu, D. Xue, and J. Fang, "A New Approach to Signal Integrity Analysis of High-Speed Packaging," *IEEE 4th Topical Meeting on Electrical Performance of Electronic Packaging, Conference Proc.*, pp. 235-238, Oct. 2-4, 1995, Portland, Oregon.
- [10] Y. Chen, Z. Wu, A. Agrawal, Y. Liu, and J. Fang, "Modeling of Delta-I Noise in Digital Electronics Packaging," *1994 IEEE Multi-Chip Module Conference, Conference Proc.*, pp. 126-131, Mar. 15-17, 1994, Santa Cruz, CA.
- [11] Y. Chen, Z. Chen, and J. Fang, "Optimum Placement of Decoupling Capacitors on Packages and Printed Circuit Boards



- Under the Guidance of Electromagnetic Field Simulation,” *46th Electronic Components & Technology Conference, Conference Proc.*, pp. 756-760, May 28-31, 1996, Orlando, Florida.
- [12] Larry Smith, Raymond Anderson, Doug Forehand, Tom Pelc, and Tanmoy Roy, “Power Distribution System Design Methodology and Capacitor Selection for Modern CMOS Technology”, *IEEE Transactions on Advanced Packaging*, pp. 284-291, August, 1999.
- [13] Dale Becker, “Tools and Techniques for Electromagnetic Modeling of Electronic Packages”, *IEEE Topical Meeting on Electrical Performance of Electronic Packaging*, Short Course, October 1996.
- [14] Andrew F. Peterson, “Computer-Aided Engineering Tools for Electronic Packaging Analysis”, *IEEE Topical Meeting on Electrical Performance of Electronic Packaging*, Short Course, October 1996.
- [15] W. Hobbs, A. Muranyi, R. Rosenbaum and D. Telian, Intel Corporation, “IBIS: I/O buffer Information Specification Overview”, <http://www.vhdl.org>, January 14, 1994.
- [16] Peivand F. Tehrani, Yuzhe Chen, Jiayuan Fang, “Extraction of Transient Behavioral Model of Digital I/O Buffers from IBIS”, *IEEE Electronic Components & Technology Conference*, Conference Proceedings, May 1996.
- [17] Ying Wang and Han Ngee Tan, “The Development of Analog SPICE Behavioral Model Based on IBIS Model”, Proceedings of the Ninth Great Lakes Symposium on VLSI, March, 1999.