

PCB 设计问题集

首先感谢大家使用我们的邮件支持服务,我们也借此机会特别感谢那些不断来信提问的朋友,因为提的问题越多,可以说明大家是非常珍惜这个学习机会的;这同时也是对我们工作的一个支持。让我们明白大家的心声,可以更好地完善我们的产品与服务,最大程度地满足朋友们的需求。

为了让所有购买我们产品与服务的朋友们能够共同提高,我们从众多的来信中选择了部分有代表性的问题,并将我们的答案也一同公布,希望能够给大家的学习与工作带来一点帮助。另外在今后的工作中我们还会不断总结、将大家的疑问、难点汇总成册。

斐特兰期望每一位朋友能够快速长进,这是我们的最大愿望,我们的所有工作也将以此为中心。所以期望您能一如既往给予我们支持!

邮件提问与回答汇总如下:

问:

感谢贵公司多媒体教程给我带来的帮助!

我想请教您一个问题:

在设计准备中设置 VIA、层、布线规则一节的多媒体中,

1. 为什么有边界线还要对内层的外形线进行设置?

2. Layer_25 是什么? 为什么此外形线设为 Layer_25?

3. 我在其它地方看到“在做元件的时候焊盘定义里就要加上第 25 层”,

但在贵公司教程中做 QFP-44P 这个示例时并没有加,这是为什么,加与不加有什么区别?

请指教,谢谢!

答:

有关您的问题回答如下:

在我们的多媒体教程 1, 2 部中介绍了 PowerPCB 的层使用,以及我们推荐的层使用惯例。因为您没有资料,所以简单介绍一下:

Layer_25 层是内层负片设计时使用,用来做安全焊盘,注意只有 DIP 元件才需要,QFP 等 SMD 表面贴片元件是不需要的。安全焊盘一般应该设置得比表面的连接盘大,如果您对负片设计不是很清楚,请阅读相关资料。

为什么有边界线还要对内层的外形线进行设置?

这同样是对负片设计时的一种手段,加宽负片的外形边界线的作用,相当于正片设计时对外形边缘区设置布线禁止区域。

问:

您好!

本人已做了 Library: FTL.PT4 文件和 Netlist: training.asc 文件但发现与你们的教程中不同和错误不能输入,请你能否将你们的教程中的 Library: FTLPT4 文件和 Netlist: training.asc 发给我做参考学习.谢谢!!

答:

感谢您的来信,有关您的问题希望您能够找到错误原因,如属于什么类型的错误等,才能真正有所提高。

按照您的要求我们将 Training.PCB 送给您,您可以将所有元件存储到自己的库中,方法在教程中有介绍。

简要说明如下:选中所有元件/在右键菜单中选择 SAVE TO LIBRARY/然后选择一个库就可以了。

有关 NETLIST,您可以使用我们的数据与您自己的 NETLIST 相比较.使用 NETLISTCompare 命令,还可

以输出一 Netlist, 使用 Report 功能。请尝试上述方法, 如果仍然有问题欢迎来信提问。
注: 上述所有操作在各相关教程中都有介绍, 相信在阅读后续课程时您自己就可以找到答案了。

问:

请教怎样用你上次发给我的 training.job 文件, 输出 Netlist training.asc 文件. 怎么在教程里看不到。

答:

通过 FILE/REPORT 中/进行 ASC OUT, 在新出现的对话框中, 选择 POWERPCB NETLIST. 就可以输出。同时注意 POWERPCB 的 NETLIST 格式如果要想读入到您的设计中需要在最前面增加一行关键字, 在第 2 部教程有介绍。

问:

您好!

我已看完你们的第一部(元件设计标准/操作规程), 觉的很好. 在这里有一个问题: 在制作元件时, 测量元件间距为什么只能准确到小数点后 1 位(如: 2.5)而不能到小数点后 2 位(如: 2.54)请问这在那里设置。

答:

A: 请进入 SETUP/Preference/Auto Dimensioning, 然后从 General Settings 窗口选择 Text 在新打开的对话框中将 Precision 的 Linear 一栏增加到 2 位或者是 3 位, 这是小数点后的位数。请试试看, 如有问题欢迎随时来信。

问:

在 powerpcb 中怎么样直接放置(不用在 EDITOR DECAL 中做成元件)一个 2*3 的焊盘, 内径 1.5 外径 3 的过孔。是不是都要在 EDITOR DECAL 中做成元件后再调入。

答:

只要有孔必须用元件, 而且这是保证不出错误的最安全的方法。

问:

在 powerpcb 中画线是不是一定要有网络(鼠线连接)才能进行布线, 没有鼠线连接可以直接画线吗?

答:

在 PowerPCB 中只要有电气连接肯定会有 NET 网络(鼠线连接), 但是在 ECO 下面可以不加 NET 网络直接追 Route。

只适合简单的设计。在教程中有介绍。

问:

有时要画一条 0.5 的线, 而在 Rules/.../recommended 中设置是 0.2, 为什么在画线输入 W0.5 后, 这一段是 0.5 而下一段又变成 0.2 是不是 powerpcb 中画线就是这样。

答:

这是因为 Rules/.../recommended 中设置优先, 所以请更改设置, 会比较方便。

问:

我已经能够创建复杂的 plane area, 但是, 尽管我在该 Plane area 中放置 VIA, 热焊盘自动出现, 但鼠线却不消失, 同样的 PCB 图中, GND 层的热焊盘却不出现鼠线, 为什么?

答:

鼠线是否显示一般与 VIEW/NETS 中的设置有关, 请看多媒体教程第 3 部中有介绍, 再说, 显示鼠线并不一定表示没有连接, 只要 VERIFY DESIGN 中的内层与连接检查无错就可以完全放心。

问:

我希望在 VCC 层(Split/Mix)整个布+12V 的 Plane area, 然后在其中一小块布+12S 的 Plane area 如何操作。

答:

一般可以通过下面两个途径实现:

正片使用 COPPER POUR 功能, 此时 VCC 层设置为普通的 ROUTING 层即可。然后用 COPPER POUR 画, 注意 FLOOD 设置。或者 Split/Mix, 注意 LAYER 设置, 是否将两个信号都 ASSIGN 了? 另外外形是用 AUTO PLANE SEPARATE 画的吗?

问:

PCB 图中各种字符往往容易叠加在一起, 或者相距很近, 当板子布得很密时, 情况更加严重。当我用 Verify Design 进行检查时, 会产生错误, 但这种错误可以忽略。往往这种错误很多, 有几百个, 将其他更重要的错误淹没了, 如何使 Verify Design 会略掉这种错误, 或者在众多的错误中快速找到重要的错误?

答:

可以在颜色显示中将文字去掉, 不显示后再检查; 并记录错误数目。但一定要检查是否真正属于不需要的文字。

问:

PowerPCB 提供了一些常用器件的封装, 问题是:

1. 我不知道封装的名字和实际器件的对应关系
2. 似乎 PowerPCB 的名字和国际通用的元器件的封装名字不一致的, PowerPCB 用了一些简写, 如何对应起来?

3. 一种封装对应好几种, 如何选择? 例如: SSOP8 就有

- S08-opt
- S08M1
- S08M2
- S08NB
- S08NBWS
- S08WB
- ...

答:

再次重申, 最好不要使用厂商的库, 应尽量自己建库. 原因有多种, 可以避免出错, 虽然要多化些时间. 各家起名都有自己的规则, 该例是根据具体的封装命名的一般人不容易记住, 而且是用英制, 不太适合我们使用.

建议您根据元件资料, 自己建立一个命名规则, 慢慢建立自己的库.

Type 名用元件的封装名, Decal 用自己的命名规则起名等.

问:

各位老师:

前 5 章的课程已经看完了, 现有些问题弄不清, 请给予解答。

1. POWERPCB 的 PAD 和 VIA 为什么在每层的 DIAMETER 都是不同的, 那 DRILL 应该是相同的吧, 我想一些电源的梅花孔和内部铜皮相连那焊盘定义那么大有意义吗?

答:

我们是在 L25 层定义梅花孔等内层尺寸的。一般要求是孔径+0.7--1.3mm。

如果是正片设定与外层同尺寸。其它是 Solder Mask 的设定。当然也可以使用软件的自动生成功能, 但是有局限性。

问:

2. 电源布线成飞封闭形是不是比较好?

答:

各种电路的要求有所不同, 请问您指的是外层还是内层?

问:

3. 元件内部打过孔应该没什么关系吧, 只要离 PIN 足够近, 性能是好的吧。

答:

内部不是不可以打过孔, 如果有空间应尽量打在外端, 特别是大过孔会出现很多问题。不应该离 PIN 太近, 至少要大于安全间距以上。

问:

4. 输入电源线上如果电流太大是不是就要打过孔比较好, 小就不用打了? 如 10MIL 的线多大算是大电流呢?

答:

一般需要强化, 增加多个 VIA 是手段之一。10MIL 普通的 VIA 0.8 以上就可以满足要求。应该是反向思维, 1A 电流至少要 1MM 的布线宽度, 请自己计算。

问:

还有对分割电源层好象看了教程后还不大能分割出来, 只做到选定了层和范围下面的步骤好象就进行不小去了, 能不能在详细讲讲呢。

答:

对不起分割可能没有进行详细的讲解, 但是只要内层设定正确, 不管是采用传统的人工分割法还是现在软件提供的自动分割, 方法与画外形线基本相同。另外我们在另一个产品软件通及我公司的其它产品中对该功能有详细的介绍。

问:

从抗干扰来说, 下面 4 层板的设置那个较好? (和 PowerPCB 无关, 请以您专家的经验回答, 谢谢!)

Top (Place components)
VCC
GND
Bottom
还是
Top (Place components)
GND
VCC

Bottom

答:

下面的好,但是请注意4层虽然比两层板减少了EMI干扰,但是却无法减少RF电流引起的问题.相比之下6层与8层板的抗干扰能力就比较强.但是根据不同的信号,各有几种不同的层构造.

问:

Via有盲孔和过孔2种形式,但在4层板中,是否很少使用盲孔?

答:

还有埋孔.使用与否与COST有关,但是密度大无法实现时只能使用.

问:

是否板子中有盲孔,板子的加工工艺会变复杂,而且加工费用会增加?

答:

SURE!

问:

但从抗干扰性能来说,盲孔是否会更好? (又有点超纲了:)

答:

没有理论根据,最好的是在同一层布线,不使用任何VIA!

PS:

我们正在准备高级班的教程是与抗干扰等相关的很多技术要求与实践篇.但是还需要一段时间才能出品,到时会通知您的.

问:

有些元器件需要放在板子的边缘,例如某些接插件,如何修改,使其能通过Verify Designed?

答:

进入VERIFY DESIGN的SETUP, UNSELECT BOARD LINE,就可以完成。

问:

我有一个QFP176的Decal, 2个Pad间的间距小于0.254,在verify Designed时会报错:

“Distance between pads too small U8.36, U8.37 distance is less than 0.254”

奇怪的是:我修改了Decal和PCB文件的Designed Rules. Clearance,使Pad<->Pad. Clearance等于0.1, verify Designed仍然出错,而且报的错误没有变化,也就是说,修改Design Rule似乎没用,如何解决上述问题?

答:

不太会有这样的问题,没有发现软件有这样的BUG.请检查您的设定,如选择该元件,再从右键菜单的QUERY中选择对该元件的RULE,检查设定是否正确。

问:

ECO究竟有什么用?

答:

Engineering Change order: 工程更改,可以将设计过程中的全过程记录并保存到一个ECO文件中,

便于检查, 另外还可以将在 PowerPCB 中对电路的修改等返回到 PowerLOGIC 中去。软件会自动修改您的电路图, 很好玩的。

问:

Reference:

当某个 PowerPCB 文件已经导入 netlist 后, 略微修改原理图, 再向 PowerPCB 导入 netlist, 会出错。好像 Protel 就会自动修正 PCB 文件, PowerPCB 做不到这一点吗?

Your Answer:

需要注意使用方法。

1. 将已导入 netlist 的 JOB, 进行 ASC OUT 处理并保存, 在选项中不选与 NETLIST 相关的参数, 也就是要先将已调入的 NETLIST 去除后再调入新的 NETLIST。
2. 使用 COMPARE LIST 做比较结合使用 ECO 文件, 方法比较烦琐可能不适合初学者。

Continue 问:

1. 能否稍微详细点介绍 ECO 的使用? It's important for me, 可以举个例子: 我在 PowerLogic 中加了一个电源指示 LED, 如何修改 PowerPCB 文件?

答:

如果是很简单的修改, 可以进入 ECO 直接手工修改, 请参见我们在教程中介绍的方法。然后将 POWERPCB 中的 NETLIST 数据与 POWERLOGIC 中的数据做比较, 用 TOOLS 中的 NETLIST COMPARE 命令。验证数据的正确性。如果还没有布线, 可以将现行的 NET 去除, 用 ASCII OUT, 然后调入新的 NETLIST。

问:

既然 PowerPCB 和 PowerLogic 中无法简单互相传递修改信息, 那么, (OLE PowerPCB Connection). (Synchronize PCB/SCH) 又同步一些什么呢?

答:

NO, PowerPCB 和 PowerLogic 可以相互传递数据。

问:

教程“第三部 元件布局”第四章. 多媒体演示教程 6 中, 制作元器件的 Decal 时, 已经在元器件的周围标注了 PIN 番号, 还要在 PCB 中用 TEXT 在 L26 层 (Silkscreen Top) 层输入 PIN 番号吗?

答:

YES, 在做 DECAL 时的 PIN 信号只是做参考用的, 为了避免遗忘, 在布线完成后需要在 26 层从新输入 PIN 等。

问:

如何在 PowerPCB 中显示 Decal 的 Pin 的引脚号?

答:

将设定层显示出来, DISPLAY COLOR

问:

请看附件, 其中的网络名称“\$\$\$5851”不知道怎么出来的, 如何去掉? My PowerPCB version is 5.0.

Your Answer:

A: 方法之一: 从 Pop up Menu 右键菜单中, 选择 Anything, 任何选中目标, DELETE 它.

Continue 问:

I have done as you said. But, the "delete" in pop up menu is gray. Do you know other ways to handle it?

答:

OH, DEAR, YOU CAN USE YOUR DEAR KEYBOARD. remember all windows command can be used .

问:

PowerPCB 标准库中的 Decal 的 外边框不在 All Layer, 直接使用是否会出错? 需要将其改到 Silkscreen Top Layer 吗?

Your Answer:

A: 实际证明, 厂家的 All Layer 不是最佳选择, 因为有很多限制, 在哪一层画都可以只要 CAM 时做相应的设定。

Continue 问:

1. 那么, 我应如何处理呢? 自己重画元器件, 然后将 Decal 中的字符、边框线分别放在哪一层呢?

2. CAM 如何依据 Decal 中层的分布进行设定呢?

答:

按照我们提供的方法对您今后的工作会有好处, 有关 CAM 的设定在第 6 部中会有详细说明。选择 L26。

问:

RESIST、PASTE 各是什么意思?

答:

RESIST : 阻焊

PASTE: SMT 元件用的金属罩, 一般与焊盘等尺寸.

问:

我的原理图是用 PowerLogic 画的, 如何将 netlist 送入 PowerPCB, 我知道 2 个方法,

1. NetList ot PCB

2. OLE PowerPCB connection

有没有其他方法, 那个方法最好?

答:

1. NetList to PCB 一般使用该法

问:

PCB 图中各种字符往往容易叠加在一起, 或者相距很近, 当板子布得很密时, 情况更加严重。当我用 Veri fy Design 进行检查时, 会产生错误, 但这种错误可以忽略。往往这种错误很多, 有几百

个, 将其他更重要的错误淹没了, 如何使 Verify Design 会略掉这种错误, 或者在众多的错误中快速找到重要的错误。

答:

可以在颜色显示中将文字去掉, 不显示后再检查; 并记录错误数目。但一定要检查是否真正属于不需要的文字。

问:

What' s mean of below warning:

(6230,8330 L1) Latium Rule not checked: COMPONENT U26 component rule.

答:

这是有关制造方面的一个检查, 您没有相关设定, 所以可以不检查。

问:

怎样导出 job 文件?

答:

应该是 JOB 文件吧? 低版本的 powerPCB 与 PADS 使用 JOB 文件。现在只能输出 ASC 文件, 方法如下 STEP: FILE/EXPORT/选择一个 asc 名称/选择 Select ALL/在 Format 下选择合适的版本/在 Unit 下选 Current 比较好/点击 OK/完成

然后在低版本的 powerPCB 与 PADS 产品中 Import 保存的 ASC 文件, 再保存为 JOB 文件。

问:

怎样导入 reu 文件?

答:

在 ECO 与 Design 工具箱中都可以进行, 分别打开 ECO 与 Design 工具箱, 点击右边第 2 个图标就可以。

问:

为什么我在 pad stacks 中再设一个 via: 1(如附件) 和默认的 standardvi (如附件) 在布线时 V 选择 1, 怎么布线时按 add via 不能添加进去这是怎么回事, 因为有时要使用两种不同的过孔。

答:

PowerPCB 中有多个 VIA 时需要在 Design Rule 下根据信号分别设置 VIA 的使用条件, 如电源类只能用 Standard VIA 等等, 这样操作时就比较方便。详细设置方法在 PowerPCB 软件通中有介绍。

问:

为什么我把 On-line DRC 设置为 prevent. . 移动元时就会弹出(图 2), 而你们教程中也是这样设置怎么不会呢?

答:

首先这不是错误, 出现的原因是在数据中没有 BOARD OUTLINE. 您可以设置一个, 但是不使用它作为 CAM 输出数据。

问:

我用 ctrl+c 复制线时怎设置原点进行复制, ctrl+v 粘帖时总是以最下面一点和最左边那一点为原点

答:

复制布线时与上面的 MOVE MODE 设置没有任何关系, 需要在右键菜单中选择, 这在 PowerPCB 软件通教程中有专门介绍。

问:

用(图 4)进行修改线时拉起时怎总是往左边拉起(图 5), 不知有什么办法可以轻易想拉起左就左, 右就右。

答:

具体条件不明, 请检查一下您的 DESIGN GRID, 是否太大了。

问:

好不容易拉起右边但是用(图 6)修改线怎么改怎么下面都会有一条不能和在一起, 而你教程里都会好好的(图 8)

答:

这可能还是与您的 GRID 设置有关, 不过没有问题, 您可以将不需要的那段线删除. 最重要的是需要找到布线的感觉, 每个软件都不相同, 所以需要多练习。

问:

尊敬的老师:

您好!

这个图已经画好了, 但我只对(如图 1)一种的完全间距进行检查, 怎么错误就那么多, 不知怎么改进。请老师指点。这个图在附件中请老师帮看一下, 如果还有什么问题请指出来, 本人在改进。谢!!!!!!

答:

请注意您的 DRC SETUP 窗口下的设置是错误的, 现在选中的 SAME NET 是对相同 NET 进行检查, 应该选择 NET TO ALL. 而不是 SAME NET 有关各项参数的含义请仔细阅读第 5 部教程。

问:

U101 元件已建好, 但元件框的拐角处不知是否正确, 请帮忙 CHECK

答:

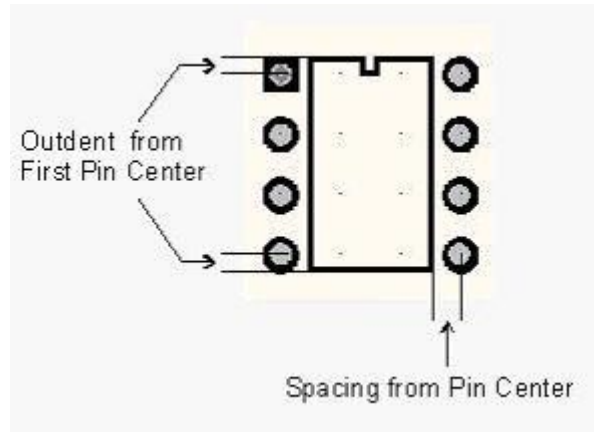
元件框等可以通过修改编辑来完成。

问:

U102 和 U103 元件没建完全, 在自动建元件参数中有几个不明白: 如: S01C--》silk screen 栏下 spacing from pin 与 outdent from first pin 对应 U102 和 U103 元件应写什么数值, 还有这两个元件 SILK 怎么自动设置, 以及 SILK 内有个圆圈怎么才能画得与该元件参数一致。

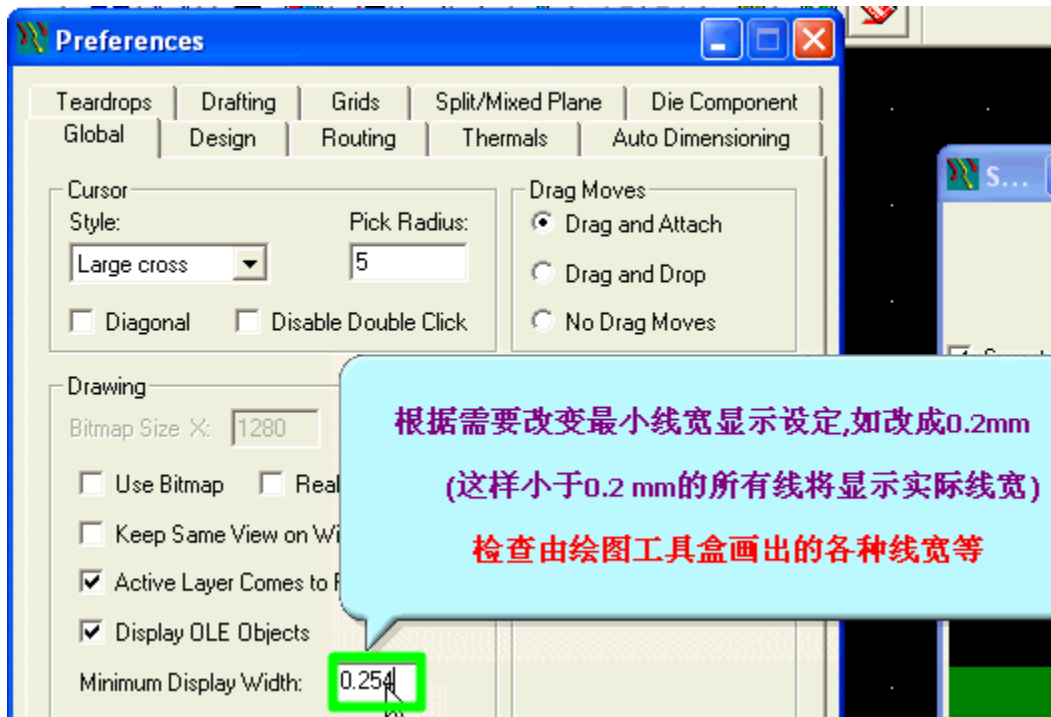
答:

Spacing from pin 指从 PIN 到 SILK 的 Y 方向的距离, outdent from first pin 是第一 PIN 与 SILK 端点间的距离. 请根据元件资料自己计算。



问:

我设定最小显示的线宽, 这样, 小于此线宽的所有线是不是将显示实际线宽还是说将不显示? 它与 DRC 中的最小线宽有何区别? 快捷命令 w 设定的是什么?

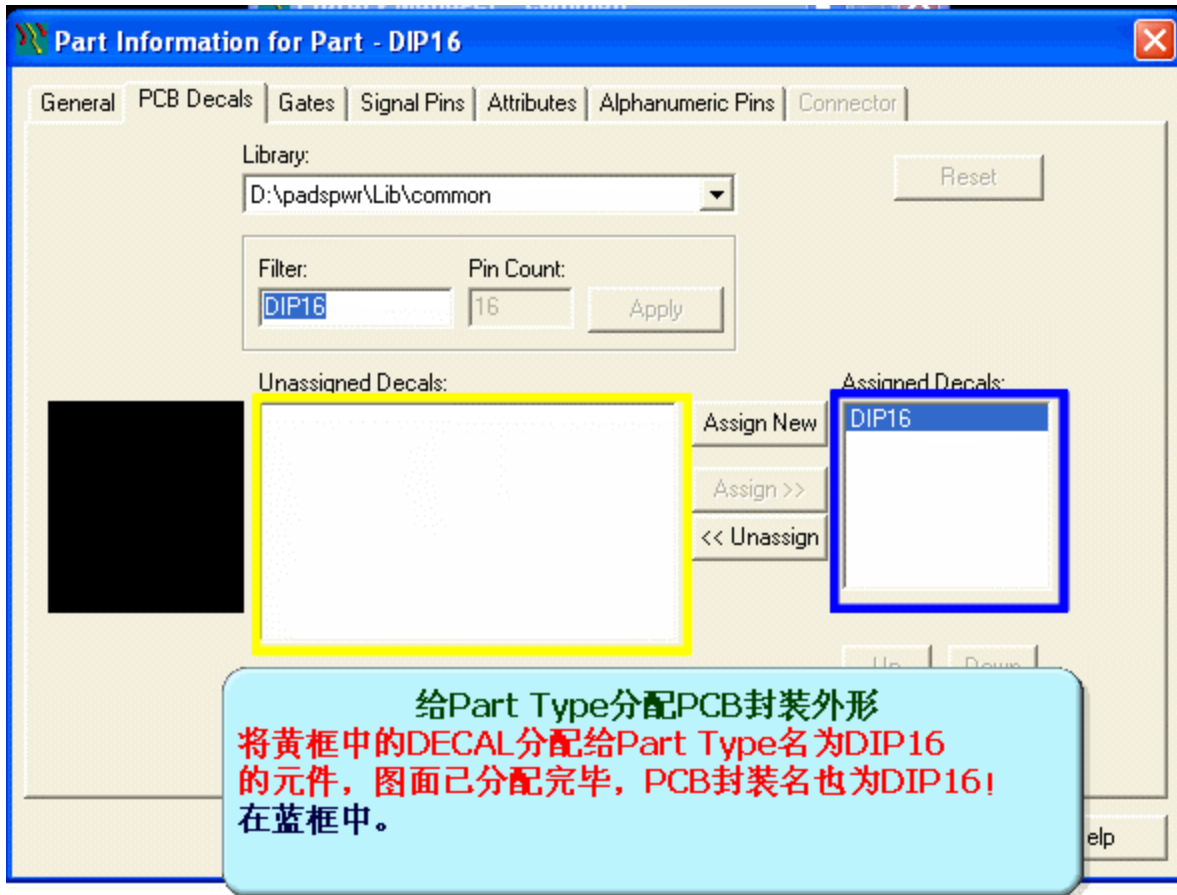


答:

应该是不显示设计线宽。与 DRC 中的线宽没有关系, DRC 中的线宽是布线-铜线的线宽。快捷命令 w 设定的是 2D-LINE, 等绘图时的线宽。

问:

给 Part Type 分配 PCB 封装外形, 可以分配 16 个, 这是什么意思。



答:

是的，一个 TYPE 可以与多个 DECAL 封装想联系，因为同一 TYPE 的元件，可能是 DIP，SOP，或者 SSOP 等。但是此处的 DIP16 是元件的名称。

问:

右键菜单中的后面显示的快捷命令中的符号 {} 与 <> 有何区别？

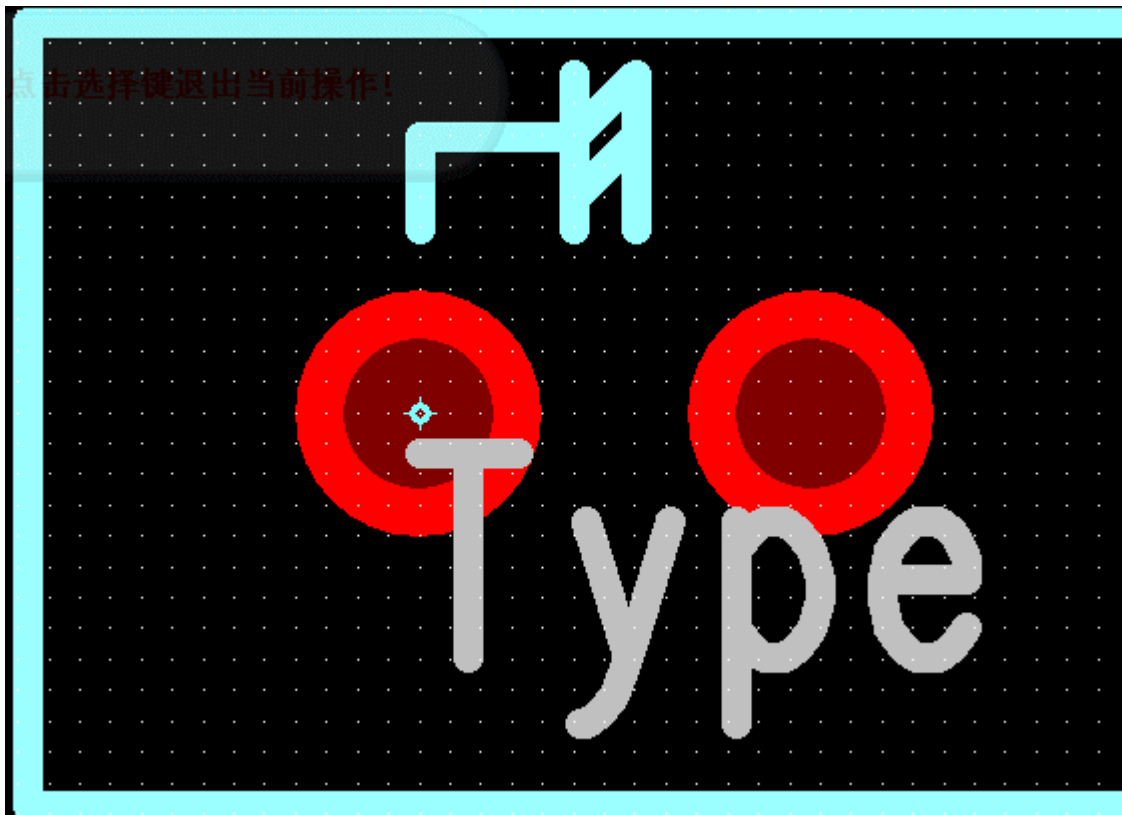
Complete	<dbl_click>
Add Corner	<click>
Add Arc	
<hr/>	
Width...	{W<nn>}
Layer...	{L<nn>}
Auto Miter	
<hr/>	
Polygon	{HP}
Circle	{HC}
✓ Rectangle	{HR}
Path	{HH}
<hr/>	
Orthogonal	{AO}
✓ Diagonal	{AD}
Any Angle	{AA}
<hr/>	
Cancel	Esc

答:

应该是鼠标与键盘输入的区别。

问:

为什么在我的电脑中画 Silkscreen 的 2D Line 时, 得到的图形都是很细的线 (就象是 0 线宽一样), 一刷新就什么也看不到了, 包括原来画在 Top 层中的 Terminal 也看不到了, 根本不象你们所画的那样 (下面是你们画的图), 这是为什么?

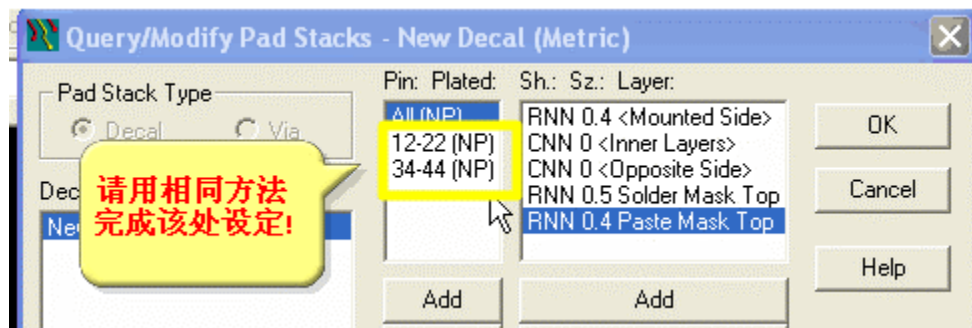


答:

检查设计单位, DRAFTING 的线宽设定 (用 L 设定的部分), 还有上面第一个问题中的画面显示最小尺寸等。

问:

在“PRT112: 学习用 Decal Wizard 做 QFP 元件”一节中, 我们已经在 ALL [NP] 中添加了 Solder Mask Top 和 Paste Mask Top 层, 这已经是对所有的层进行的修改, 为什么还要对 12-22 [NP] 和 34-44 [NP] 进行编辑修改呢? 另外, 此处下面的窗口中的“PIN 番号”, 这里的“番号”是指什么?



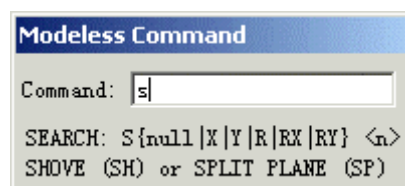
另外您还需要对SILK外形进行修改,在L19层输入PIN番号等操作!
完成后请保存DECAL与PAYT TYPE,我们使用的是QFP-44P-0.8!

答:

QFP 等元件由于有 4 个方向, 这 4 个方向的 PAD 设置都是不同的, 所以需要分别设定。只有在所有的 PAD 都相同时使用 ALL, 否则需要追加下面的 PIN。这在我们的在线培训课程中有详细的讲解。

问:

如何解读快捷命令窗口? Command 下面显示的两行分别是什么意思?



问:

这是你上次对我以下问题的回答, 在此我想再问一下: 你这里指的, 是不是指快捷命令中的 L 功能? 但是快捷命令中的 L 命令只是用来设定层的?

答:

线宽用 W 命令。

问:

另外, 我们在使用快捷命令时, 快捷命令后面是不是一定要加一个空格还是说可加可不加? 如果要的话, 什么时候必须加?

答:

正确的应该都加空格, 但是 95%以上不加照常工作, 但是有些不行如 SR1 来搜索 R1 元件时, 不能正常工作。而必须用 S R1 等。请自己练习。

问:

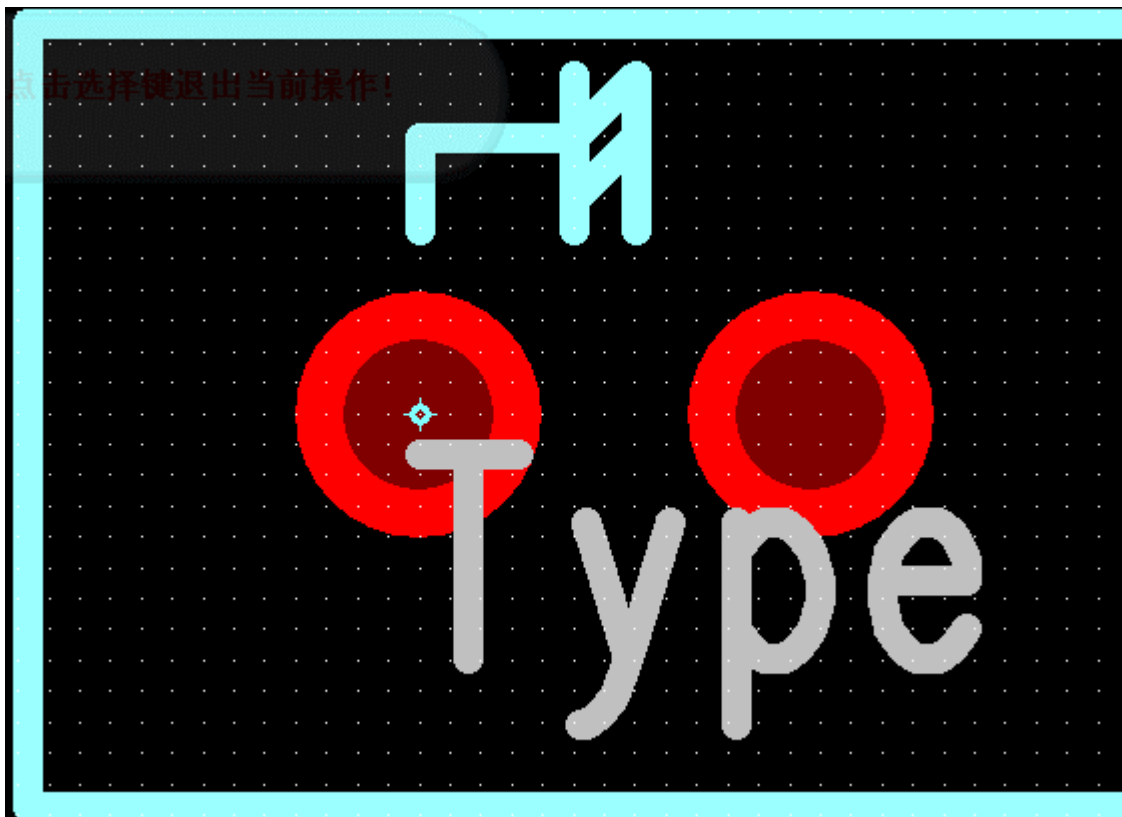
我按照软件通的 PRT110 一切所演示的那样做, (事先我已经把显示线宽设定为 3mils), 我先在 (H)Top 层画了两个 Terminal, 然后切换到 Silkscreen Top 层, 用 2D-Line 功能画了一个外框, 什么也没看到, 一刷新, 连那两个 Terminal 也看不到了, 再切换到 Top 层, 可以看到那两个 Terminal 了, 但还是看不到所画的外框。如果此时我在 Top 层或 Bottom 层上画外框, 那就即可以看到外框, 也可以看到那两个 Terminal, 请问这是为什么? 我在画 Keepout 禁止区域时, 画完后, 也是什么都看不到, 这是为什么?

答:

请进入 SETUP/DISPLAY COLORS 查看相应层的颜色是否设定了。另外 Terminal 在其它非电气层没有必要设置, 所以显示不出来。

问:

为什么在我的电脑中画 Silkscreen 的 2D Line 时, 得到的图形都是很细的线 (就象是 0 线宽一样), 一刷新就什么也看不到了, 包括原来画在 Top 层中的 Terminal 也看不到了, 并不象你们所画的那样 (下面是你们画的图), 这是为什么?



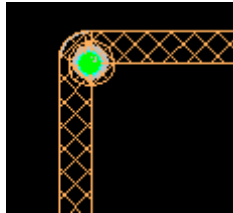
这是你上次告诉我的: 检查设计单位, DRAFTING 的线宽设定 (用 L 设定的部分), 还有上面第一个问题中的画面显示最小尺寸等。

答:

应该是用 W 设定。

问:

在画禁止区域时, 区域与区域交叉重叠的地方怎么办? 是否允许有重叠的部分还是说必须重叠? (例如下图中的左边与上边交叉的地方)



答:

禁止区域表示一个区域的特性, 如在这儿不可以堆放元件等, 不管有无重叠都没有关系. 它是一个辅助方法, 不会输出为 CAM 数据。

问:

关于选择与高亮显示的问题: 我选中了一个 terminal, 然后用 Ctrl + H 来高亮显示它, 但我却无法再用 Ctrl + U 来 Unhighlight 它, 而必须再次点击选中它或在其它空白区域点击一下, 为什么?

答:

这感觉是软件的 BUG, 请进入 FIND/在 ACTION 下选择各项命令进行对比, 就可以了解软件的相应功能。

问:

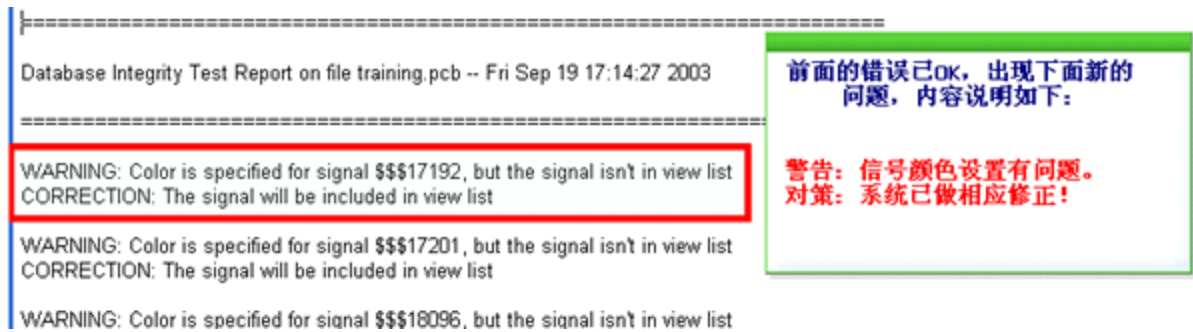
在用文本编辑器输入网络表 Netlist 时, 哪一个 Net 放在 N1 中、哪一个 Net 放在 N2, 有没有规定? N1、N2、N3、N4、……, 是否一定要按顺序排列的?

答:

N1、N2、N3、N4 等是 NET 的名称, 与顺序没有关系。因为软件对每一个异电位的 NET 都必须命名, 客户电路图中有名称的应优先采用, 如果没有名称, 则可以任意命名。注意同名称意味着是一个网络连接!

问:

在 import netlist 时, 系统给出的错误信息是有关信号颜色的, 这是什么意思? 这种错误是由于什么原因造成的? 对 JOB 本身有没有什么影响?

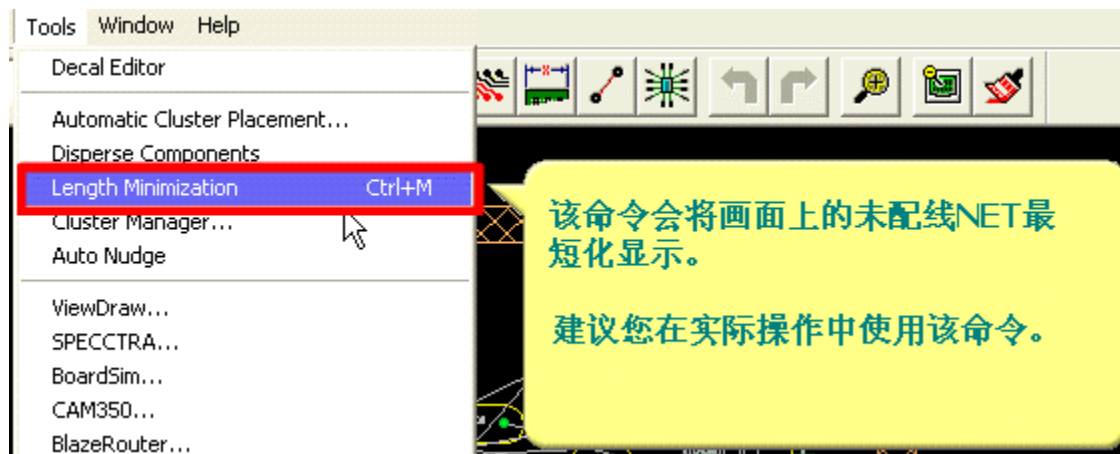


答:

我们是从 Powerlogic 中调入的 NETLIST, 初始设定的参数不一致。不影响网表的读入。

问:

这里的未配线 Net 是什么意思?



答:

屏幕上的没有变成 ROUTE (铜线) 的 RATS NET, 即哪些灰白色的线。

问:

能否通俗地解释一下 Cluster 的意思? 它的作用是什么? 它与 Group 的区别在哪里?

答:

Cluster 是用于元件布局时的族, 将元件打包自动布局; 但一般不建议使用自动布局。GROUP 是设计 RULE 中按一定的规则设定的有相同电气要求的组, 然后好对他们进行统一的规则设定。

问:

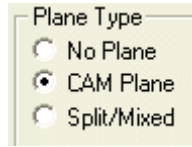
能否通俗地解释一下 Cluster 的意思? 它的作用是什么? 它与 Group 的区别在哪里?

答:

Cluster 是用于元件布局时的族, 将元件打包自动布局; 但一般不建议使用自动布局。GROUP 是设计 RULE 中按一定的规则设定的有相同电气要求的组, 然后好对他们进行统一的规则设定。

问:

对于层的定义, 这里有 plane、no plane、split/mixed 这几种设定, 请问这与 power、ground、signal、mixed 以及正片层、负片层有何区别? 它们之间的关系是怎样的?



答:

有关层请记住: 电气层
非电气层

电气层中有: ROUTING (NO PLANE) 正片
PLANE (负片设计时)
split/mixed 正片

问:

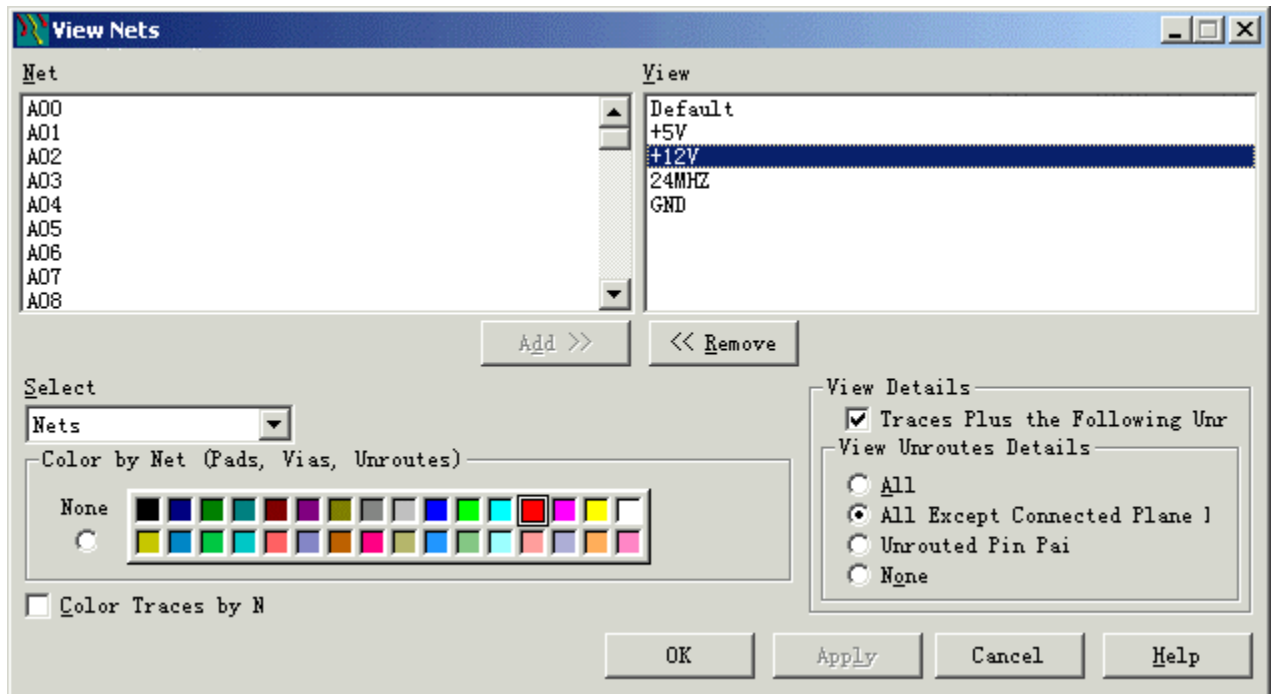
8. 在 CAM 中, 一块 PCB 板, 从上到下对层的定义通常是这样的: silkscreen top, soldermask top, component side (即 top side), inner layer (有 power, ground, signal, mixed 之分), solder side (即 bottom side), soldermask bottom, silkscreen bottom。请问在 PowerPCB 中从上到下是怎样定义的?

答:

在 PowerPCB 中基本相似。如果使用 PowerPCB 的默认层在 CAM 时选择相应的项软件会自动识别相应层, 如果使用自己的层则需要在 SETUP 的 LAYER 下进行设定。

问:

菜单 View -- Nets 窗口中的右下角部分作何解释? 怎么用?



答:

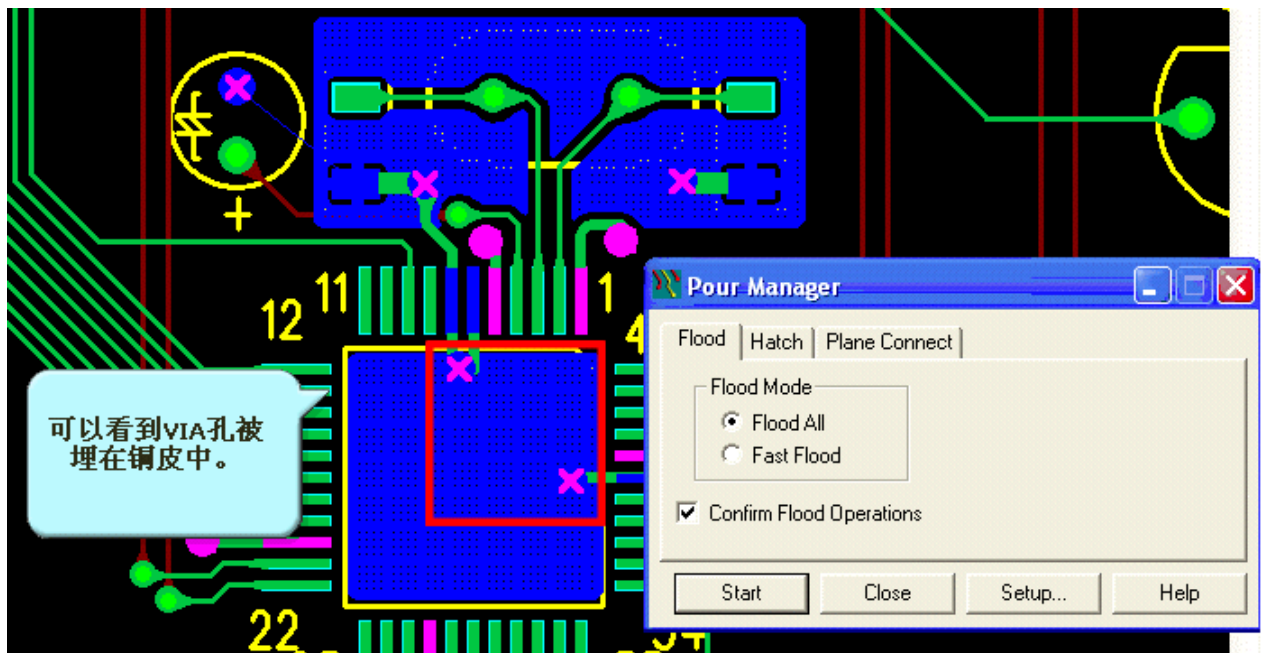
非常有用, 它们可以确定 NET 的显示方式。 分别是

- | | |
|----------------------------|-------------------------|
| ALL | 显示所有的 NET 元素 |
| ALL Except Connected Plane | 显示所有的 NET, 除了 PLANE NET |
| Unrouted PIN Pair | 只显示未布线的部分 |
| None | 不显示 |

请选择各项, 看画面的反映来熟悉功能。

问:

在做自动覆铜时, 结果是全铜还是中间有网格(空洞)的铜? 因为从这个图中看来好象中间是有网格的。蓝色的这些覆铜是在哪一层上的? 第一层、内层的接地层还是底层?

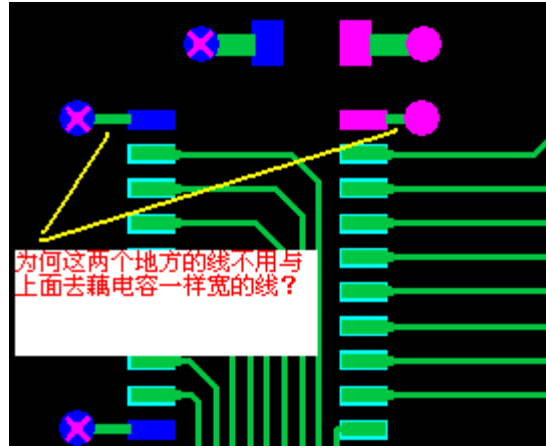


答:

是全铜, 为了需要网格显示可以改变, 该功能在其它的教程中有介绍, 请继续观看教程。蓝色的覆铜现在是表面层的。

问:

为何这几个地方的电源或接地的线宽与上面电容的线宽要小, 为何不选择一样宽的线?



答:

因为下面的焊盘小。当然是越宽越好，但是线宽不要超过焊盘的宽度！

问:

4. 能否对 PowerPCB 中层的分类解释得详细点？下面是你们上次给我的回答，我还是不怎么理解？什么是非电气层？什么是元件层？什么是布线层？等等，能否举例说明？（最好能帮我把对应的英文名称也写出来，谢谢！）什么时候会用到 Electrical Layer Type 中的 Routing 种类？

答:

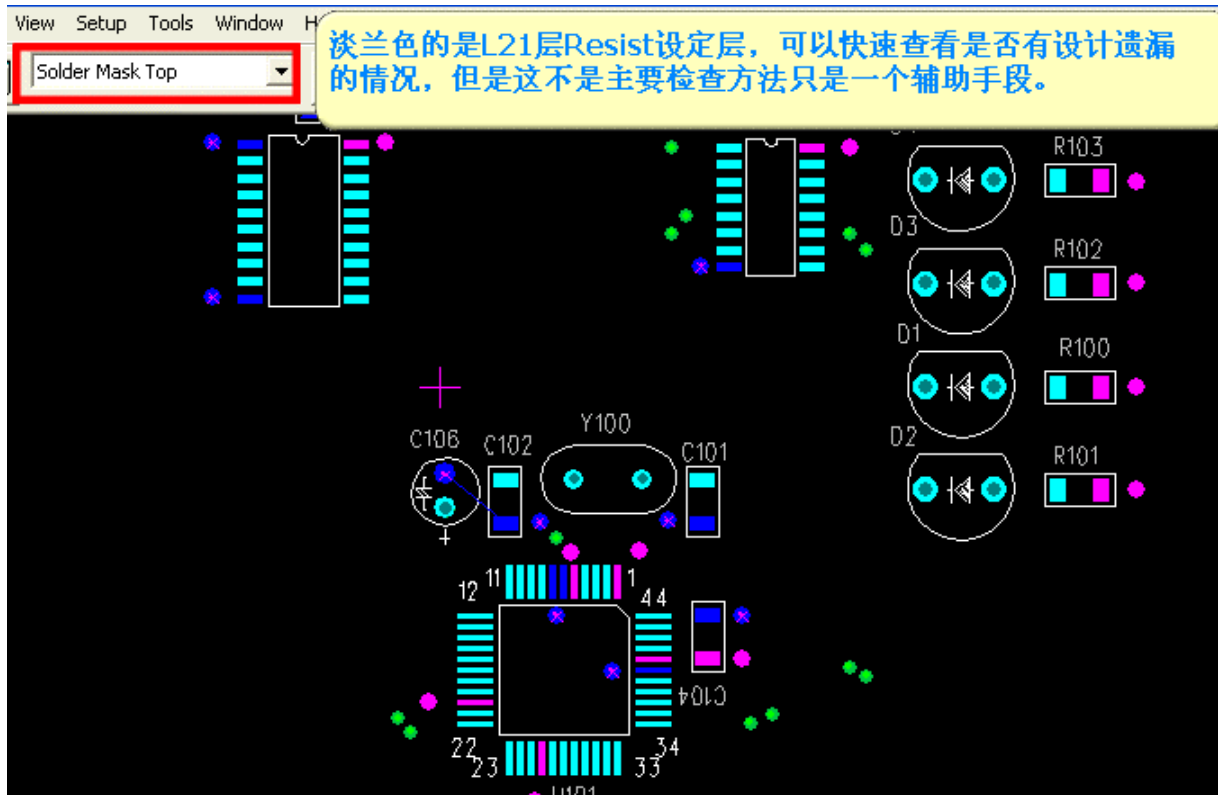
元件层: COMPONENT LAYER

布线层: ROUTING LAYER 布线层是电气层，
其它如 SILK, SOLDER, PASTE 等是非电气层。

所有布线需要用到 Electrical Layer Type 中的 Routing 种类

问:

当我们把“当前层总是在最上面”设置成 On 状态以后，切换 s/m top 为当前层，所以看到的是类似图中的淡蓝色，但为什么还是有的盘显示的是蓝色或粉红色的呢？在 PowerPCB 中对显示在屏幕上的层的颜色有没有什么规律，为什么每次我看的时候总感到很混乱似的呢？屏幕上能否只显示某一层的内容？也许这样一层一层单独来看，有时还可以看得清楚一点。



答:

在 SETUP/DISPLAY COLOR 中设置每一行与每一列的显示，每次进入设置就可以了。

问:

这里的说明是什么意思？是不是说：如果我们不作特别设定，那么这些层就是默认的层了？但其中为什么没有 Silkscreen Top 层呢？



答:

如果不使用默认层需要为 TOP 与 Bottom 层设置各自的生产对应层如 SOLDER MASKE, SILK 等。SILK TOP 层只是没有显示而已, CAM 输出时是有的。

问:

我们平时在设定颜色时, 对于不同层数的 JOB, PowerPCB 中颜色的设定是不是也就不一样, 也就是说在菜单 Setup à Display Colors 就会有不同的设置保存起来? 如果是的话, 请 e-mail 我几个你们保存的这种设定文件 (保存在\padspwr\PowerPCB\目录中的*.CCF 文件), 我想作为参考。谢谢!

答:

一般在启动文件中设置, 而且应该是统一颜色比较好, 我们可以给您一个文件做参考。(下一次, 请稍候)

问:

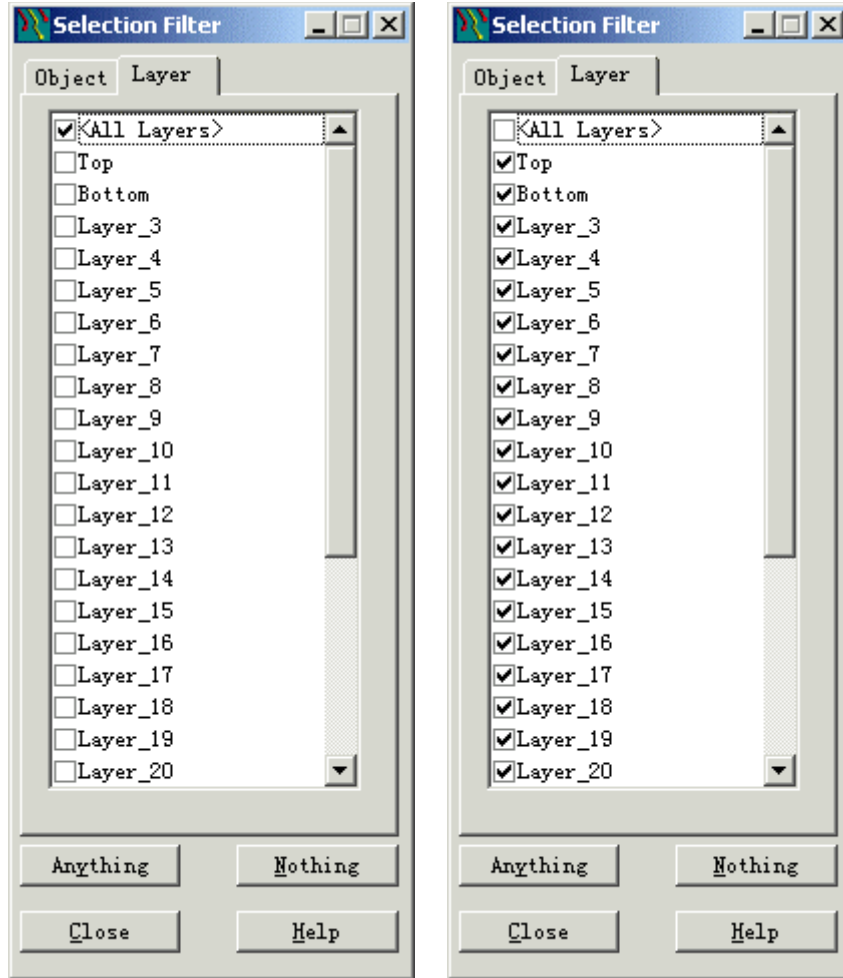
我发现, 如果我要 Highlight 某个元件, 我必须先选中它, 然后再执行 Ctrl+H 才有效, 那么, 是不是可以说要 Highlight 必须先 Select? 1 而且 Highlight 了以后, 原来的 Select 状态即消失了, 是不是这样的? 2 同样, 我如果要 UnHighlight 某个已经高亮的元件, 我直接执行 Ctrl+U 是无效的, 而必须先选择这个已经高亮的元件, 然后再执行 Ctrl+U 或在空白之处点击一下才有效, 那么, 是不是可以说我如果要 UnHighlight, 也必须先 Select? 3 但实际上, 当我选择了这个已经高亮的元件后, 这个元件的状态已经不是高亮而是被选择的状态, 那么这样说来, 这个 UnHighlight 命令实际是没有多大作用的, 是不是这样呢? 4 如果我现在有很多个元件处于高亮显示状态下, 我应该怎样快速方便地把它们去除高亮状态呢? 5

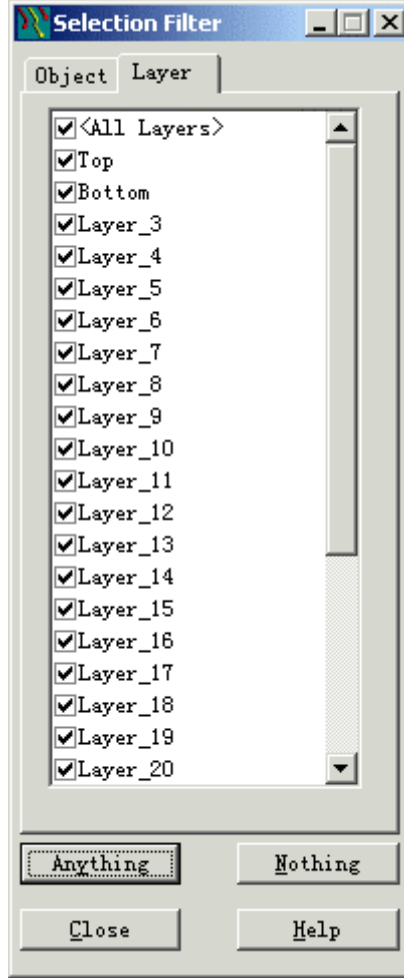
答:

是的, 对选择了的元件进行操作, 但是在 FIND 中感觉可以直接进行 Highlight 或者是 UnHighlight。软件的这个版本可能有些问题, FIND 菜单下是正确的。

问:

4. 请问下面这三种情况有何区别? 如果我的目的是要选择所有的层, 那我应该选哪一种还是说三种都可以?





(第一种)

(第二种)

(第三种)

答:

请注意这儿的 ALL Layer 不是所有 Layer 的含义, 而是 PowerPCB 中 Board Outline 与元件外形线的默认层。我们在教程中没有使用, 因为它虽然方便但是使用起来有缺陷。

上述说明如下:

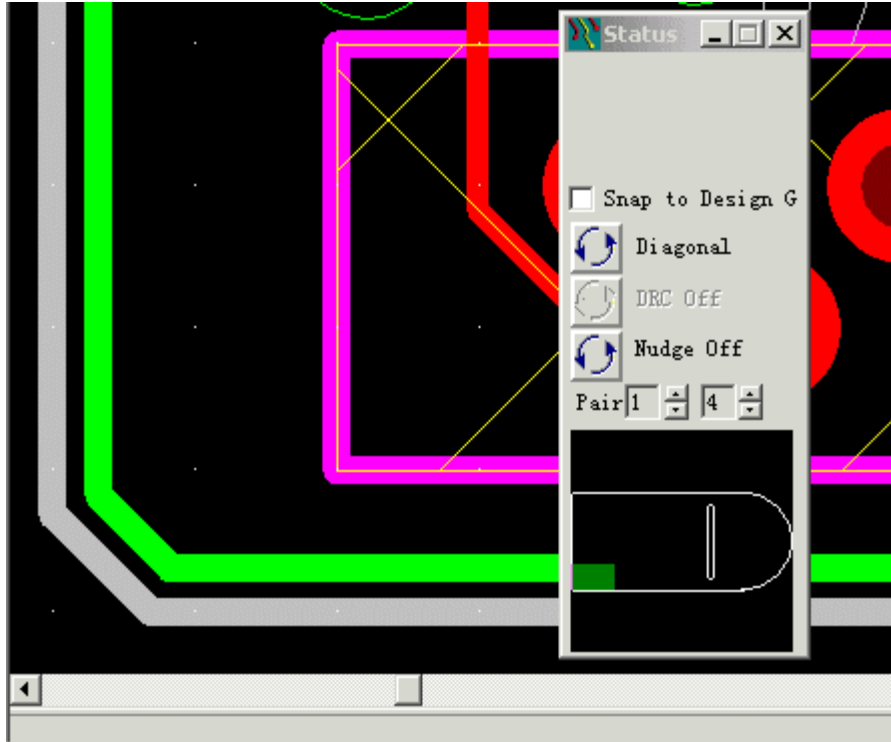
(第一种): 只能选中用 Board Outline 画的外形线

(第二种): 选中除 Board Outline 以外的所有元素

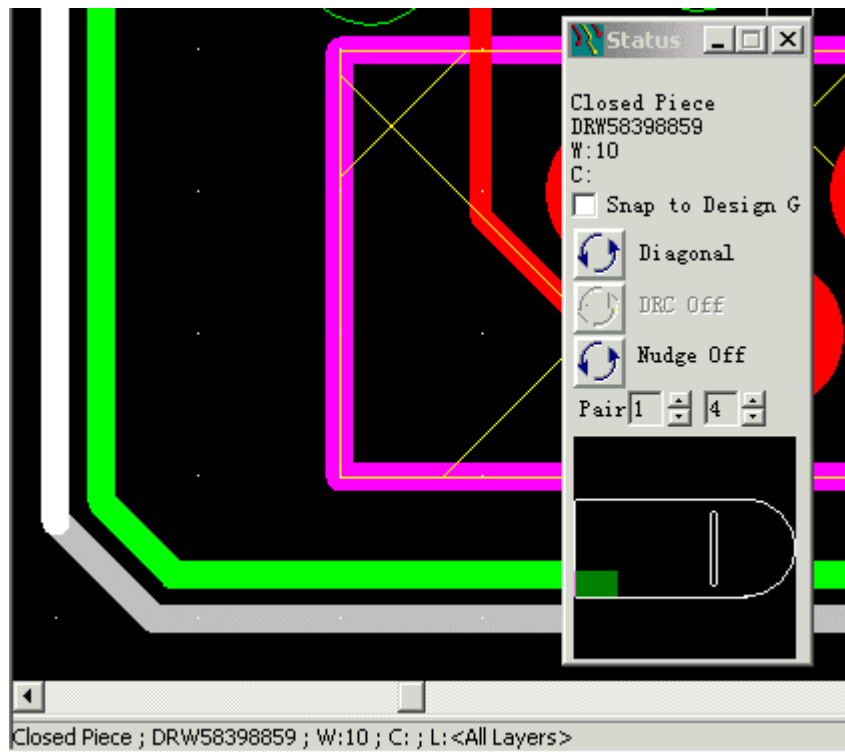
(第三种): 选中所有元素

问:

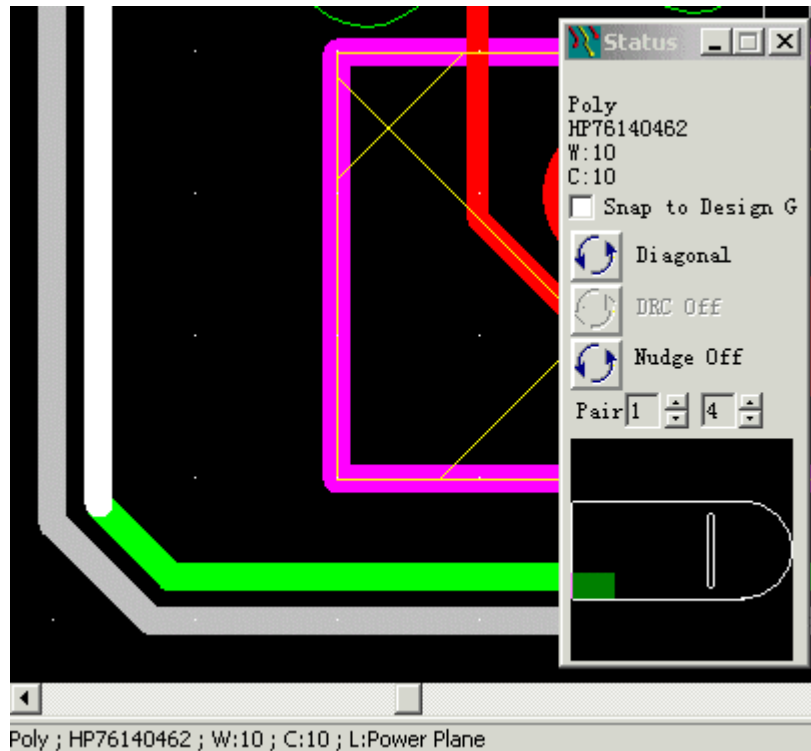
请问这个图中灰色的边框和绿色的边框, 哪个才是 board outline? 我用右键菜单过滤而只选择 board outline, 这两种边框我都能选上, 为什么? 其中图二的信息栏显示的是 L:, 而图三显示的是 L: Power Plane, 这又是为什么? 是表示它们各自所在的层吗?



(图 1)



(图 2)



(图 3)

答:

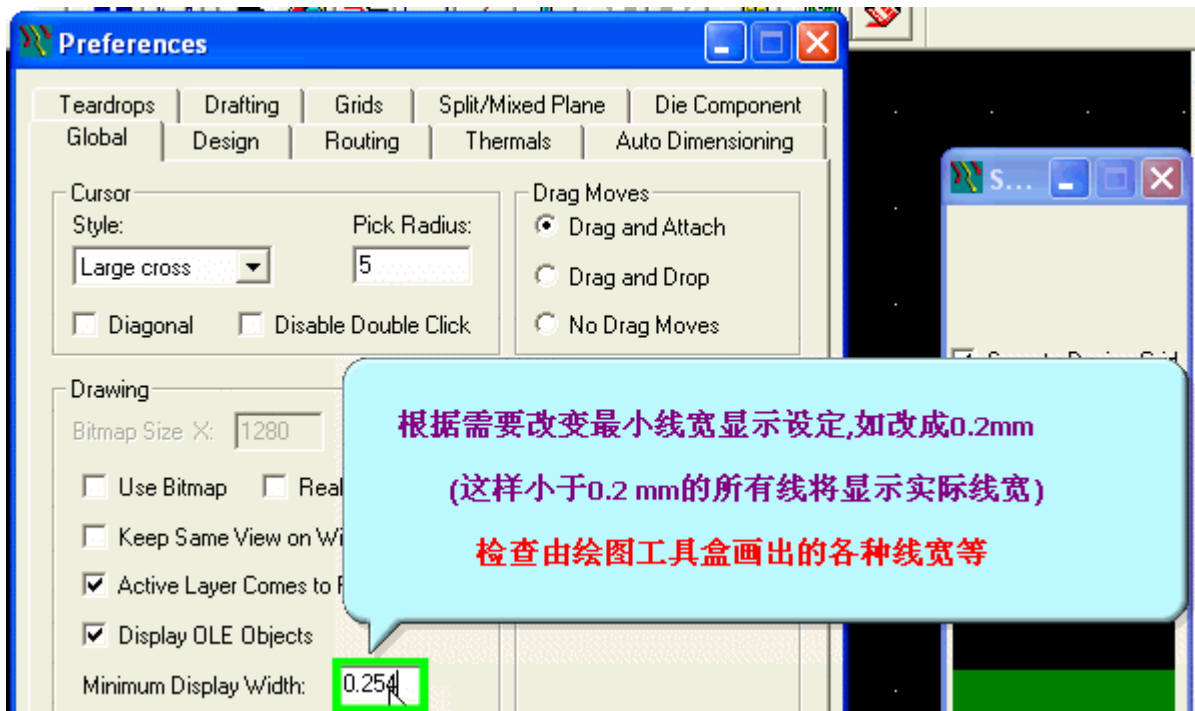
最外面的灰线是 board outline 边框, 如果是上面的(第一种)设定就只能选中 board outline 边框, 如果是(第三种)设定, 就可以选中所有 DRAFTING 的元素。

图二选的是 board outline 所以是 ALL Layer

图三选中的可能是用 Plane Area 图标画的是大面积铜的外形线。所以是 MIX 层的 Power Plane

问:

1. 在 PRT104 一切中, 关于最小显示线宽的解说是这样的: "下面的设定主要用于检查 silk 外形线宽及覆铜线宽等", 请问这是为什么? 图中的话"这样小于 0.2 mm 的所有线将显示实际线宽""检查由绘图工具箱画出的各种线宽等", 请问这是什么意思?

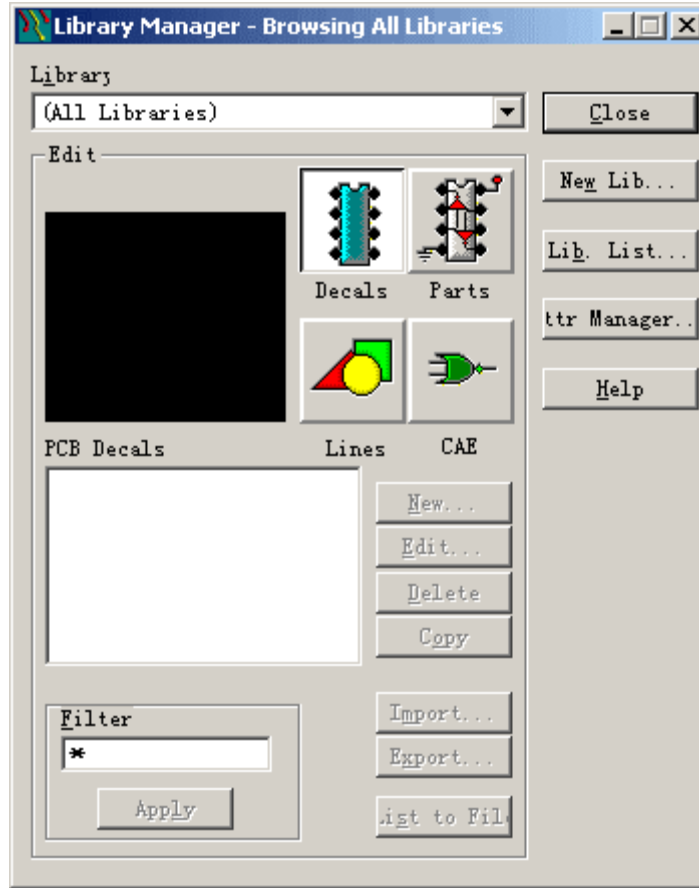


答:

由于 silk, copper 等没有 Design rule 等去检查它们的尺寸, 所以可以用这里的设置来进行检查, 检查 SILK 线宽的目的主要是便于 SILK 统一, 美观。

问:

2. 为什么有的时候我选择了所有的库而且在过滤器中也放了*号并点了 Apply, 什么元件也没看到? 好象我的所库中 (PowerPCB 5.0 自己带的库) 都没有元件似的, 为什么? 但如果我在 Decal Editor 下却是可见的, 是这样的吗?

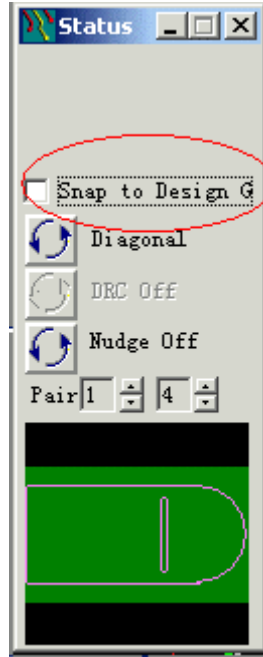


答:

我们没有发现您的情况，是否每次都是同样的情况？

问:

如何设置软件显示的字体，以便有些提示在窗口中能看清、显示完整：



答:

这是因为字体不一样, 在英文操作系统下才能显示完全, A PITY!

问:

4. 在 PRT116 一课的开头处, 如何放置基准孔? 为什么事先要做这样的准备?

基准孔位置, 我们只放了3个, 在后续课程中我们会为您介绍复制基准孔的方法。

另外请在板子的外面输入各层TEXT文字, 如在L1层输入L1 Routing等

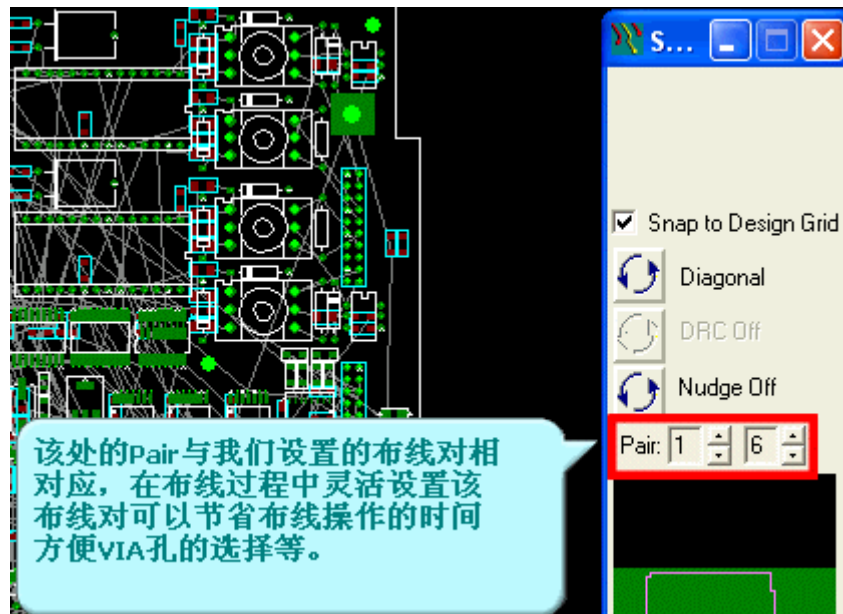
A toolbar with three alignment icons (center, left, right) and a text input field containing "L1ROUTING". The toolbar is highlighted with a yellow border.

答:

中心我们设置了一个元件, 绿色的是线, 分别从各自的库中追加就可以。基准孔是便于 CAM 编辑者操作的, 可能有些 CAM 部门不需要; 但是一个好的设计习惯, 建议在画外形线时就输入, 以免遗忘。

问:

5. 如何理解这句话: 在布线过程中灵活设置该布线对可以节省布线操作的时间方便 VIA 孔的选择等?



答:

如果您要设计一块6层板, 希望先布表层的线, 那么现在的设置就会在1, 6层间自动跳转, 否则可能会出现1-2, 1-3等布线对。

问:

6. 在 Decal 的 Pad/Stacks 设定中 (普通多层板的焊盘设定例: 多媒体教程第一部第三章第四节), 对于 resist 层与25层是否也应该设定钻孔并标上 plated? 对于没有钻孔的焊盘, 是不是只要把孔的大小设定为0就表示此焊盘没有钻孔了?

答:

可以这样理解: 钻孔不是针对某一层, 而是所有层。对 SMD 元件 DRILL 为 0, 就可以。

资料提供: 桃花岛主

