

### 产品特点:

- ◆ 基于 Windows 平台的 PCB 设计环境，操作界面 (GUI) 简便直观、容易上手
- ◆ 兼容 Protel/P-CAD /CADStar/Expedition 设计
- ◆ 支持设计复用
- ◆ 基于形状的无网格布线器，支持人机交互式布线功能
- ◆ 支持层次式规则及高速设计规则定义
- ◆ 规则驱动布线与 DRC 检验
- ◆ 智能自动布线
- ◆ 支持生产 (Gerber)、自动装配及物料清单 (BOM) 文件输出

**PADS Layout/Router:** 高效率的布局布线功能，解决复杂的高速/高密度互连

### 概述

电子技术的飞速发展使得产品的 PCB 设计越来越复杂，布线层数增加、高密度互连及高速信号处理等问题已直接影响到产品的可靠性、研发成本及上市时间。

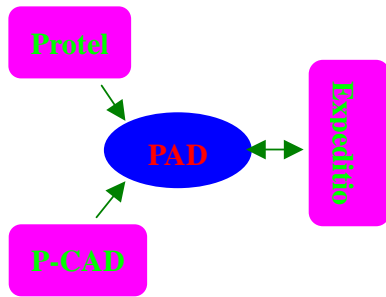
Mentor Graphics 公司的 PADS Layout/Router 环境作为业界主流的 PCB 设计平台，以其强大的交互式布局布线功能和易学易用等特点，在通信、半导体、消费电子、医疗电子等当前最活跃的工业领域得到了广泛的应用。PADS Layout/ Router 支持完整的 PCB 设计流程，涵盖了从原理图网表导入，规则驱动下的交互式布局布线，DRC/DFT/DFM 校验与分析，直到最后的生产文件 (Gerber)、装配文件及物料清单 (BOM) 输出等全方位的功能需求，确保 PCB 工程师高效率地完成设计任务。

兼容多种格式的 PCB 及封装库文件

PADS Layout 可以导入

Protel/P-CAD/CADStar/Expedition 等环境

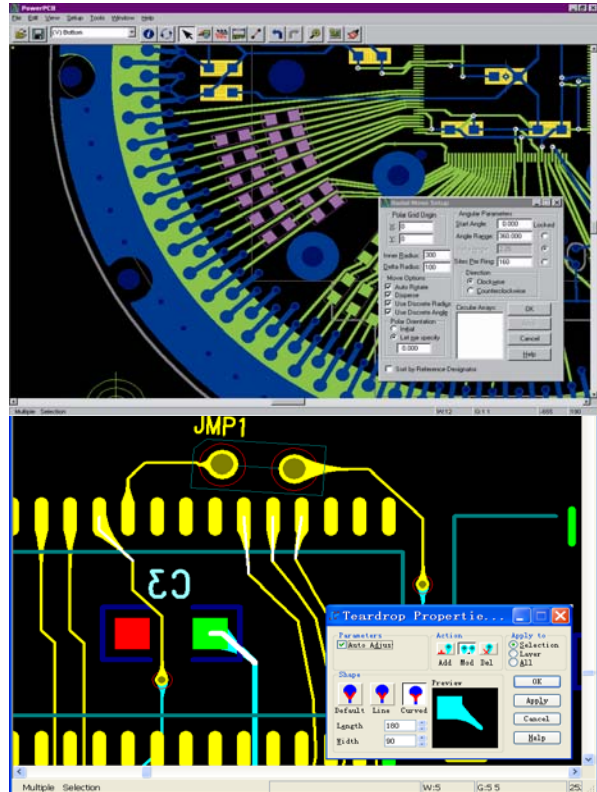
下的 PCB 及封装库文件。导入过程中 PCB 上的网络、布线及元器件属性等信息均保持完好。



基本的 PCB 设计功能

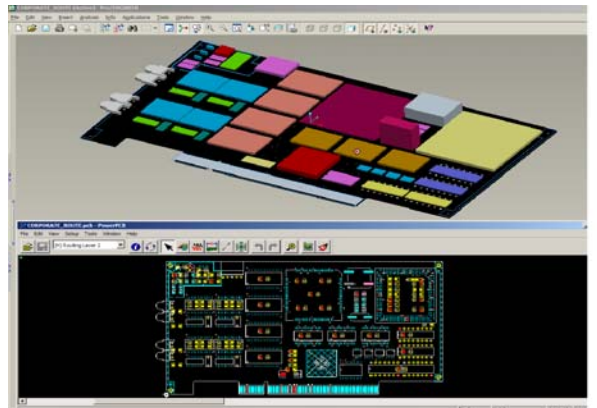
**封装向导:** 可根据用户输入的管脚数、管脚间距等标准信息, 自动创建 DIP/SOIC/Polar/PLCC/BGA 等多种封装。对于复杂的上千个管脚的 IC 器件, 手工创建其封装可能需要几个小时, 使用封装向导则只需几分钟, 为封装库的创建和维护节约了大量时间。

**模拟 PCB 设计工具包:** 包含单/双面模拟 PCB 设计中常用的跳线 (长度/角度可变)、泪滴 (直线/曲线泪滴, 尺寸可变)、异形焊盘等功能 以及圆形 PCB 设计中常用的极坐标布局方式、多个封装同步旋转、任意角度布线等功能。



**电源分割与敷铜:** 可根据 PCB 的板框自动创建电源层敷铜边界, 敷铜与板边缘以及敷铜之间的距离可以在设计规则中定义; 在完整的敷铜区域上画分割线可将其一分为二, 并分配不同的电源网络; 支持不同电源网络的敷铜嵌套;

**IDF 接口:** PADS Layout 可通过 IDF 接



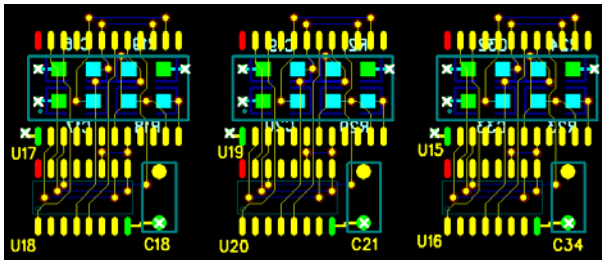
口与 ProE 互换数据。PCB 文件可以从 PADS

Mentor  
Graphics

**Layout** 导出至 **ProE**, 查看 **PCB** 的三维视图; 也可以在 **ProE** 中修改原器件高度、布局等信息, 然后回传给 **PADS Layout**。

**DXF 接口:** **PADS Layout** 可以通过 **DXF** 接口与机械软件如 **AutoCAD** 互换数据。对于复杂的异型 **PCB** 外框, 可以在 **AutoCAD** 中设计好, 然后通过 **DXF** 文件传递给 **PADS Layout**; 也可以将 **PCB** 文件从 **PADS Layout** 导出至 **AutoCAD**, 进行详细的加工尺寸标注。

**设计复用:** 通过设计复用可以最大限度地利用现有的设计成果, 如经典电路、多路并行信号处理模块、**BGA** 器件的外围电路及外围线等, 避免投入大量的时间进行重复性



的工作。设计复用可以在原理图和 **PCB** 之间同步进行, 复用出来的元件和网络等信息在原理图与 **PCB** 之间保持一一对应, 不会造成前后端设计数据不一致。在设计周期很紧张的情况下, 也可以进入 **ECO** 模式, 直接向 **PCB** 中添加复用电路模块, 以快速完成设计。软件可以为复用模块中的元件位号或网络名称自动指定前后缀, 避免与 **PCB** 上其

他内容相冲突。

**自动标注尺寸:** 可快速标注水平、垂直、斜面尺寸, 圆和圆弧的角度及直径, 支持自定义公差。

**汉字输入及 True Type Windows 字体:** 支持简体/繁体汉字输入及标准的 MS Windows 字体, 便于中国用户在 **PCB** 上添加中文文字标注信息。

### 交互式布局布线功能

**交互定位与模块化布局:** 通过交互定位 (**Cross Probe**) 可以将原理图与 **PCB** 的视图切换到设计最关心的地方, 以便快速找出目前急需的元器件或网络。在布局设计时, 同一电路模块的封装通常要一起考虑, 软件提供了模块化的布局功能, 可以自动将电路模块的所有封装依次“捕捉”到鼠标上, 无需逐一查找, 提高了布局效率。

**正反标注:** 在原理图与 **PCB** 并行设计过程中, 任何一方对设计数据的修改 (**ECO**) 操作, 都可以通过正反标注来更新对方的数据。封装类型及属性、网表与设计规则等均可作为正反标注的内容, 这样就确保了原理图和 **PCB** 数据的同步性和一致性, 避免因人为错误造成设计反复。

层次式设计规则: **PADS**



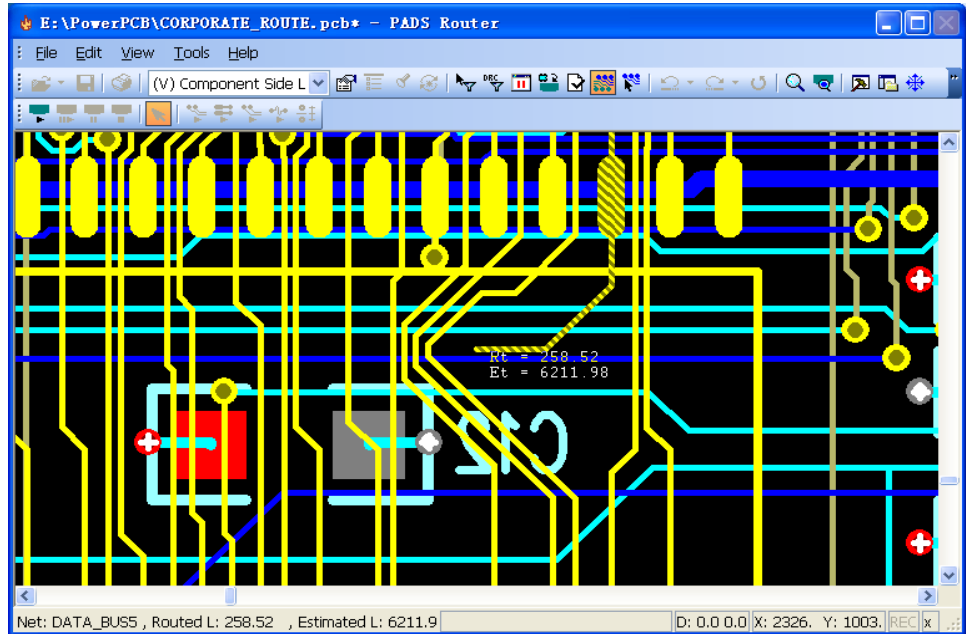
的物理设计规则分为三个层次，优先级最高的是元器件规则，可以根据 PCB 中的封装类型甚至个别元器件的特殊要求进行单独地布

局布线约束，如扇出方式、管脚连出线的尺寸与角度等规则；优先级次之的是网络规则，可以将同种信号归纳为一个网络组，然后统一定义其布线方式，如线长、线宽、间距、

布线层设置、可用过孔、最大过孔数及拓扑结构等规则，也可以对单个网络，乃至某个网络里的关键连接（通常是芯片管脚间的连接）进行特殊的布线规则定义；优先级最低的是通用规则，可对没有特殊要求的网络、元器件进行常规的布线参数定义。软件可以根据定义好的层次式规则对 PCB 上的网络和元器件进行规则驱动布线及 DRC 验证，提高设计的可靠性。

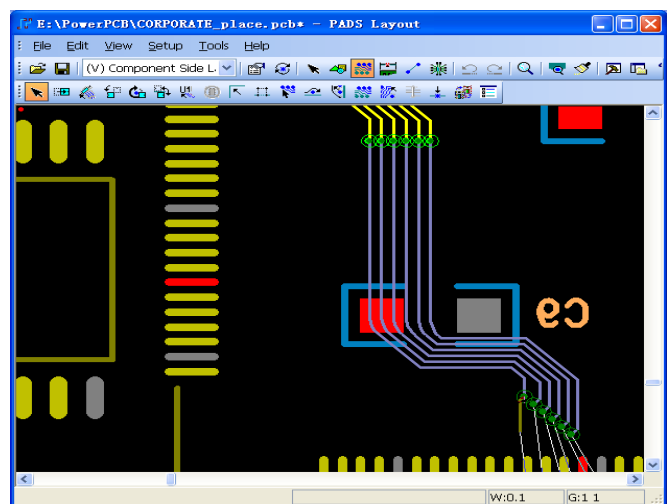
**交互式布线：**通过业界最先进的人机交互式布线功能，把工程师的布线经验和电脑的布线算法有效地结合在一起。在布线过程中只需定义几个关键节点，其余的走线部分

由软件根据空间尺寸及最短路径原则自动设计，并优化 45 度走线拐角；当布线空间有限时，可以用当前走线推挤沿途的布线及过孔，



支持平移、垂直的推挤方向，所有被推开布线的形状和拐角都能自动优化。这种智能的交互式布线功能可以大幅度减轻手工调线的工作量，提高复杂的高密度互连的设计效率。

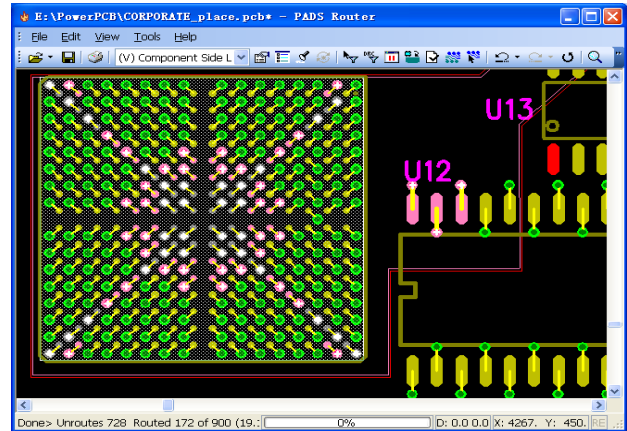
**总线布线：**在总线布线模式下，只需控



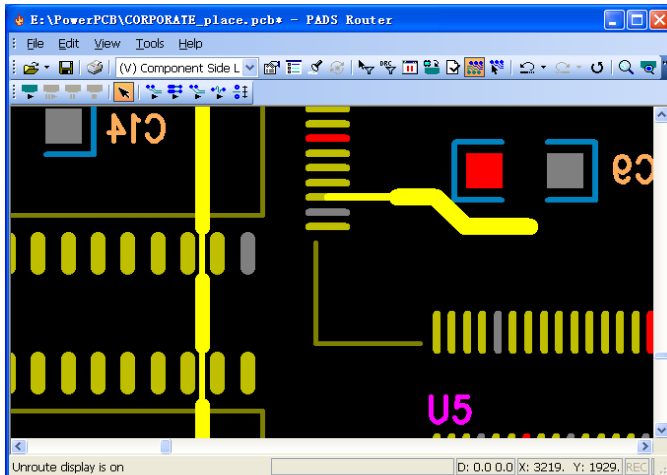


制总线中一根信号的走线，其他信号会自动跟进，并在跟进过程中自动保持合理的拐角、间距及过孔排列。对数字电路 PCB 中的数据总线/地址线设计尤为适用，使布线高效而美观。。

**自动变线宽布线：**在走线过程中可以根据空间尺寸的变化自动调整线宽，从而保证安全间距。这样就能最大限度提高板面利用



设计效率，使布线工作更加容易。

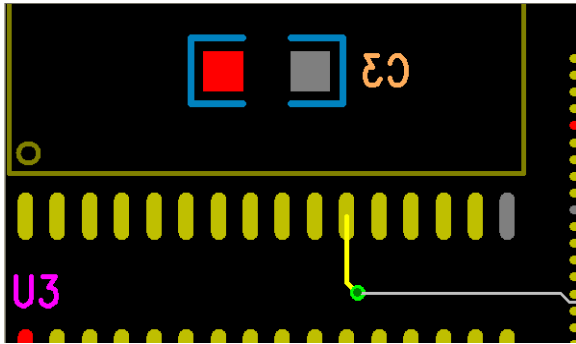


率，同时克服了手工调整线宽的低效率。

**SMD 封装扇出向导：**为多管脚的 SOIC/QUAD/BGA 等 SMD 封装提供了标准的扇出方案，如内/外侧扇出、同方向扇出、辐射及螺旋状扇出等；在不同的设计阶段可以选择扇出电源网络、信号网络；支持相邻管脚共享扇出；可以设置扇出线的最大长度；软件还支持焊盘上扇出（Via at SMD）的功能，解决高密度 SMD 封装的扇出问题。在同一 PCB 上可以使用多种扇出方案，提高了

### 高速 PCB 设计功能

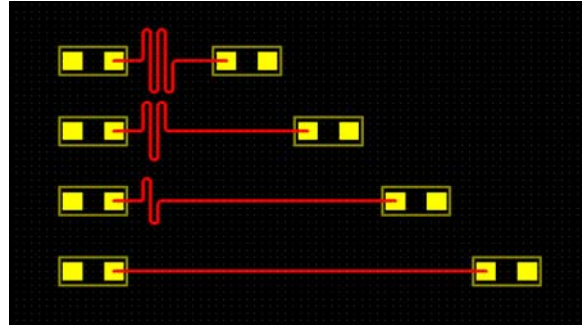
**拓扑结构设计：**拓扑结构的设计会影响到高速信号的阻抗匹配和时序。PADS 支持常用的 PCB 网络拓扑结构，如点对点、紧凑树形、菊花链、星形、远端簇形及混合型拓扑；当元器件布局改变之后，软件会自动调整管脚连接顺序以保持原有的拓扑结构；用户也可以自己定义网络拓扑结构。在布线过程中，软件可以自动阻止违背拓扑结构的布线顺序，从而确保了信号的传输效果及产品的可靠性。



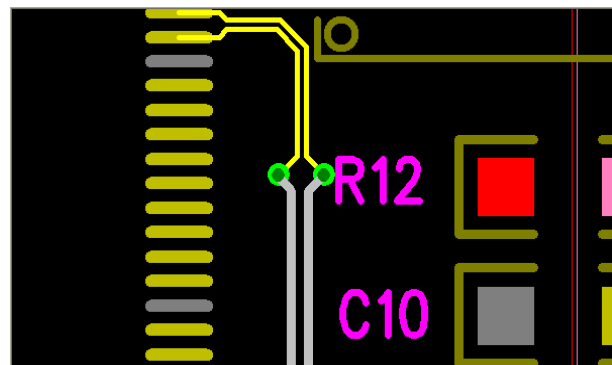
**阻抗连续设计：**对于长线传输的高速信号，传输线上的阻抗不连续也会导致严重的反射（过冲/欠冲）问题，影响电路工作状态。而传输线阻抗的不连续通常是由换层布线时引起的。**PADS** 提供阻抗连续控制功能，可以对信号在外层和内层的布线宽度分别定义，并在换层布线时自动调整线宽，从而确保了传输线上的阻抗连续，降低信号反射，提高了系统的可靠性。

**限长信号设计：**网络的布线长度会影响信号的延迟时间，从而对系统的时序构成危害。**PADS** 支持线长与延迟时间的换算，可以定义网络的最大布线长度。在走线过程中，软件会动态地提示当前长度，并预测最终长度，为选择合适的走线路径提供参考，还可以阻止“超长”的走线路径。从而保证信号的延迟不会对时序构成致命影响，提高了系统的稳定性。

**时序匹配设计：**对于有时序同步要求



的网络组，如 **DDR** 系统中的 **DQ/DQS** 信号，必须保证其具备相同的布线延迟。**PADS** 可以将此类信号定义为延迟匹配组，并设定相互间的长度公差，以确保延迟相同，满足时序同步的要求。在布线时，可以对延迟匹配信号进行交互式蛇形走线，从而达到规定的线长要求。**PADS** 提供了监控窗口，可以检查线长匹配情况。软件还支持自动匹配，可以对选中的一个或一组信号自动走出蛇形线，以满足线长匹配的要求，提高系统稳定性。



**差分对信号及其阻抗连续设计：**差分对广泛应用于各类高速系统中，差分对布线时必须保证线长相同、线宽相等、间距固定及

阻抗连续。**PADS** 支持差分对的定义与交互式布线，可以将相邻的两个网络、或网络中的关键连接（芯片到芯片间的连接）定义为差分对。在布线时，只需从一个差分管脚上引出连线，另一个管脚的连线会自动跟进，且保持差分规则里的线长、线宽及间距要求。软件还可以分别定义外层与内层的差分参数，确保差分对换层布线时其传输线系统的阻抗连续，降低信号反射，提高了系统的可靠性。

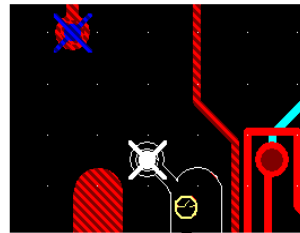
### 智能自动布线

**PADS** 提供了基于形状的无网格布线器，可以在设计规则的驱动下，对多达 64 个信号层的 **PCB** 进行自动布线，拥有一流的布通率与布线速度。软件支持对自动布线执行步骤的定义，如布线前执行 **SMD** 封装扇出以提高布通率；布线后对不同的网络执行相应的优化操作以确保信号传输效果，包括对所有网络执行过孔优化，对两个焊盘之间的网络之行等间距排列优化，对高速网络执行线长匹配优化等；在布线过程中，支持布线顺序的定义，可对关键的网络类型、单个网络或元器件优先布线，布完之后将其锁住从而不受其他布线的影响。每一步骤完成后，都可以让布线器暂停下来检查布线结果，如不满意可以随时中止自动布线进程，改善布

线及优化顺序，重新执行。**PADS** 具备的智能自动布线技术可以帮助 **PCB** 工程师保证信号质量的前提下，快速完成 **PCB** 布线工作，节约了大量的时间。

### 可测试性分析(DFT)与可制造性分析(DFM)功能

可测试性分析:可以自动为 **PCB** 上所有网络添加测试点，并优化测试点布线，可将无法添加测试点标示出来，警告其不可测试性；可为 **PCB** 的 **ICT (In Circuit Testing)** 自动测试设备输出符合 **IPC** 标准的数据文件。



可制造性分析:可以导入 **PCB** 制造厂的加工能力数据，检查 **PCB** 设计，找出超过

厂家加工能力的细节并给出警报。如在 **PCB** 上容易引起焊接搭桥的封装、蚀刻缺陷(**Acid Trips**)、铜丝/阻焊丝 (**Copper/SolderMask Slivers**)、环宽 (**Annular Ring**) 等制造障碍的设计细节。确保提交给 **PCB** 制造厂的设计文件和加工出来的印制板完全一致。

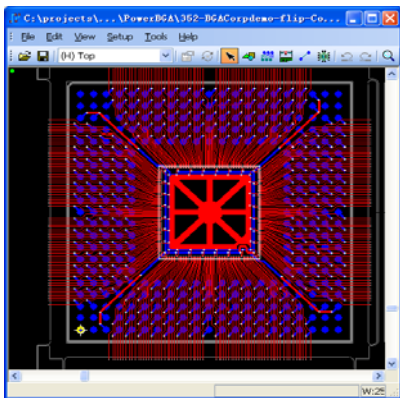


生产文件 (Gerber)、自动装配文件与物料清单 (BOM) 输出

**Gerber 文件输出:** 支持 **RX274D/RX274X** 等标准格式的生产文件输出, 可选择每层文件的输出内容, 能对输出层作镜像处理, 支持对 Gerber 文件的预览。**PADS** 同时具备和 **CAM350** 软件的接口, 可直接将配置好的输出层传给 **CAM350**。

**自动装配文件输出:** 可为 **Dyanpert**、**Universal**、**Phillips** 等自动贴片/插片机器创建标准的元器件坐标文件。

**物料清单 (BOM) 统计:** 可以根据用户的要求, 输出 **Word**、**Excel** 及文本格式的 **BOM** 文件。允许用户订制 **BOM** 表中的元器件属性信息排列格式, 并可统计相同元器件的数量。软件同时支持 **BOM** 变量管理功能, 可基于同一个设计输出多个对应不同规格产品要求的 **BOM** 文件。



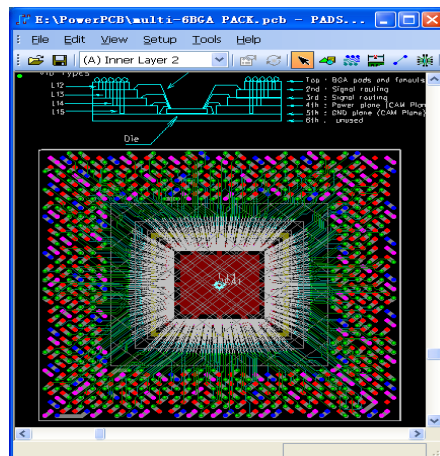
PCB 上的  
裸片互连  
(Chip On  
Board) 与  
芯片封装设

计 (Advanced Package Design)

**裸片布线:** **PADS** 支持在 **PCB** 上直接使

用裸片的设计, 可以导入 **GDSII** 和 **ASCII** 文件, 自动创建用于 **PCB** 布线的 **Chip** 模块, 支持单个或多个 **Chip** 模块的互连设计。能自动产生技术文档, 如 **Bonding** 线、**Substrate Route** 和封装输出 **Pin** 脚的连接数据。帮助设计者解决高密度、小尺寸的 **PCB** 设计。

**芯片封装设计:** **PADS** 提供芯片封装设



计功能, 可以导入 **GDSII** 和 **ASCII** 文件, 支

持 **Ball Grid Area (BGA)**、**Chip-Scale Package (CSP)** 和 **Multi-Chip Module Package (MCM)** 的设计, 自动创建 **DIE** 封装、**DIE Flag** 和 **Power Rings**, 完成 **Bonding**, 并自动连接裸片到封装管脚的连线。能自动产生技术文档, 如 **DIE**、**Bongding** 线, **Substrate Route** 和封装输出 **Pin** 脚的连接数据。为芯片封装设计提供了完整的流程, 并可衔接 **PCB** 设计流程, 提高了设计效率。