

●新特器件应用

AD9833型高精度可编程波形发生器及其应用

刘国良, 廖力清, 施进平

(中南大学信息科学与工程学院, 湖南长沙 410083)

摘要: AD9833型可编程波形发生器是一款为各种需要得到高精度正弦波、三角波、方波信号的应用而设计的器件, 该器件采用第三代频率合成技术——直接数字频率合成技术, 以“相位”的概念进行频率合成, 不仅可以产生不同频率的正弦波, 而且可以控制波形的初始相位, 还可以产生三角波和方波。主要介绍 AD9833 的基本结构、功能特性及应用。

关键词: AD9833; 直接数字频率合成; 可编程; 数字信号处理器

中图分类号: TN784

文献标识码: B

文章编号: 1006-6977(2006)06-0044-04

Programmable waveform generator AD9833 and its application

LIU Guo-liang, LIAO Li-qing, SHI Jin-ping

(School of Information Science and Engineering, Central South University, Changsha 410083, China)

Abstract: The AD9833 programmable waveform generator is designed for various situations that require high accurate sine wave, triangular wave and square wave. It is based on the technology of the III frequency synthesis——Direct Digital Frequency Synthesis technology, which synthesizes frequency from the concept of phase. It can generate sine wave with various frequency, and it could control the initial phase. Also, it can be used as triangular and square wave generator. The configuration, main performance and application information of the AD9833 are introduced in detail.

Key words: AD9833; direct digital frequency synthesis; programmable; digital signal processor

1 引言

AD9833 是 ADI 公司生产的一款低功耗、可编程波形发生器, 能够产生正弦波、三角波、方波输出。波形发生器广泛应用于各种测量、激励和时域响应领域。AD9833 无需外接元件, 输出频率和相位都可通过软件编程, 易于调节。频率寄存器是 28 位的, 主频时钟为 25 MHz 时, 精度为 0.1 Hz; 主频时钟为 1 MHz 时, 精度可以达到 0.004 Hz。

可以通过 3 个串行接口将数据写入 AD9833, 这 3 个串口的最高工作频率可以达到 40 MHz, 易于与 DSP 和各种主流微控制器兼容。AD9833 的工作电压范围为 2.3 V~5.5 V。

AD9833 还具有休眠功能, 可使没被使用的部分休眠, 减少该部分的电流损耗。例如, 若利用 AD9833 输出作为时钟源, 就可以让 DAC 休眠, 以

减小功耗。该电路采用 10 引脚 MSOP 型表面贴片封装, 体积很小。

AD9833 的主要特点如下:

频率和相位可数字编程;

工作电压为 3 V 时, 功耗仅为 20 mW;

输出频率范围为 0 MHz~12.5 MHz;

频率寄存器为 28 位 (在 25 MHz 的参考时钟下, 精度为 0.1 Hz);

可选择正弦波、三角波、方波输出;

无需外接元件;

3 线 SPI 接口;

温度范围为 -40 ℃~+105 ℃。

2 AD9833 的结构及功能

2.1 电路结构

AD9833 是一块完全集成的 DDS(Direct Digital

Frequency Synthesis) 电路, 仅需要 1 个外部参考时钟、1 个低精度电阻器和一些解耦电容器就能产生高达 12.5 MHz 的正弦波。除了产生射频信号外, 该电路还广泛应用于各种调制解调方案, 这些方案全都用在数字领域。采用 DSP 技术能够把复杂的调制解调算法简单化, 而且很精确。

AD9833 的内部电路主要有数控振荡器 (NCO)、频率和相位调节器、Sine ROM、数模转换器 (DAC)、电压调整器, 其功能框图如图 1 所示。

AD9833 的核心是 28 位的相位累加器, 它由加法器和相位寄存器组成, 每来 1 个时钟, 相位寄存器以步长增加, 相位寄存器的输出与相位控制字相加后输入到正弦查询表地址中。正弦查询表包含 1 个周期正弦波的数字幅度信息, 每个地址对应正弦波中 $0^{\circ}\sim 360^{\circ}$ 范围内的 1 个相位点。查询表把输入的地址相位信息映射成正弦波幅度的数字量信号, 驱动 DAC 输出模拟量。相位寄存器每经过 $2^{28}/M$ 个 MCLK 时钟后回到初始状态, 相应地正弦查询表经过一个循环回到初始位置, 这样就输出了一个正弦波。输出正弦波频率为:

$$f_{out} = M(f_{MCLK}/2^{28}) \quad (1)$$

其中, M 为频率控制字, 由外部编程给定, 其范围为 $0 \leq M \leq 2^{28} - 1$ 。

VDD 引脚为 AD9833 的模拟部分和数字部分供电, 供电电压为 2.3 V~5.5 V。AD9833 内部数字电路工作电压为 2.5 V, 其板上的电压调整器可以从 VDD 产生 2.5 V 稳定电压。注意: 若 VDD 小于等于 2.7 V, 引脚 CAP/2.5V 应直接连接至 VDD。

2.2 功能描述

AD9833 有 3 根串行接口线, 与 SPI、QSPI、MICROWIRE 和 DSP 接口标准兼容。在串口时钟 SCLK 的作用下, 数据是以 16 位的方式加载到设备上。时序图如图 3 所示。FSYNC 引脚是使能引脚, 电平触发方式, 低电平有效。进行串行数据传输时, FSYNC 引脚必须置低, 要注意 FSYNC 有效到 SCLK 下降沿的建立时间 t_r 的最小值。FSYNC 置低后, 在 16 个 SCLK 的下降沿数据被送到 AD9833 的输入移位寄存器, 在第 16 个 SCLK 的下降沿 FSYNC 可以被置高, 但要注意在 SCLK 下降沿到 FSYNC 上升沿的数据保持时间 t_h 的最小和最大值。当然, 也可以在 FSYNC 为低电平的时候, 连续加载多个 16 位数据, 仅在最后一个数据的第 16 个 SCLK 的下降沿时将 FSYNC 置高。最后要注意的是, 写数据时 SCLK 时钟为高低电平脉冲, 但是, 在 FSYNC 刚开始变为低时 (即将开始写数据时), SCLK 必须为高电平 (注意 t_{11} 这个参数)。

当 AD9833 初始化时, 为了避免 DAC 产生虚假输出, RESET 必须置为 1 (RESET 不会复位频率、相位和控制寄存器), 直到配置完毕, 需要输出时才将 RESET 置为 0; RESET 为 0 后的 8~9 个 MCLK 时钟周期可在 DAC 的输出端观察到波形。

AD9833 写入数据到输出端得到响应, 中间有一定的响应时间。每次给频率或相位寄存器加载新的数据, 都会有 7~8 个 MCLK 时钟周期的延时之后, 输出端的波形才会产生改变。有 1 个 MCLK 时钟周期的不确定性, 因为数据加载到目的寄存器

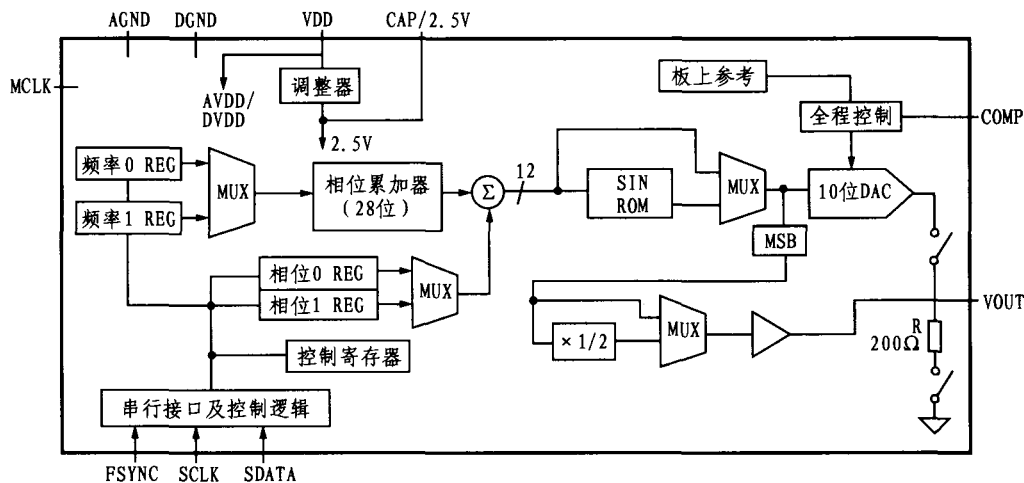


图 1 AD9833 的功能框图

时,MCLK 的上升沿位置不确定。

3 AD9833 的引脚功能及时序

AD9833 的引脚排列如图 2 所示,各个引脚的功能描述见表 1。

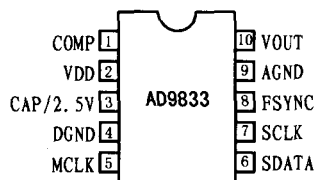


图 2 AD9833 的引脚排列(顶视图)

表 1 AD9833 的引脚功能

引脚号	符号	功能说明
1	COMP	DAC 偏移引脚,该脚用来为 DAC 偏移解耦
2	VDD	电源电压
3	CAP/2.5V	数字电路电源端
4	DGND	数字地
5	MCLK	主频数字时钟输入端
6	SDATA	串行数据输入
7	SCLK	串行时钟输入
8	FSYNC	控制输入,低电平有效
9	AGND	模拟地
10	VOUT	输出频率(f_{OUT})

AD9833 的时序特性如图 3、图 4 和表 2 所示。

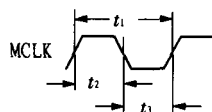


图 3 主时钟时序

4 AD9833 的内部寄存器功能

AD9833 内部有 5 个可编程寄存器,其中包括 1 个 16 位控制寄存器,2 个 28 位频率寄存器和 2 个 12 位相位寄存器。

表 2 时序特性

参数	时限	单位	测试条件
t_1	40	ns(最小)	MCLK 周期
t_2	16	ns(最小)	MCLK 高电平持续时间
t_3	16	ns(最小)	MCLK 低电平持续时间
t_4	25	ns(最小)	SCLK 周期
t_5	10	ns(最小)	SCLK 高电平持续时间
t_6	10	ns(最小)	SCLK 低电平持续时间
t_7	5	ns(最小)	FSYNC 到 SCLK 下降沿建立时间
t_{8min}	10	ns(最小)	FSYNC 到 SCLK 保持时间
t_{8max}	$t_4 - 5$	ns(最大)	
t_9	5	ns(最小)	数据建立时间
t_{10}	3	ns(最小)	数据保持时间
t_{11}	5	ns(最小)	SCLK 高电平到 FSYNC 下降沿建立时间

4.1 控制寄存器

AD9833 中的 16 位控制寄存器供用户设置所需的功能。除模式选择位外,其他所有控制位均在内部时钟 MCLK 的下沿被 AD9833 读取并动作。表 3 给出控制寄存器各位的功能。要更改 AD9833 控制寄存器的内容,D15 和 D14 位必须均为 0。

4.2 频率寄存器和相位寄存器

AD9833 包含 2 个频率寄存器和 2 个相位寄存器,其模拟输出为

$$f_{MCLK}/2^{28} \times FREQEG \quad (2)$$

其中: $FREQEG$ 为所选频率寄存器中的频率字;该信号会被移相:

$$2\pi/4096 \times PHASEREG \quad (3)$$

其中, $PHASEREG$ 为所选相位寄存器中的相位字。

频率和相位寄存器的操作如表 4 所示。

5 应用设计

AD9833 可应用在 L15 型飞机控制盒配套的检

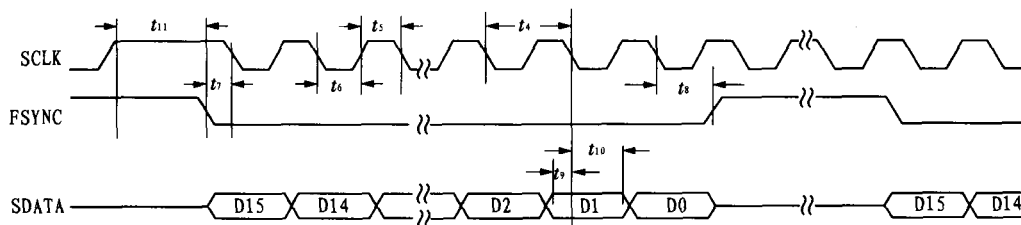


图 4 串行时序

表 3 控制寄存器的功能

位	名称	功 能
DB15		0
DB14		0
DB13	B28	对每一个频率寄存器都需要进行 2 次写操作。B28 = 1 时,每个频率寄存器都作为完整的 28 位使用,需对每个寄存器进行 2 次连续写操作。先写低 14 位,后写高 14 位。前 2 位说明写入的是哪个频率寄存器,01 表示写入的是频率 0 寄存器;10 表示写入的是频率 1 寄存器。B28 = 0 时,每个频率寄存器都作为 2 个 14 位的寄存器,1 个高 14 位,1 个是低 14 位,并且可以相互独立更改,由控制寄存器的 DB12 位确定写入的是高 14 位还是低 14 位
DB12	HLB	B28 = 1 时,此位无效。B28 = 0 时,若 HLB = 1,则允许写选定寄存器的高 14 位;若 HLB = 0,则允许写选定寄存器的低 14 位
DB11	FSELECT	该位指定是频率寄存器 0 还是频率寄存器 1 处于有效。0 是频率寄存器 0 有效,1 是频率寄存器 1 有效
DB10	PSELECT	该位指定是相位寄存器 0 还是相位寄存器 1 处于有效。0 是相位寄存器 0 有效,1 是相位寄存器 1 有效
DB9	保留位	应将该位设置为 0
DB8	RESET	1:复位内部寄存器为 0。0:禁止复位
DB7	SLEEP1	1:内部 MCLK 被禁止,DAC 输出保持当前值。0 是使能 MCLK
DB6	SLEEP12	1:片内 DAC 休眠。0:DAC 处于激活状态
DB5	OPBITEN	1:输出 DAC 的 MSB/2 或 MSB;0:直接输出 DAC,由 DB1 位决定输出三角波还是正弦波
DB4	保留位	应将该位设置为 0。
DB3	DIV2	1:直接输出 DAC 的 MSB;0:直接输出 DAC 的 MSB/2
DB2	保留位	应将该位设置为 0
DB1	MODE	该位与 DB5 配合使用,1:输出三角波,0:输出正弦波
DB0	保留位	应将该位设置为 0

表 4 频率和相位寄存操作

	DB15	DB14	DB13	DB12		DB0
相位寄存器 0	1	1	0	×	MSB 12 PHASE0 Bits	LSB
相位寄存器 1	1	1	1	×	MSB 12 PHASE1 Bits	LSB
频率寄存器 0	0	1	MSB 14 FREQ0 REG Bits			LSB
频率寄存器 1	1	0	MSB 14 FREQ1 REG Bits			LSB

测盒中,利用 AD9833 产生频率可调的正弦波,以模拟机轮速度传感器的速度信号,从而对控制盒的刹车防滑通道能否正常的刹车防滑进行检测。

5.1 AD9833 的硬件电路连接

检测盒设计以 TI 公司的 TMS320LF2407A 型 DSP 作为核心控制器,应用中需要 2 路速度信号,因此需要检测盒给出 2 路可独立调节的频率,图 5 示出 TMS320LF2407A 与 AD9833 的硬件连接。

外接有源晶体振荡器的输出送给 2 个 AD9833 作为主频时钟,DSP 的 SPI 口采用主动工作方式,即用 SPISIMO 口发送数据。为了与 AD9833 的时序相配合,DSP 的接口时钟(SPICLK 信号)方式选择有延

时的下降沿。IOPC3 和 IOPC5 作为电路选通信号,IOPC3 为低电平时 U2 被选通,此时对 U1 写数据无效;同理,IOPC5 为低电平时 U1 被选通,此时对 U2 写数据无效。

5.2 软件程序

图 6 示出了 AD9833 的软件流程。

不论是写控制寄存器、频率寄存器还是相位寄存器,在写数据之前都需要把选通信号置为有效状态,这样写入的数据才会有效,否则无效。在 DSP 发送完 1 个数据字后将产生 SPI 中断请求,本设计中未使用中断方式,而是通过查询中断标志来跳出,并虚读 DSP 的接收缓冲器清除中断(下转第 51 页)

```

yanshi();
pioa_sodr=1<<11; //CLK=1, 并行口数据置入寄存器
yanshi();
pioa_sodr=1<<9; //OC=1, 并行输入禁止
for(j=0;j<32;j++) //接收 32 位数据
{ *buf |=receivebit()<<j; }
    
```

如图 2 所示, 用 PA1 作为 GM8166-1 的 CLK, 用 PA0 作 SDATA, 用 PA11 作为 GM8166-2 的 CLK, 用 PA12 作 SDATA, 用软件模拟产生串行接口的传输过程。编程时, 应注意 GM8166 的内部移位寄存器都是在 CLK 的上升沿移位的, 所以读入时应在 CLK 的上升沿之后读入 SDATA 的状态, 写出时应在 CLK 上升沿之前置 SDATA 相应电平。

5 结束语

嵌入式锅炉控制器中使用了两个 GM8166 器件, 实现了锅炉中 22 个温度、压力、水位、燃烧机、风机等状态的检测和 10 个手动按键的输入; 32 个水泵、变频器、燃烧机、风机的启停以及轻重油选择、

报警等开关量的输出, 解决了使用 8255 等通用并行 I/O 电路所带来的成本高、功耗大和占用电路板面积大等系统结构设计与安装方面的问题。

参考文献:

- [1] GM8166-32 位并行 I/O 口扩展芯片中文数据手册[Z]. 成都国腾微电子有限公司, 2003.
- [2] GM8166-32 位并行 I/O 口扩展芯片中文应用手册[Z]. 成都国腾微电子有限公司, 2003.
- [3] 朱义君, 杨育红, 赵凯, 等. AT91 系列 ARM 微控制器体系结构与开发实例[M]. 北京: 北京航空航天大学出版社, 2005.
- [4] AT91RM9200 Microcontroller Technical Manual [Z]. Atmel Corporation, 2003.

作者简介: 张秀松(1960-), 女, 汉族, 毕业于华南理工大学, 现任教于广东技术师范学院自动化系, 主要从事电气自动化专业的教学和科研工作, 方向为电机及嵌入式系统应用研究。

收稿日期: 2006-03-08

咨询编号: 060613

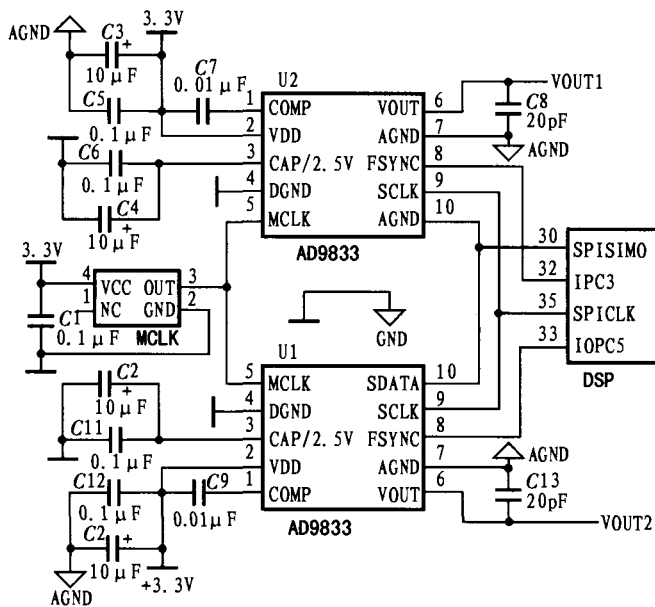


图 5 硬件连接

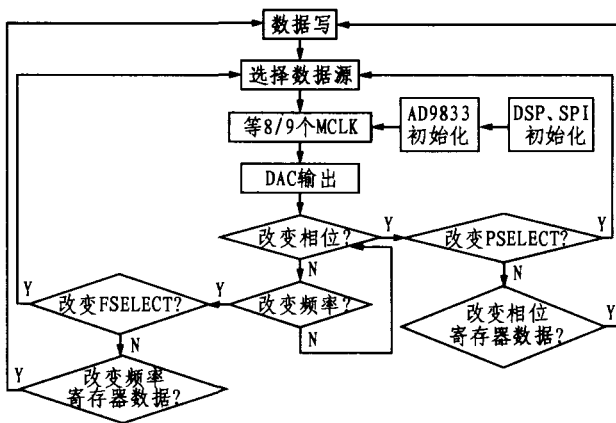


图 6 软件程序

(上接第 47 页) 标志。

参考文献:

- [1] 刘和平. TMS320LF240x DSP 结构、原理及应用 [M]. 北京: 北京航空航天大学出版社, 2002.

- [2] 王安蓉. DSP 和可重组调制技术的原理和实现[J]. 现代电子技术, 2005, 28(1): 6-7.

收稿日期: 2005-11-25

咨询编号: 060612